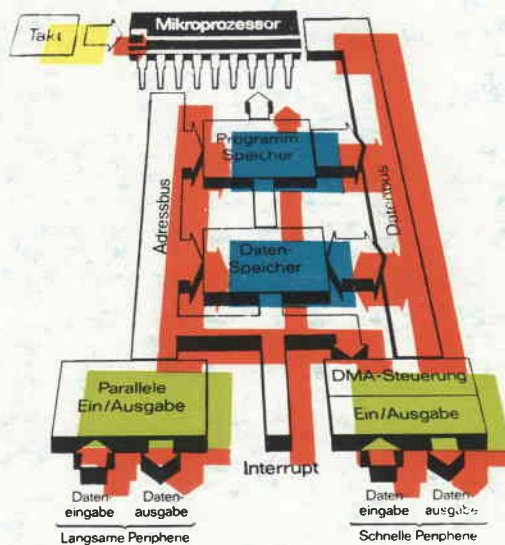


Mikroprozessorsystem

der II. Leistungsklasse

– Erzeugnisbeschreibung –



Schaltkreis für Zähler- und Zeitgeberfunktion
CTC **U 857 D**

Vorläufige technische Daten!

Zähler-/Zeitgeber-Schaltkreis - CTC - U857 D

Der integrierte Schaltkreis U857 D ist ein in n-Kanal-Silicon-Gate-Technologie gefertigter programmierbarer Zähler-/Zeitgeber-Schaltkreis.

Der U857 D wird in einem 28poligen DIL-Plastgehäuse gefertigt und ist für den Einsatz in der II. Leistungsklasse vorgesehen. Der Schaltkreis wird vorwiegend in Datenverarbeitungsanlagen und Anlagen der Steuerungs- und Regelungstechnik Anwendung finden.

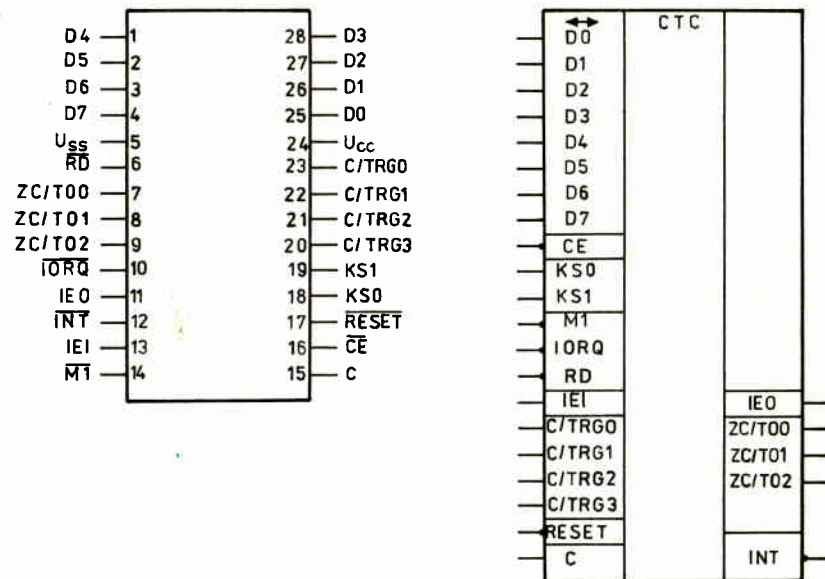


Bild 1: Anschlußbelegung und logisches Schaltbild

DO...D7	8bit-bidirektionaler Datenbus, Tri-state
$\overline{CE}$	Chipauswahl, Eingang, low-aktiv
KSO; KS1	Kanalauswahl; Eingabe einer 2bit-Adresse, des vom Mikroprozessor angesprochenen Kanals
$\overline{M1}$	CPU-Maschinenzyklus M1; Eingang, low-aktiv
$\overline{IORQ}$	Ein/Ausgabe-Anforderung; Eingang, low-aktiv
$\overline{RD}$	CPU-Leseanforderung; Eingang, low-aktiv

IEI	Interrupt-Freigabe, Eingang
C/TRG0	
C/TRG1	Takt/Trigger-Eingänge
C/TRG2	(Kanal 0 bis 3)
C/TRG3	
	Takteingänge für Zähler bzw. Zeitgebertriggerung
	Programmierbar: High- od. low-aktiv
$\overline{RESET}$	Rücksetzeingang; low-aktiv
	Der Zählvorgang aller Kanäle wird unterbrochen und die Interrupt-Freigabebits der Steuerregister aller 4 Kanäle werden zurückgesetzt.
	Die Ausgänge ZC/TO 0...2 und INT werden in den inaktiven Zustand gebracht. Der Ausgang IEO wird gleich dem Wert am Eingang IEI gesetzt. Das Interrupt-Vektorregister wird nicht beeinflusst. Die Daten-Ein/Ausgänge werden in den hochohmigen Zustand gebracht.
C	Systemtakt
IEO	Interrupt-Freigabe, Ausgang;
	High-aktiv für Interrupt-Prioritätskette
ZC/TO0	
ZC/TO1	Nulldurchgang/Zeitgebermeldung-Ausgänge
ZC/TO2	(Kanal 0 bis 2)
	Nullsignal des Rückwärtszählers, bzw. Meldung des Zeitgebers
$\overline{INT}$	Interrupt-Anforderung, Ausgang,
	Open-Drain-Ausgang, low-aktiv

Eigenschaften des U857 D:

- 4 voneinander unabhängig, software-programmierbare 8bit-Zähler/16bit-Zeitgeber-Kanäle
 - jeder Kanal wahlweise als Zähler oder Zeitgeber verwendbar
 - Vorteller durch 16 oder 256 für jeden Kanal (für die Betriebsart Zeitgeber)
 - Rückwärtszähler hält die Anzahl der bis Null auszuführenden Zählschritte auslesebereit
 - Zeitgeber kann wahlweise von einem positiven oder negativen Triggerimpuls gestartet werden
 - jedem Kanal ist ein Interrupt-Vektor zugeordnet. Kanal-Nr. 0 hat hardwaremäßig die höchste Priorität
- beim Erreichen von programmäßig festlegbaren Zähler- oder Zeitgeberwerten ist die Erzeugung von Interrupts programmierbar
- automatische Interrupt-Vektor-Bereitstellung; Prioritätskodierung durch Kaskadierung der Bausteine (ohne zusätzlichen Schaltungsaufwand)
- Die Ausgänge der drei herausgeführten Kanäle (Kanal 0, 1, 2) sind für den Anschluß von Darlington-Transistoren ausgelegt.
- Alle Ein- und Ausgänge sind TTL-kompatibel.
- Es wird nur eine +5 V Versorgungsspannung benötigt.
- Einphasen 5 V-Takt
- Maximale Zählfrequenz in der Betriebsart "Zähler" = $f_c/2$

Das Bild 2 zeigt das Blockschaltbild des U857 D

Folgende Funktionseinheiten sind enthalten:

- 4 Zähler/Zeitgeber-Kanäle
- Interface zu Daten- und Steuerbus des U880 D (CPU)
- interne Steuerlogik
- Interrupt-Steuerlogik

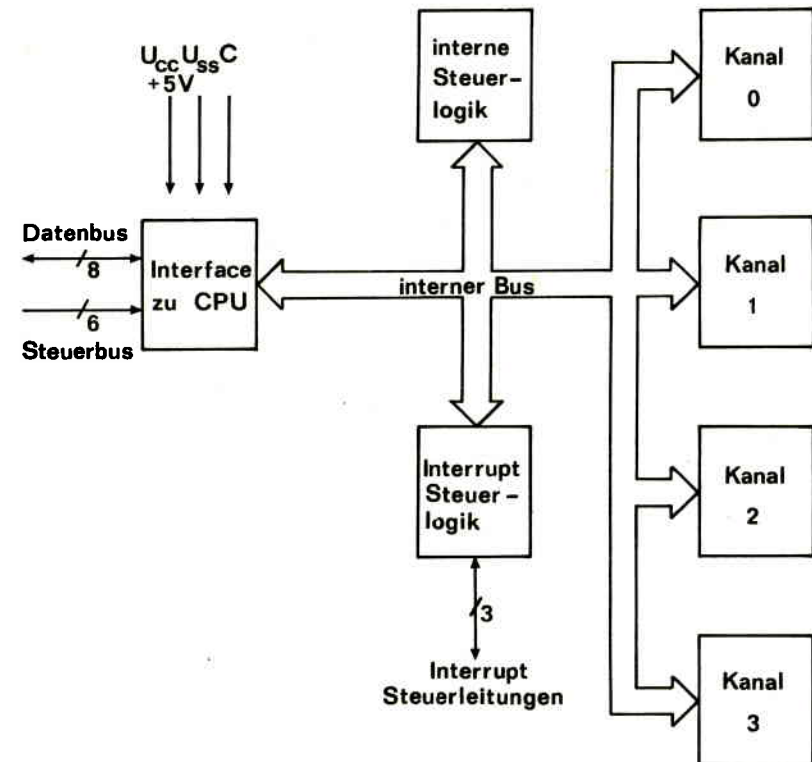


Bild 2: Blockschaltbild

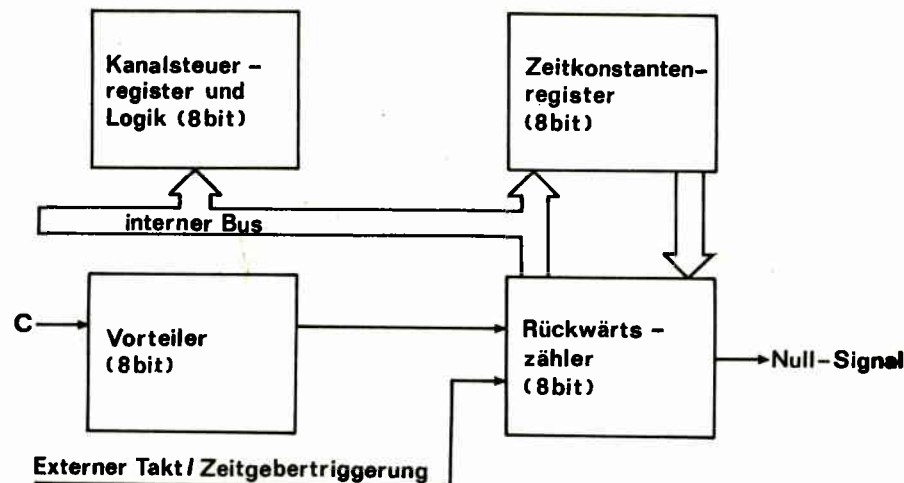


Bild 3

Bild 3 zeigt das Blockschaltbild eines Kanals:

Ein Kanal besteht aus folgenden einzelnen Einheiten:

- Zeitkonstantenregister
- Kanalsteuerregister
- Rückwärtszähler
- Vorteiler

Das Zeitkonstantenregister (8 Bit) wird von der CPU zum Initialisieren und Wiedersetzen des Rückwärtszählers beim Erreichen des Zählerstandes Null geladen.

Das Kanalsteuerregister (8 Bit) wird von der CPU zur Bestimmung der Kanalbetriebsart geladen.

Der Rückwärtszähler (8 Bit) wird entweder mit Hilfe des Anwenderprogrammas oder automatisch beim Zählerstand Null auf den im Zeitkonstantenregister stehenden Wert gesetzt. Im Zeitgeberbetrieb wird der Rückwärtszähler über den Vorteiler durch den Systemtakt C, im Zählerbetrieb durch einen Impuls am Eingang C/TRG dekrementiert. Der momentane Wert des Rückwärtszählers kann sowohl im Zähler- als auch im Zeitgeberbetrieb zu jedem beliebigen Zeitpunkt von der CPU aus gelesen werden.

Der Vorteiler (8 Bit) wird nur in der Betriebsart "Zeitgeber" benutzt. Programmierbar sind die Werte 16 oder 256.

Arbeitsweise des Schaltkreises

Schreibzyklus

Im Schreibzyklus werden Kanalsteuerwort, Zeitkonstante und Interruptvektor eingeschrieben. Da der U857 D keinen Schreibeingang (WR) hat, wird ein Schreibsignal intern aus dem RD-Signal genommen. Zu beachten ist, daß außer dem automatisch erzeugten Wartezyklus TW^* keine weiteren Wartezyklen beim Schreiben in die Register des U857 D eingefügt werden dürfen.

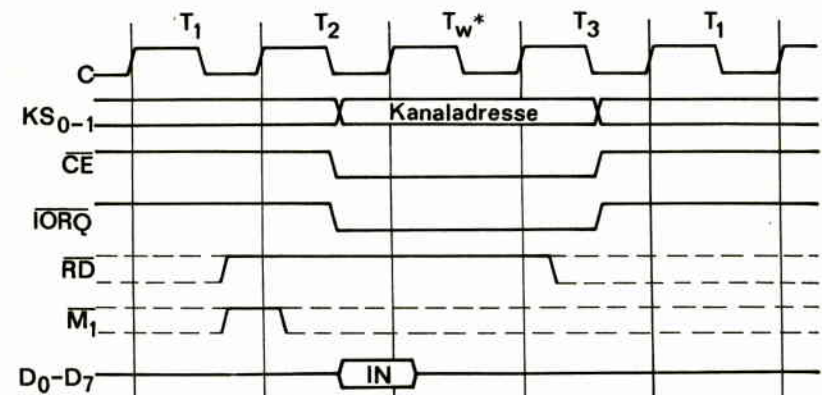


Bild 4: Schreibzyklus

Lesezyklus

In beiden Betriebsarten (Zähler/Zeitgeber) kann der Momentanwert jedes Kanlrückwärtszählers zu jedem beliebigen Zeitpunkt ausgelesen werden. Der auf dem Datenbus ausgelesene Wert repräsentiert die Anzahl der steigenden Zähltaktflanken vor der steigenden Systemtaktflanke des Zustandes T2 im Zählerbetrieb oder den entsprechenden Zählerstand im Zeitgeberbetrieb. Auch beim Lesezyklus darf kein Wartezyklus eingefügt werden.

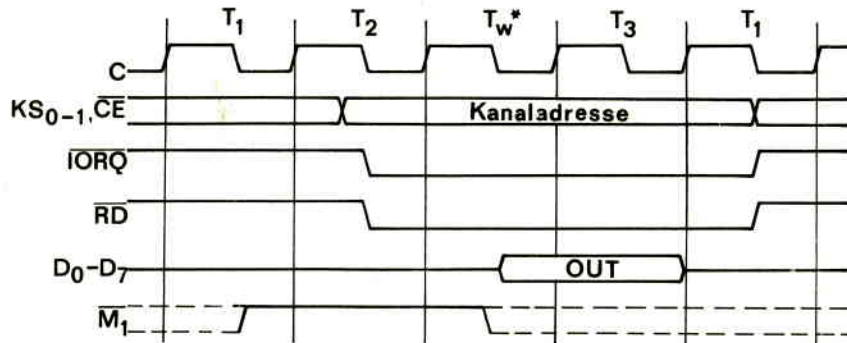


Bild 5: Lesezyklus

Interrupt-Quittungs-Zyklus

Die CPU quittiert nach einer gewissen Zeit die Interrupt-Anforderung des U857 D durch die Signale $\overline{M1}$ und $\overline{IORQ}$. In dieser Zeit ermittelt der U857 D intern den Kanal mit der höchsten Priorität. Zur Gewährleistung der Interruptkaskadensignale werden alle Interruptanforderungszustände der Kanäle festgehalten, solange $\overline{M1}$ aktiv ist. Ist IEI am Eingang des U857 D aktiv, so bringt der Kanal mit der höchsten Priorität den Interruptvektor aus dem Vektorregister auf den Datenbus, solange $\overline{IORQ}$ aktiv ist.

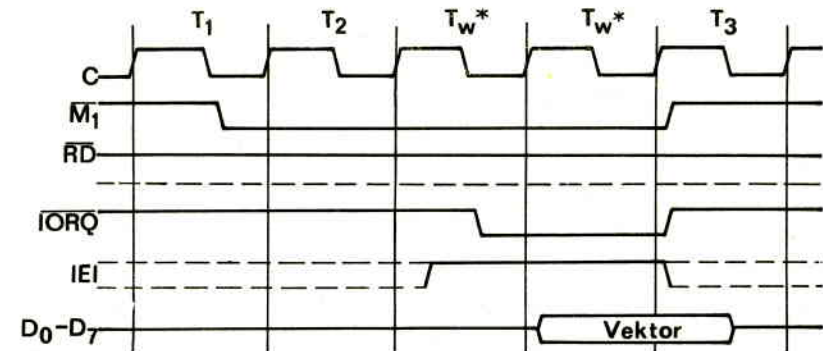


Bild 6: Interrupt-Quittungs-Zyklus

Rückkehr von Interrupt

Von der RETI-Anweisung wird die Interruptkette am Ende einer Interrupt-Bedien-Routine initialisiert. Die 2 Bytes der RETI-Anweisung werden im CTC intern dekodiert. Der CTC erkennt den Befehlscode EDH, daraufhin wird, wenn der IEI-Eingang aktiv ist und als nächster Befehlscode 4DH folgt, der IEO-Ausgang wieder aktiv. Damit ist die Bedienroutine dieses Kanals abgeschlossen.

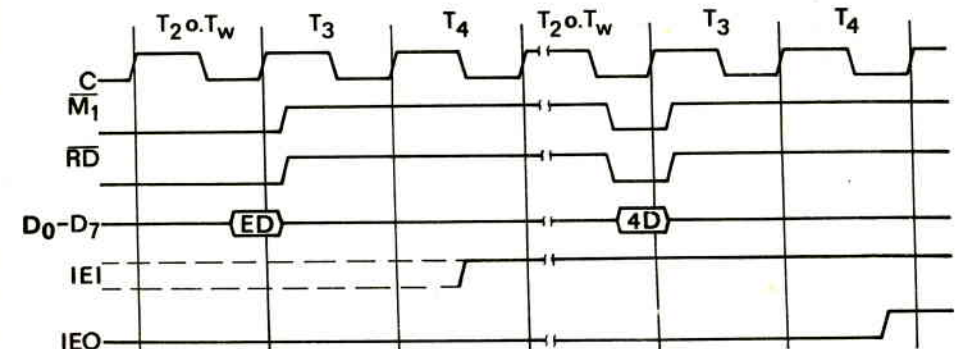


Bild 7: Rückkehr vom Interrupt

Programmierung des U857 D:

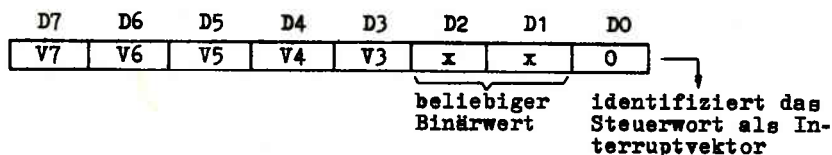
Der Schaltkreis U857 D wird softwaremäßig gesteuert. Grundsätzlich wird nach einer Aktivierung des Schaltkreises ($\overline{CE}$ -Freigabe) ein Steuerwort erwartet. Ob ein Wort als Steuer- oder Datenwort (zum Setzen des Zeitkonstantenregister) erkannt wird, richtet sich nach der Form des vorangegangenen Steuerwortes.

Laden des Interrupt-Vektors

Der unterbrechende Kanal muß der CPU einen Interruptvektor liefern. Daraufhin holt der Mikroprozessor die Startadresse der zugehörigen Interrupt-Bedienroutine von zwei Speicherplätzen mit der Anfangsadresse, die er aus dem Interruptregister und dem Interruptvektor bildet. Während des Interrupt-Quittungs-Zyklus wird dieser Vektor vom Kanal höchster Priorität auf den Datenbus gelegt.

Der Vektor muß dem CTC vorher über Kanal Nr. 0 vorgegeben werden.

Format des Interruptvektorsteuerwortes:



Formate der Interruptvektoren während des Interrupt-Quittungs-Zyklus

für Kanal 0	D7	D6	D5	D4	D3	D2	D1	D0
	V7	V6	V5	V4	V3	0	0	0
für Kanal 1	D7	D6	D5	D4	D3	D2	D1	D0
	V7	V6	V5	V4	V3	0	1	0
für Kanal 2	D7	D6	D5	D4	D3	D2	D1	D0
	V7	V6	V5	V4	V3	1	0	0
für Kanal 3	D7	D6	D5	D4	D3	D2	D1	D0
	V7	V6	V5	V4	V3	1	1	0

Kanal 0 besitzt hardwaremäßig die höchste Priorität.

Format des Kanalsteuerwortes:

Programmierung

D7	D6	D5	D4	D3	D2	D1	D0
0 Interrupt gesperrt	0 Betr.-art Zeitgeber	0 Syst.takt um Faktor 16 geteilt	0 negative Triggerflanke	Triggerzeitpunkt	Zeitkonstante laden	Rücksetzen	1 aktuelle Datenwort wird in Kanalsteuerregister übernommen
1 Interrupt freigeben	1 Betriebsart Zähler	1 Syst.takt um Faktor 256 geteilt	1 positive Triggerflanke				

Nur für Betriebsart Zeitgeber

D7 0 Interrupt gesperrt

1 Interrupt freigeben: Interruptanforderung erfolgt jedesmal, wenn der Rückwärtszähler den Wert Null erreicht

D6 0 Zeitgeber: Rückwärtszähler wird vom Vorteller gestartet
Periode des Zählers $c = t_c \cdot p \cdot TC$

Systemperiode
Vorteiler (16 od. 256)
8bit Zeitkonstante (max. 256)

D5 s. o.

D4 s. o.

D3 0 Zeitmessung beginnt am Anfang des nächsten Maschinenzyklus, der auf das Laden der Zeitkonstante folgt, mit steigen der Flanke von T_2

1 Triggerereignis wird zur Veranlassung des Beginns des Zeitgebergangs freigegeben, nach der steigenden Flanke von T_2 des Maschinenzyklus, der auf das Laden der Zeitkonstante folgt. Der Vorteller wird nach 2 bzw. 3 Taktzyklen dekrementiert.

D2 0 Auf das Kanalsteuerwort folgt keine Zeitkonstante, die Zeitkonstante ist zum Anlaufen lassen des Zeitmeßvorgangs noch einzugeben.

1 nächstes Kontrollwort für den betreffenden Kanal stellt Zeitkonstante für den Rückwärtszähler dar. Wird während des Zeitmeßvorgangs eine neue Zeitkonstante eingegeben, so wird die alte Messung erst zu Ende geführt.

D1 0 Kanal zählt weiter

1 Abbruch der momentanen Operation

Falls Bit 2 = 1 ist, wird die Operation nach dem Laden einer Zeitkonstante fortgesetzt. Ist Bit 2 = 0, muß hierfür ein neues Steuerwort an den CTC übermittelt werden.

Parameter	Symbol	min	typ	max	Maßeinheit
Signal $D_0 - D_7$					
Datensetzzeit bis zur steigenden Flanke von C während des Schreib- oder M1 Zyklus	$t_{sc}(D)$	80			ns
Datenhaltezeit von der Anstiegsflanke von C während des Schreib- oder M1 Zyklus	$t_{HC}(D)$	0			ns
Signal KS_0, KS_1					
Kanalauswahlsetzzeit bis zur Anstiegsflanke von C während des Lese- oder Schreibzyklus	$t_{sc}(KS)$	140			ns
Kanalauswahlhaltezeit von der Anstiegsflanke von C während des Schreibzyklus	$t_{HC}(KS)$	$t_C + 50$			ns
Signal $D_0 - D_7$					
Verzögerung des Datenausgangs von d.Anst.fl. von C während des Lesezyklus	$t_{DR}(D)$			305	ns
Datenausgangsverzögerung von der fallenden Flanke von IORQ während des INTA-Zyklus	$t_{DI}(D)$			205	ns
Verzögerung bis zum Floaten des Bus von der Anst.fl. von IORQ oder M1 während des INTA-Zyklus	$t_{FI}(D)$			210	ns
Verzögerung bis zum Floaten des Bus von der Anst.fl. von CS, IORQ oder RD während des Lesezyklus	$t_{FR}(D)$			210	ns

Parameter	Symbol	min	max	Maßeinheit
Signal $D_0 - D_7$				
Verzögerung bis zum Floaten des Bus von der abfallenden Flanke von IEI während des INTA-Zyklus	$t_{FI}(D)$		230	ns
Signal IEO				
IEO-Verzögerungszeit von der fallenden Flanke von IEI	$t_{DL}(IO)$		180	ns
IEO-Verzögerungszeit von der Anst.fl. von IEI	$t_{DH}(IO)$		180	ns
IEO-Verzögerungszeit von der abfallenden Flanke von C während RETI	$t_{DC}(IO)$		185	ns
Signal INT				
INT-Verzögerungszeit von der ansteigenden Flanke von C/TRG (Betriebsart:Zähler)	$t_{DCK}(IT)$		$2t_C + 155$	ns
INT-Verzögerungszeit von der Anst.fl. von C (Betriebsart:Zeitgeber)	$t_{DC}(IT)$		$t_C + 155$	ns
Signal ZC/TO 0...2				
ZC/TO-Verzögerungszeit von der Anst.fl.von C ZC/TO High	$t_{DH}(ZC)$		185	ns
ZC/TO-Verzögerungszeit von der Anst.fl.von C ZC/TO Low	$t_{DL}(ZC)$		185	ns

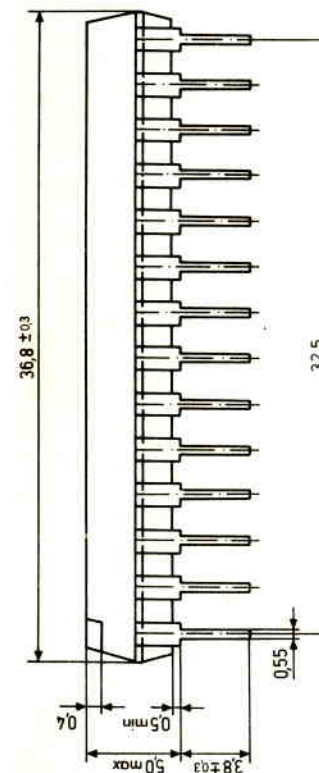
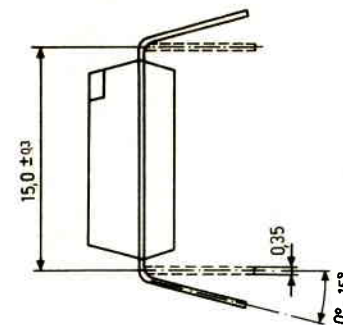
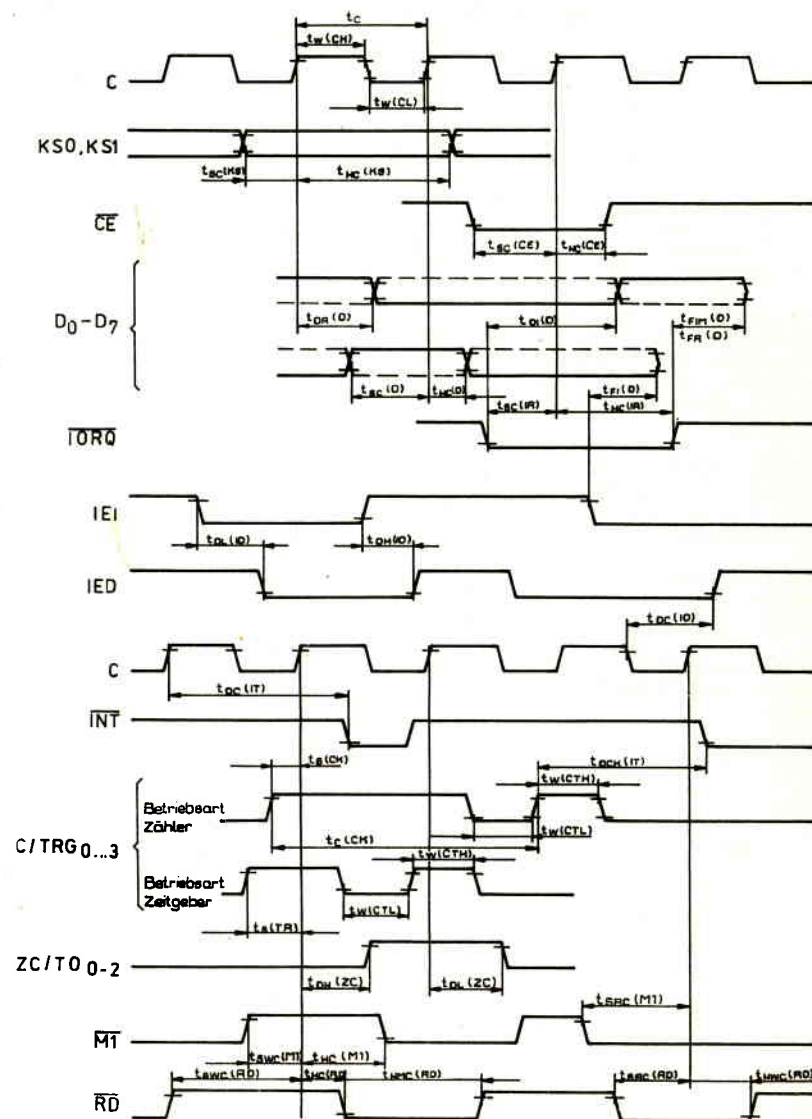
für beide Betriebsarten

Parameter	Symbol	min	max	Maßeinheit:
Signal CE				
Chipfreigabesetzzeit bis zur Anst.fl. von C während des Lese- od. Schreibzyklus	$t_{sc}(CE)$	140		ns
Chipfreigabehaltezeit von der Anst.fl. von C während des Schreibzyklus	$t_{HC}(CE)$	0		ns
Signal IORQ				
IORQ-Setzzeit bis zur Anst.fl. von C während des Lese- oder Schreibzyklus	$t_{sc}(IR)$	140		ns
IORQ-Haltezeit von der Anst.fl. von C während des Schreibzyklus	$t_{HC}(IR)$	0		ns
Signal MT				
MT-Setzzeit bis zur Anst.fl. von C während des Lese- oder Schreibzyklus	$t_{swc}(M1)$	115		ns
MT-Setzzeit bis zur Anst.fl. von C während des INTA oder des M1-Zyklus	$t_{SRC}(M1)$	115		ns
MT-Haltezeit von der Anst.fl. von C	$t_{HC}(M1)$	0		ns
Signal RD				
RD-Setzzeit bis zur Anst.fl. C während des Schreib- oder INTA-Zyklus	$t_{SWC}(RD)$	115		ns
RD-Haltezeit von der Anst.fl. von C während des INTA-Zyklus	$t_{HC}(RD)$	0		ns
RD-Setzzeit bis zur Anst.fl. von C während des Lese- oder M1-Zyklus	$t_{SRC}(RD)$	140		ns

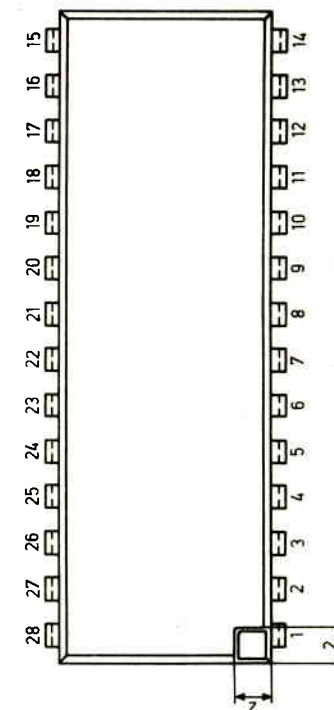
Parameter	Symbol	min	max	Maßeinheit:
RD-Haltezeit von der Anst.fl. von C während des Schreibzyklus	$t_{HWC}(RD)$	0		ns
RD-Haltezeit von der Anst.fl. von C während des M1-Zyklus	$t_{HMC}(RD)$	0		ns
Signal C/TRG₀₋₃				
Taktperiode (Betriebsart "Zähler")	$t_C(CK)$	$2t_C$		ns
Taktsetzzeit bis zur Anst.fl. von C für einen anliegenden Zählimpuls (Betriebsart "Zähler")	$t_s(CK)$	100		ns
Trigger-Setzzeit bis zur Anst.fl. von C für die Freigabe des Vorteilers auf den zweiten folgenden C (Betriebsart: "Zeitgeber")	$t_s(TR)$	100		ns
Takt- und Trigger-Anstiegs- und Abfallzeiten (in beiden Betriebsarten)	t_r, t_f	50		ns
High-Pulsbreite von Takt- und Triggersignal	$t_w(CTH)$	100		ns
Low-Pulsbreite von Takt- und Triggersignal	$t_w(CTL)$	100		ns

wenn nicht anders angegeben erfolgen die
Zeitmessungen bei folgenden Spannungen

	"1"	"0"
Takt	4,2 V	0,8V
Ausgang	2,0 V	0,8 V
Eingang	2,0 V	0,8V
FLOAT	$\Delta U \rightarrow$	0,5V



Bauform 21.2.3.2.28
nach TGL 26713
Masse ca. 4 g





HEIM-ELECTRIC
EXPORT-IMPORT

VOLKSEIGENER AUSSENHANDELSBETRIEB DER
DEUTSCHEN DEMOKRATISCHEN REPUBLIK
DDR 1026 BERLIN ALEXANDERPLATZ
HAUS DER ELEKTROINDUSTRIE

VEB FUNKWERK ERFURT

DDR-501 Erfurt, Rudolfstraße 47

Telefon: 5 80

Telex: 061 306

Kabel: FUNKWERK ERFURT