

BETRIEBSDOKUMENTATION

Operativspeicher

robotron K 3571

VEB Robotron-Elektronik Dresden

r o b o t r o n

**Produzent:**

VEB Robotron-Elektronik Dresden  
DDR 8010 Dresden  
Grunaer Str. 2

Änderungen, im Sinne des technischen Fortschritts vorbehalten. Im Interesse einer ständigen Weiterentwicklung werden alle Leser gebeten, dem Herausgeber Hinweise zur Verbesserung mitzuteilen. Nachdruck und jegliche Vervielfältigung, auch auszugsweise, sind nur mit Genehmigung des Herausgebers zulässig.

**Herausgeber:**

VEB Robotron-Elektronik Dresden  
DDR 8010 Dresden  
Grunaer Str. 2



Inhaltsverzeichnis

	Seite
1. Verwendungszweck	4
2. Technische Daten	4
2.1. Leistungskennwerte	4
2.2. Anschlußkennwerte	5
2.2.1. Strombedarf	5
2.2.2. Konstruktive Werte	5
2.2.3. Interface	5
2.2.4. Register	5
2.2.5. Interrupts	7
2.3. Varianten	7
2.4. Umgebungsbedingungen	7
2.5. Schutzmaßnahmen	7
3. Funktionsbeschreibung	7
3.1. Adressenauswahl	8
3.2. Refreshgenerator, Refreshadressenzähler	8
3.3. Entscheidungslogik	8
3.4. Speichermatrix, Multiplexer	10
3.5. Takterzeugung	10
3.6. Datentreiber	11
3.7. Paritätsprüfung	13
3.8. Quittungssignal	14
4. Konstruktionsbeschreibung	14
5. Transport, Lagerung, Verpackung	15
6. Montage und Installation	15
7. Einstellung und Initialisierung	16
7.1. Initialisierung	16
7.2. Einstellung des Adressenbereiches	16
7.3. Adresse des Paritätsfehlerregisters	17
7.4. Interrupt	17
7.5. Prüfwickelverbindungen	19
8. Inbetriebnahme und Betrieb	19
9. Pflege und Wartung	19
10. Instandsetzung	19

Erzeugnisbezeichnung	Operativspeicher robotron K 3571
Kurzbezeichnung	OPS K 3571
Notation Verträglichkeitsniveau	S-D16M24I16VOL

### 1. Verwendungszweck

Der OPS K 3571 dient im Mikrorechnermodulsystem 16 (Abk. MMS 16) als globaler Operativspeicher. Er ist vom Systembus über Steckverbinder X1 zugreifbar.

Es ist Wort- oder Bytebetrieb möglich, so daß der OPS sowohl mit 16 Bit als auch mit 8 Bit-Mastern zusammen eingesetzt werden kann. Bei Bytebetrieb erfolgt der Datentransfer über die Datenleitungen /DAT0 ... /DAT7.

### 2. Technische Daten

#### 2.1. Leistungskennwerte

- |                   |       |                                                                                                                                                                           |
|-------------------|-------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| - Kapazität       |       | <del>256 Kbyte</del>                                                                                                                                                      |
| - Adressenbereich |       | 24 ausgewertete Adressenleitungen /ADRO ... /ADR17; Adressenbereich liegt im Raum 0 ... 1 Mbyte und ist in Schritten von 128 Kbyte durch Wickelstifte wählbar (Pkt. 7.2.) |
| - Zugriffszeit    | 1) 3) | <562 ns Read, Write<br><293 ns IO Read, Write                                                                                                                             |
| - Zykluszeit      | 2) 3) | <636 ns Read, Write<br><371 ns IO Read, Write                                                                                                                             |
| - Datenerhalt     |       | nicht vorgesehen                                                                                                                                                          |
| - Refresh         |       | intern im Abstand von ca. 15 µs                                                                                                                                           |
| - Paritätsprüfung |       | byteweise, gerade oder ungerade Parität programmierbar (s.Pkt.3.7.)                                                                                                       |
| - Inhibit         |       | OPS wertet als Slave niedrigster Priorität das Signal /INH1 aus.                                                                                                          |

- 1) Zeit zwischen Kommando-Vorderflanke und /XACK-Vorderflanke, bezogen auf den Systembus  
2) Gültig für schnellsten, nach Busrichtlinie möglichen Master.

- 3) Beim Zusammentreffen einer Speicheranforderung mit einem gerade anlaufenden Refresh-Zyklus können sich Zugriffszeit und Zykluszeit um max. 583 ns verlängern.

## 2.2. Anschlußkennwerte

### 2.2.1. Strombedarf

typ (max.), + 5 V, 2,0 A (3,0 A)

### 2.2.2. Konstruktive Werte

Modulumfang	1 Steckeinheit komplett mit Frontplatte
BLP-Typ	031-0300
Bauhöhe	8,5 mm
Gewicht	ca. 300 g
Steckverbinder X3	griffseitig als Prüfstecker (Steckerleiste 102-58 TGL 29331/03)

### 2.2.3. Interface

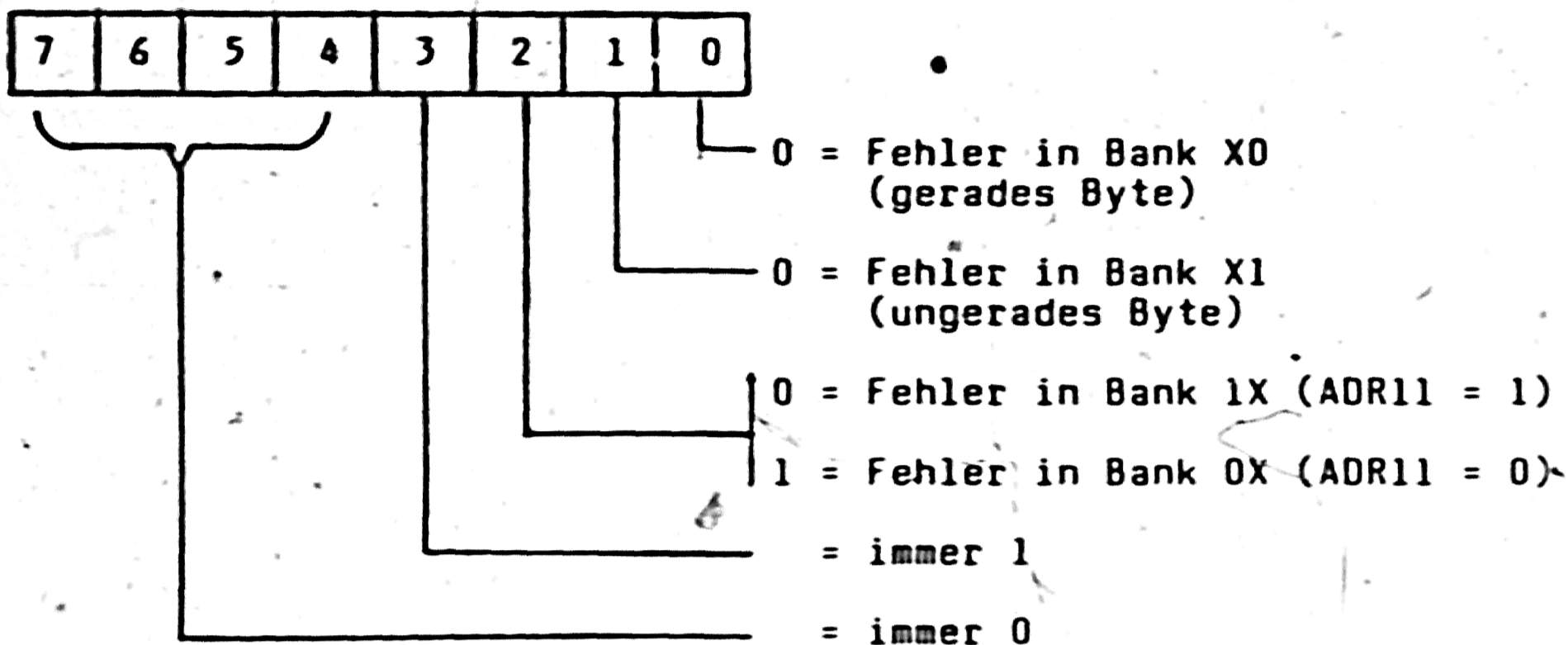
Steckverbinder X1	Anschluß an Systembus MMS 16
empfangene Signale	/MRDC, /MWTC, /IORC, /IOWC, /INIT, /INH1, /BHEN, /ADRO.../ADRF, /ADR10.../ADR17, /DATO.../DATF
gesendete Signale	/DATO.../DATF, /XACK, wahlweise eines der Signale /INT0.../INT7

### 2.2.4. Register

Der OPS besitzt ein 8 Bit breites Register, das beim Auftreten eines Paritätsfehlers eine Information über die den Fehler verursachende Speicherbank (9 Speicher-SK) enthält (s. a. Bild 7.1.).

Adresse des Paritätsfehlerregisters:  
Wahlweise eine der vier IO-Adressen 00H, 02H, 40H, 42H durch  
Wickelbrücken einstellbar (s. Punkt 7.3.).

Das Paritätsfehlerregister hat folgendes Format:



In hexadezimaler Darstellung sind folgende Informationen möglich:

Registerinformation	Bedeutung (s. Bild 7.1)
0F	kein Fehler
0E	Fehler in Bank 00
0D	Fehler in Bank 01
0A	Fehler in Bank 10
09	Fehler in Bank 11
0C	Fehler in Bank 00 + 01
08	Fehler in Bank 10 + 11

Die Fehlerinformation kann beliebig oft gelesen werden. Das Löschen der Information ist möglich durch:

- das Bussignal /INIT (automatisch bei Spannungszuschaltung)
- einen Schreibzugriff auf der eingestellten IO-Adresse des Paritätsfehlerregisters (beachte dazu letzten Satz von Pkt. 3.7.).

Nach dem Löschen enthält das Paritätsfehlerregister die Information 0FH.



### 2.2.5. Interrupts

Bei Auftreten eines Paritätsfehlers wird im OPS ein Interrupt-Flipflop gesetzt.

Das Interruptsignal (OK, Low aktiv) kann, wählbar durch eine Wickelbrücke (s. Punkt 7.4.), auf einer der Busleitung /INT0 ... /INT7 gesendet werden.

Gelöscht wird der Interrupt vorzugsweise durch Lesen des Paritätsfehlerregisters (dabei erfährt man auch gleich die Interrupt-Ursache) oder durch /INIT.

Auch durch Schreiben auf der Adresse des Paritätsfehlerregisters wird das Interruptsignal gelöscht, beachte aber den letzten Satz Pkt. 3.7.

### 2.3. Varianten

Der Modul OPS K 3571 hat neben der Ausführung für 20,32 mm Steckraster (Gegenstands-Nr. 1.56.700595.7/01) noch eine Variante für 15,24 mm Steckraster (Gegenstands-Nr. 1.56.700597.3/01) speziell für den Einsatz im AC A 7100 (andere Frontplatte).

### 2.4. Umgebungsbedingungen

Für den Modul K 3571 gelten die Einsatzgrenzbedingungen 0/+55/+30/90//10/1/10.

### 2.5. Schutzmaßnahmen

Der Modul K 3571 wird mit Kleinspannung betrieben und erzeugt intern keinerlei gefährliche Spannungen. Notwendige Schutzmaßnahmen hängen vom sicherheitstechnischen Konzept des Finalerzeugnisses sowie von den für die entsprechende Erzeugnisgruppe geltenden Sicherheitsstandards ab.

## 3. Funktionsbeschreibung

Der Operativspeicher OPS K 3571 besteht aus verschiedenen Funktionsgruppen, die in ihrer Zusammenschaltung im Blockschaltbild Bild 3.1 dargestellt sind.

### 3.1. Adressenauswahl

Die 24 Adressenbits /ADRO ... /ADR17 werden vom Systembus über LS-Inverter empfangen. Speicherintern werden sie dezimal numeriert (A0 bis A23). Die Adressenauswahl erkennt eine gültige Speicheradresse bzw. die Adresse des Paritätsfehlerregisters.

Die 4 höchstwertigen Adressenbits A20 ... A23 sind UND-verknüpft, so daß nur eine im Bereich 0 bis 1 Mbyte liegende Speicheradresse als gültig erkannt wird. Die Adressenbits A17, A18 und A19 werden mit Hilfe eines Dekoders DS 8205 D entschlüsselt. Durch zwei Wickelverbindungen an X8 kann der Adressenbereich des Speichers innerhalb des Raumes 0 ... 1 Mbyte in 128 Kbyte-Schritten gewählt werden, (s. Punkt 7.2., Tabelle 1).

Die Dekodierung der Adresse des Paritätsfehlerregisters wird durch UND-Verknüpfung der Adressen A0 ... A7 bzw. A0 ... A15 mittels zweier DL 030 D realisiert, deren Ausgänge in einem K 531 LE 1P zum Signal REG-ADR UND-verknüpft sind. Durch Wickelverbindungen X10, X11 können wahlweise die Adressen A1 oder /A1 bzw. A6 oder /A6 angelegt werden, wodurch eine der 4 Adressen 00, 02, 40 oder 42 (hex) als Adresse des Paritätsfehlerregisters ausgewählt werden kann (siehe Punkt 7.3., Tabelle 2).

### 3.2. Refreshgenerator, Refreshadressenzähler

Die dynamischen Speicherschaltkreise erfordern ein zyklisches Auffrischen der Information. Innerhalb von 2 ms müssen 128 Zeilenadressen aufgefrischt werden. Das ist Aufgabe der Refresh-Einrichtung.

Ein aus zwei Monoflops DL 123 D bestehender Generator liefert im Abstand von ca 15 µs (2 ms : 128)-ein Signal, das einen Refresh-Zyklus auslöst, einen sogenannten RAS-only-Zyklus. Für Prüfzwecke kann der Generator durch Auftrennen der Wickelverbindung X7 von der übrigen Schaltung abgetrennt werden. Die jeweils aufzufrischende Zeilenadresse wird von einem aus zwei DL 093 D bestehenden Zähler geliefert. Am Ende des Refresh-Zyklus wird dieser Zähler auf die nächste Refresh-Adresse geschaltet.

### 3.3. Entscheidungslogik

Die Entscheidungslogik legt beim gleichzeitigen Anliegen einer Refresh-Anforderung und einer Speicheranforderung fest, welche zuerst bedient wird. Sie enthält als Hauptelement ein Status-Flipflop, das im Ruhezustand auf "Speicherzyklus" steht. Trifft vom Refresh-Generator eine Refresh-Anforderung ein, so wird diese in einem 1. Flipflop gespeichert und in einem 2. Flipflop mit dem zentralen Speichertakt MCLK zum Signal REF-REQ synchronisiert.



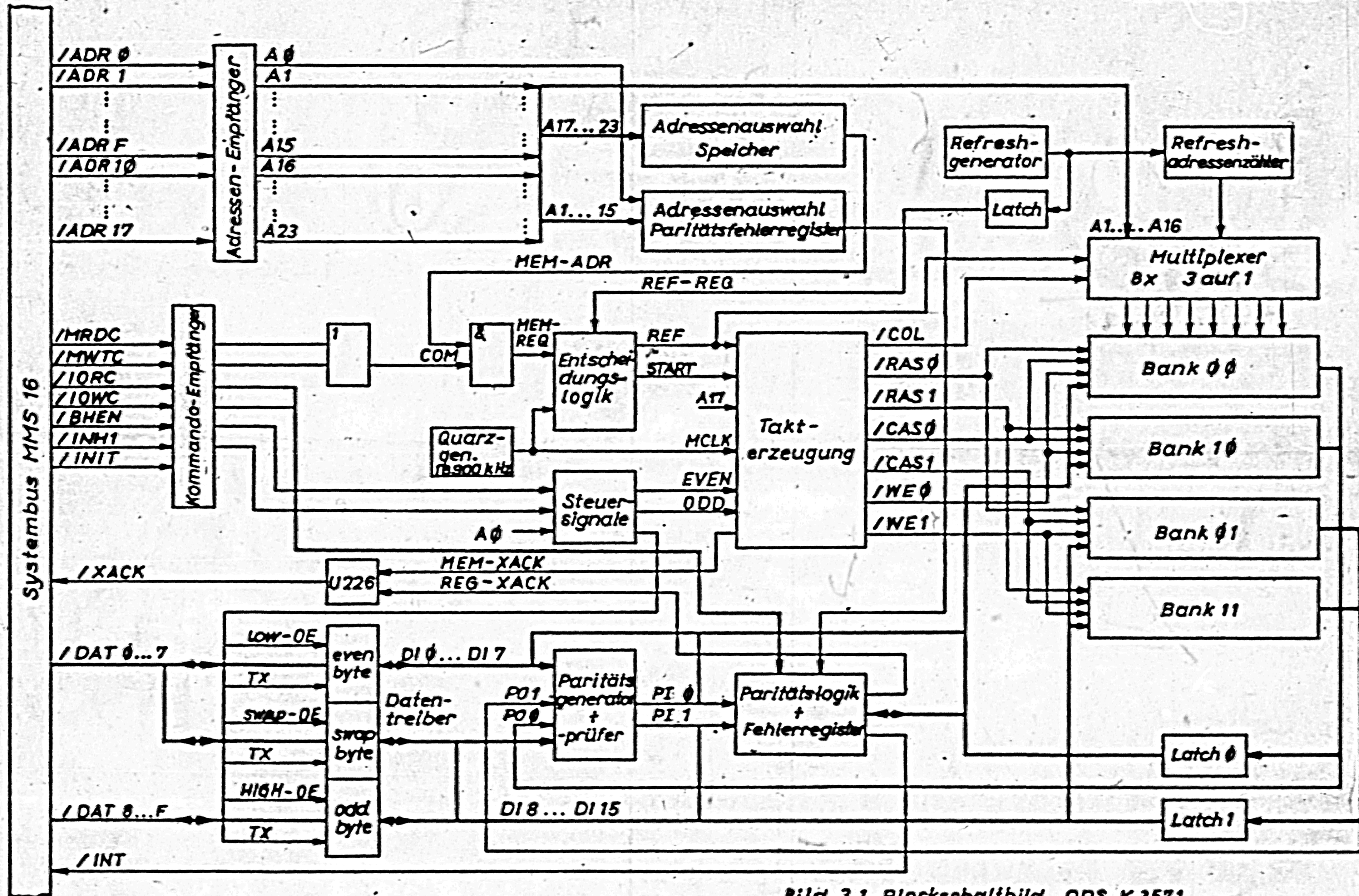


Bild 3.1. Blockschaltbild OPS K 3571



Liegt keine Speicheranforderung vor, so schaltet das Status-Flipflop mit der nächsten LH-Flanke von MCLK auf "Refreshzyklus", d.h. REF = High.

Bei einer Speicheranforderung wird aus /MRDC und /MWTC durch Ode- rung das Signal COM gebildet. Liegt eine gültige Adresse vor, so ist MEM-ADR High, und am Ausgang des AND K 531 LI 1P liegt High. Das wird mit der nächsten LH-Flanke von MCLK in ein Flipflop über- nommen, die synchronisierte Speicheranforderung /MEM-REQ wird ge- bildet. Am Ausgang des folgenden MH 74 500 entsteht das Signal START, das einen Speicherzyklus auslöst.

Die Synchronisation der Speicher- und der Refresh-Anforderung mit dem Speichertakt MCLK ist erforderlich, um eine Fehlfunktion des Status-Flipflop beim genau gleichzeitigen Eintreffen der Anforde- rungen zu verhindern.

### 3.4. Speichermatrix, Multiplexer

Die Speichermatrix besteht aus 4 Bänken aus je 9 64K DRAM-SK (8 Da- tenbit + 1 Paritätsbit). Die Speicher-SK übernehmen die 16 Bit lange Adresse zur Auswahl einer der 65536 Speicherzellen in zwei Schüben zu je 8 Bit: Zuerst mit der HL-Flanke des /RAS-Taktes die Zeilenadressen A1 ... A8, anschließend mit der HL-Flanke des /CAS- Taktes die Spaltenadressen A9 ... A16. Für einen Refresh-Zyklus wird die aktuelle Refresh-Adresse benötigt (7 Bit RAS-Adresse). Die Umschaltung von Zeilen-, Spalten- und Refresh-Adresse besorgt ein Multiplexer aus 4 K531 KP 2P, der von den Signalen /COL und REF gesteuert wird.

### 3.5. Takterzeugung

Die Bereitstellung der Signale /RAS0, /RAS1, /COL, /CAS0, /CAS1, /WE0 und /WE1 in der für die Speicher-SK erforderlichen zeitli- chen Reihenfolge übernimmt die Takterzeugung. Sie enthält im we- sentlichen ein 8 Bit-Schieberegister aus zwei in Reihe geschalte- ten K 531 IR 11P, das vom zentralen Speichertakt MCLK gesteuert wird. MCLK wird quarzstabil mit einem K 531 GG 1P erzeugt und hat eine Frequenz von 18900 kHz.

Ein Speicherzyklus beginnt, nachdem das Kommando die Synchroni- sierung durchlaufen hat, mit START = High = Takt 0 (vgl. Bild 3.2). Mit dem nächsten Takt schaltet das nachfolgende Flipflop auf RAS, und je nach Potential von A17 wird /RAS0 oder /RAS1 ak- tiviert. Die R-Eingänge der K 531 IR 11P werden freigegeben. Mit Takt 2 schaltet der 1. Abgriff des Schieberegisters auf High und aktiviert /COL zum Umschalten des Multiplexers auf Spaltenadresse. Anschließend folgt mit Takt 3 /CAS0 oder/und /CAS1 je nach Poten- tial der Signale EVEN und ODD. Mit Takt 7 wird /RAS-PAU aktiviert und RAS abgeschaltet. Damit liegt jetzt am Eingang des Schiebereg-



gisters ein Low. Mit Takt 8 schaltet /COL ab und das ACK-Flipflop wird gesetzt. Damit werden mehrere Vorgänge ausgelöst:

- Bei einem Lesezyklus werden die von den Speicher-SK gelieferten Daten in zwei 8-Bit-Register DS 8282 D gelatcht.
- Es wird ein Quittungssignal /MEM-XACK und daraus das Bussignal /XACK erzeugt, welches dem Master anzeigt, das die Daten gültig bzw. übernommen sind und er das Kommando wegnehmen kann.
- Der Zyklus wird intern durch Abschalten von /MEM-REQ beendet, auch wenn weiterhin ein Kommando anliegt. Damit wird die Entscheidungslogik für eine evtl. wartende Refreshanforderung freigegeben. Die Daten werden aber weiter gesendet, solange noch ein Lesekommando /MRDC anliegt, ebenso /XACK.

Ein neuer Zyklus kann erst beginnen, wenn /RAS-PAU abschaltet und das RAS-Flipflop freigibt. Das geschieht mit Takt 10. Gleichzeitig wird das Signal /NC (no cycle) aktiviert, welches das Schieberegister zurücksetzt.

Ein Refresh-Zyklus beginnt ebenfalls mit START. Da das Status-Flipflop auf REF steht, ist MEM = Low. Damit ist das Adressenbit A17 wirkungslos, es wird /RAS0 und /RAS1 aktiviert. Die Bildung der Signale /COL, /CAS und /WE wird verhindert. Der Adressenmultiplexer wird mit REF auf Refresh-Adresse geschaltet. Beendet wird der Refresh-Zyklus mit Takt 7 durch das Signal /REF-CL, welches /REF-REQ zurücksetzt und damit das Status-Flipflop wieder auf MEM schaltet. Mit der HL-Flanke von REF wird der Refresh-Adressenzähler eins weitergeschaltet. Nach Abschalten von /RAS-PAU kann ein neuer Zyklus beginnen.

### 3.6. Datentreiber

Die Daten werden über bidirektionale Treiber DS 8287 D vom Systembus empfangen bzw. auf diesen gesendet. Die Treiber stehen im Ruhezustand auf Empfang und werden nur durch ein aktives /MRDC oder /IORC auf Senden geschaltet. Außer den beiden Treibern für gerades und ungerades Byte ist ein dritter vorhanden (swap buffer), der bei Bytebetrieb auf ungerader Adresse die Busleitungen /DAT0 ... /DAT7 mit den speicherinternen Leitungen 8 ... 15 für das ungerade Byte verbindet. Die Signale LOW-OE, SWAP-OE und HIGH-OE zur Aktivierung der entsprechenden Treiber werden aus den Bussignalen /BHEN und /ADRO nach folgendem Schema erzeugt:

/ADRO	/BHEN	aktivierter Treiber
H	H	even buffer
L	H	swap buffer
H	L	even buffer + odd buffer
L	L	odd buffer

Die letzte Kombination kommt bei der ZVE K 2771 nicht vor.

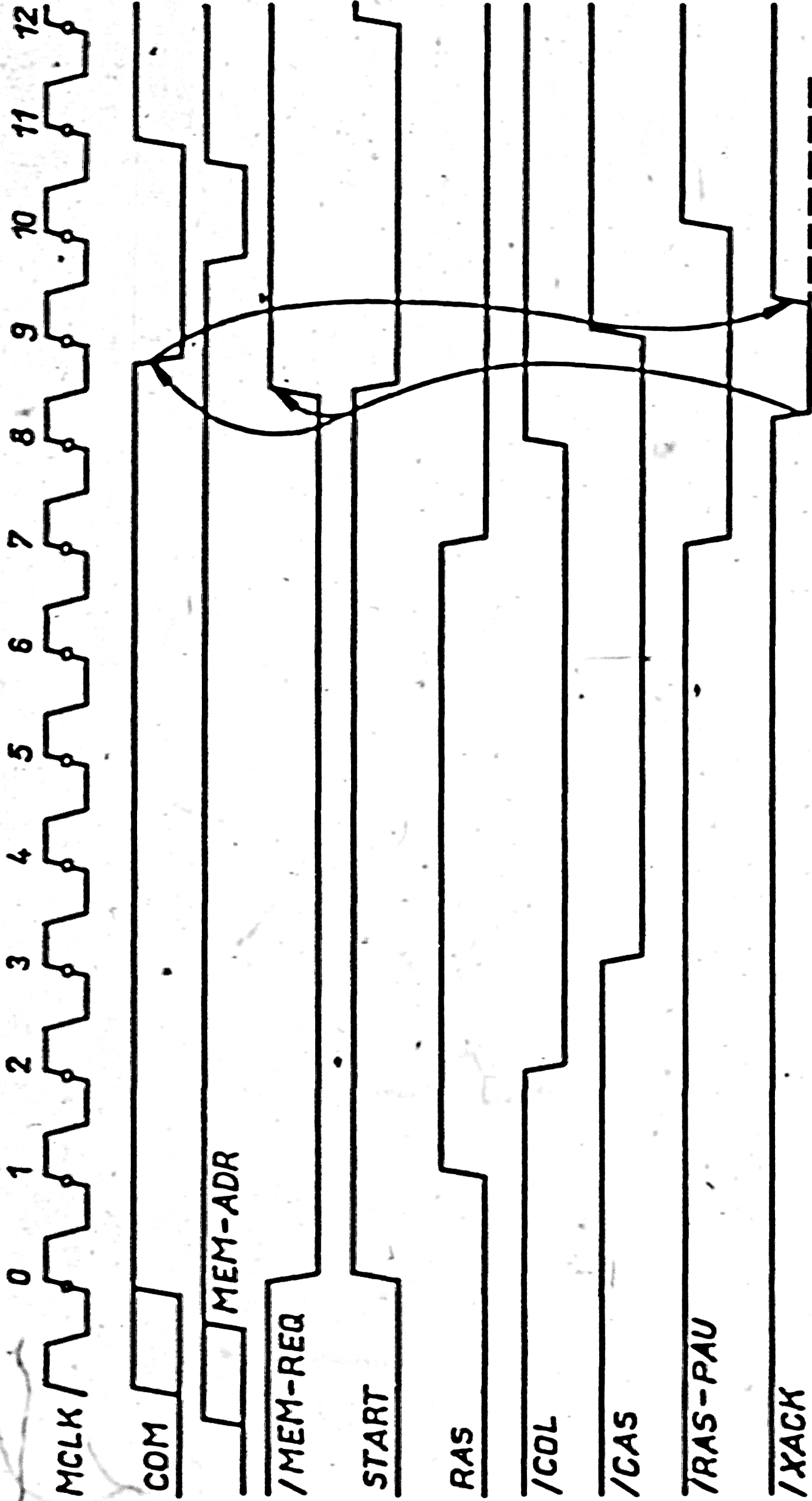


Bild 3.2.: Speicherzyklus

3.7. Paritätsprüfung

Der OPS ist mit byteweiser Paritätsprüfung ausgerüstet.

Beim Schreiben wird mittels zweier Paritätsgeneratoren K 531 IP 5P pro Byte ein Paritätsbit gebildet und in die entsprechenden Speicher-SK eingeschrieben. Der 9. Eingang liegt dabei auf High. Es wird auf ungerade Parität ergänzt.

Beim Lesen liegen an den 9. Eingängen der K 531 IP 5P die von den entsprechenden Speicher-SK gelieferten Paritätsbits. Die K 531 IP 5P arbeiten als Paritätsprüfer. Bei abweichender Parität wird ein Fehlersignal gebildet, und mit der LH-Flanke von MEM-XACK wird ein Interrupt-Flipflop gesetzt. Damit wird

- ein Interrupt auf einer der durch Wickelverbindung wählbaren Leitungen /INT0 ... /INT7 gesendet,
- eine rote LED auf der BLP eingeschaltet,
- eine Information über die den Paritätsfehler verursachende Speicherbank in das Paritätsfehlerregister K 531 TM 9P eingetragen (s. Punkt 2.2.4.).

Das Paritätsfehlerregister ist über einen als Treiber dienenden DS 8283 D mit den Datenleitungen /DAT0 ... /DAT7 verbunden. Es kann über eine der durch Wickelverbindungen wählbaren IO-Adressen 00, 02, 40 oder 42 (hex) gelesen werden (s. Punkt 7.3., Tabelle 2).

Die Fehlerinformation bleibt gespeichert, solange das Interrupt-Flipflop gesetzt ist, sie wird also durch einen zweiten Paritätsfehler nicht überschrieben. Das Interrupt-Flipflop wird rückgesetzt durch

- das Signal INIT
- Lesen oder Schreiben auf der IO-Adresse des Paritätsfehlerregisters.

Durch INIT oder Schreiben einer beliebigen Information auf der Adresse des Paritätsfehlerregisters wird letzteres außerdem gelöscht. Es enthält dann die Information OFH für den fehlerfreien Zustand.

Für Prüfzwecke kann die Paritätsbitbildung unprogrammiert werden. Dazu ist auf der Adresse des Paritätsfehlerregisters die Information 0 oder eine beliebige gerade Information zu schreiben. Es wird dann auf gerade Parität ergänzt.

Zurückschalten auf ungerade Parität geschieht durch Schreiben von 1 bzw. einer beliebigen ungeraden Information oder automatisch durch /INIT beim Zuschalten der Betriebsspannung.



**Beachte:**

Die Schreibinformation wird nicht in das Paritätsfehlerregister eingetragen, dieses wird durch einen Schreibvorgang immer gelöscht (Inhalt OFH). Beim Schreiben zum Zwecke des Registerlöschens ist darauf zu achten, daß dadurch nicht ungewollt die Parität umprogrammiert wird (d. h. im Normalfall Löschen durch Schreiben von 1).

**3.8. Quittungssignal**

Der Speicher zeigt durch Senden des Quittungssignals /XACK auf den Systembus dem Master an, daß die Lesedaten gültig bzw. die Schreibdaten übernommen sind. Das Quittungssignal muß sowohl bei Speicherzugriffen als auch bei Zugriffen zum Paritätsfehlerregister gesendet werden. Die Bildung des Quittungssignals für Speicherzyklen /MEM-XACK erfolgt in der Funktionsgruppe Takterzeugung, siehe auch Punkt 3.5.

Bei Registerzyklen wird die richtige Zeitlage des Quittungssignals /REG-XACK ebenfalls mit Hilfe eines von MCLK getakteten Schieberegisters K 531 IR 11P realisiert. Beide Signale, /MEM-XACK und /REG-XACK, werden geodert und über den Treiber MH 3226 auf den Systembus gesendet.

Durch eine spezielle Beschaltung des CS-Eingangs wird erreicht, daß der MH 3226 beim Abschalten noch aktiv auf High schaltet, bevor er in den three-state-Zustand geht.

**4. Konstruktionsbeschreibung**

Die Baugruppe OPS<sup>4</sup>K 3571 ist als Karteneinschub paßfähig zur Gefäßkonstruktion des AC A 7100 und MMS 16 auf der Grundlage der TGL RGM 834 und der TGL 37270.

Der Karteneinschub besteht aus der BLP mit Frontplatte.

**Beachte:**

Die mittige Befestigung der Frontplatte erfolgt mittels Linsensenkschraube 2,5 x 8 und Kreuzschlitz nach TGL 0-7985.

Das Teilungsmaß beträgt 4 TE /20,32 mm). Nur für den Einsatz im AC A 7100 gibt es eine Ausführung mit 3 TE (15,24 mm), s. a. Punkt 2.3., die sich nur durch eine schmalere Frontplatte unterscheidet.

Die Abmessungen der Leiterplatte betragen 233,35 x 160 mm<sup>2</sup>. Die Leiterplatte ist als Mehrlagenleiterplatte mit 4 Ebenen ausgeführt.

Das Grundraster auf der Leiterplatte beträgt 2,54 mm (n x 1,27 mm).

Als Bus-Steckverbinder findet Verwendung: Messerleiste CIA DIN41612.

Anmerkung: Beachte Raster 2,54 mm!

## 5. Transport, Lagerung, Verpackung

Der Modul K 3571 wird in einer Sammelverpackung (Kiste) oder in Wellpapp-Schiebeschachteln einzeln verpackt ausgeliefert.

Er ist bis zur Inbetriebnahme in der Originalverpackung zu transportieren und zu lagern.

Lagerungsbedingungen: + 5 °C bis + 35 °C; kurzzeitig - 10 °C;  
maximale rel. Luftfeuchte 85 % bei 25 °C.

Zur Neuwarterhaltung ist eine rel. Luftfeuchte von  $\approx$  60 % anzustreben. Betauung ist auszuschließen. Die max. Lagerdauer beträgt 6 Monate.

### Entpackung:

Der Modul ist aus der Sammelverpackung zu entnehmen, bei der Einzelverpackung ist der Klebebandverschluß vorsichtig zu trennen. Der Modul ist nur an Stellen zu berühren, die frei von Bauelementen und Leiterzügen sind.

### Verpackung:

Der Modul ist nur in der Lieferverpackung des Herstellers zu verpacken. Dabei ist bei der Einzelverpackung auf die Verwendung der Schaumstoffpolster zu achten. Die Einzelverpackung ist zu verkleben. Die Verpackung ist für Straßen-, Luft- und Eisenbahntransport ausgelegt.

Einzelverpackung:      Abmessung (300 x 220 x 55) mm<sup>3</sup>  
                                    Masse            0,25 kg

## 6. Montage und Installation

Der Modul K 3571 darf nur in Finalerzeugnissen eingesetzt werden, die die Anschlußkennwerte nach Punkt 2.2. erfüllen. Die Einbaulage kann waagrecht- und senkrecht sein. Bei waagrechtem Einbau muß die Bestückungsseite nach oben zeigen. Es ist zu gewährleisten, daß die Lufteintrittstemperatur 0 °C nicht unterschreitet und daß die Luftaustrittstemperatur in Höhe der Leiterplattenoberkante + 55 °C nicht überschreitet. Im Bedarfsfall ist zur Einhaltung der oberen Grenztemperatur eine geeignete Belüftung vorzusehen.

Der Modul ist im gesteckten Zustand mit den in der Frontplatte befindlichen Kreuzschlitzschrauben im Finalerzeugnis zu befestigen.

7. Einstellung und Initialisierung7.1. Initialisierung

Nach dem Spannungszuschalten enthält der OPS K 3571 undefinierte, nicht paritätsbitrichtige Informationen. Bei Lesezugriffen könnte die Paritätsbitprüfschaltung Interrupt auslösen. Der gesamte Speicher ist deshalb nach dem Zuschalten der Betriebsspannung mit einer definierten Information zu beschreiben (Beginn frühestens 3 ms nach Erreichen des Betriebsspannungswertes).

7.2. Einstellung des Adressenbereiches

Tabelle 1: Adressenbereiche OPS K 3571

Wickelverbindung		Adressenbereich/Byte			
von	nach	dezimal		hexadezimal	
		von	bis	von	bis
X801 X802	X810 X809	0	256K-1	0	3FFFF
X802 X806	X810 X809	128 K	384K-1	20000	5FFFF
X806 X803	X810 X809	256K	512K-1	40000	7FFFF
X803 X807	X810 X809	384K	640K-1	60000	9FFFF
X807 X804	X810 X809	512K	768K-1	80000	BFFFF
X804 X808	X810 X809	640K	896K-1	A0000	DFFFF
X808 X805	X810 X809	768K	1024K-1	C0000	FFFFFF

Anmerkung: X809 und X810 dürfen vertauscht sein. Standardfall ist die 1. Zeile, d. h. Adressenbereich 0 bis 256K-1 Byte.



7.3. Adresse des Paritätsfehlerregisters

Mit der Wickelverbindung X9 ist die Anzahl der in die Entschlüsselung einbezogenen IO-Adressenbits einstellbar:

Wickelverbindung X902 - X903: /ADR7.../ADRO ausgewertet  
 X901 - X903: /ADRF.../ADRO ausgewertet (Standardfall)

Die Adresse des Paritätsfehlerregisters wird nach Tabelle 2 eingestellt.

Tabelle 2: IO-Adresse Paritätsfehlerregister

Wickelverbindung	Adresse hexadezimal
X1002 - X1003, X1101 - X1102	00 (Standardfall)
X1002 - X1003, X1101 - X1103	02
X1001 - X1003, X1101 - X1102	40
X1001 - X1003, X1101 - X1103	42

7.4. Interrupt

Tabelle 3

Wickelverbindung	Interrupt/auf Busleitg.
X1301 - X1309	/INT0 (Standardfall)
X1301 - X1308	/INT1
X1301 - X1307	/INT2
X1301 - X1306	/INT3
X1301 - X1305	/INT4
X1301 - X1304	/INT5
X1301 - X1303	/INT6
X1301 - X1302	/INT7

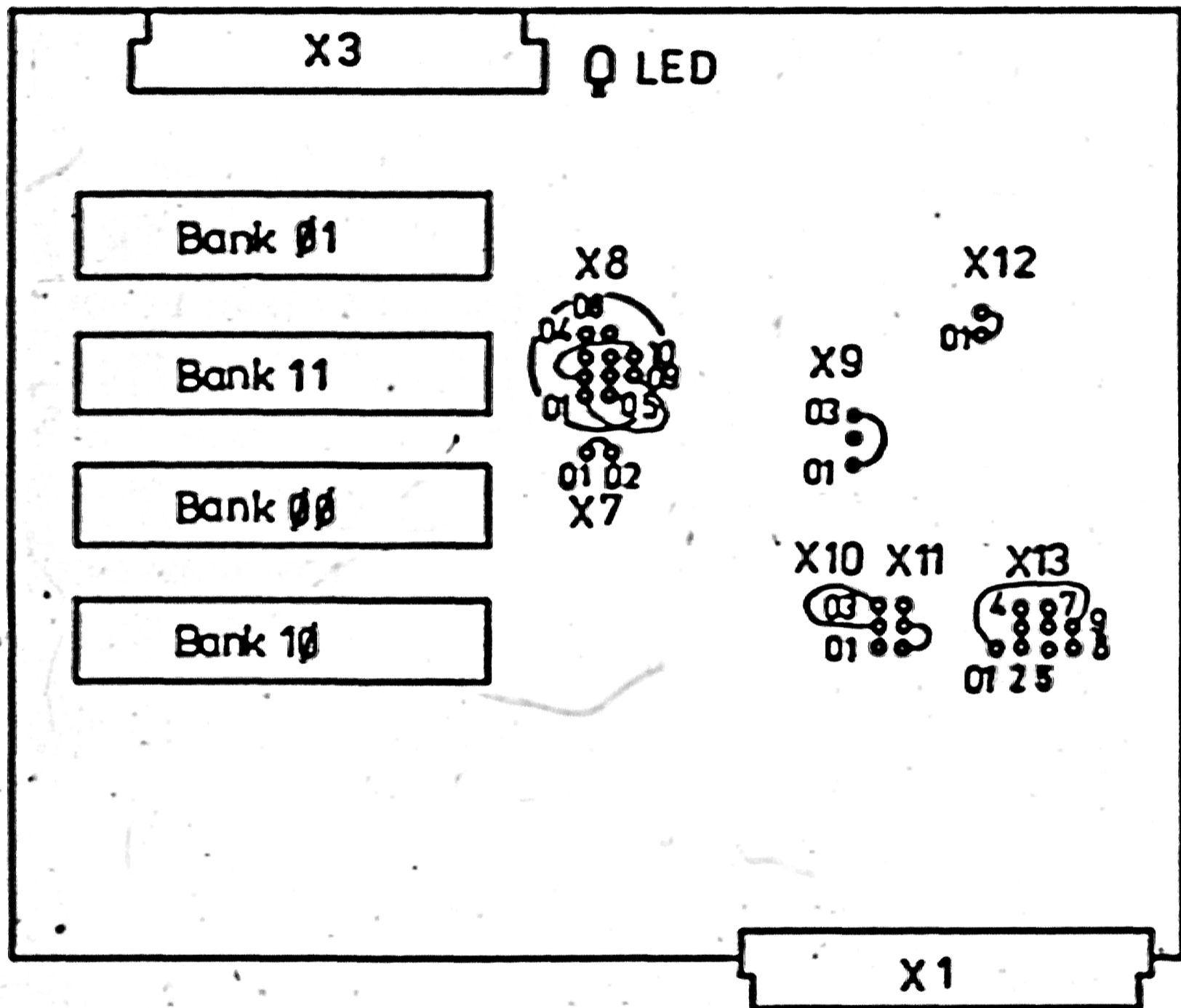


Bild 7.1.: Lage der Einstellmittel auf der BLP OPS K 3571



### 7.5. Prüfwickelverbindungen

Die Wickelverbindungen X701 - X702 und X1201 - X1202 müssen beim Betrieb des Moduls geschlossen sein.

### 8. Inbetriebnahme und Betrieb

Für die jeweilige Konfiguration sind die entsprechenden Wickelverbindungen lt. Punkt 7 auszuführen. Nach dem Stecken der Baugruppe ist unter Beachtung der Punkte 6. und 7.1. die Betriebsspannung zuzuschalten. Eine gesonderte Inbetriebnahme ist nicht erforderlich.

Beim Betrieb ist die Betriebsanleitung des Finalproduktes zu beachten.

### 9. Pflege und Wartung

Der OPS K 3571 ist wartungsfrei.

### 10. Instandsetzung

Die Reparatur einer als defekt ermittelten Baugruppe OPS K 3571 erfolgt nur durch den Technischen Kundendienst.