

BETRIEBSDOKUMENTATION

Zweiportspeicher

robotron K 2071

VEB Robotron-Elektronik Dresden

r o b o t r o n

Produzent:

VEB Robotron-Elektronik Dresden
DDR 8010 Dresden
Grunaer Straße 2

Änderungen im Sinne des technischen Fortschritts vorbehalten.
Im Interesse einer ständigen Weiterentwicklung werden alle Leser gebeten, dem Herausgeber Hinweise zur Verbesserung mitzuteilen.
Nachdruck und jegliche Vervielfältigung, auch auszugsweise, sind nur mit Genehmigung des Herausgebers zulässig.

Herausgeber:

VEB Robotron-Elektronik Dresden
DDR 8010 Dresden
Grunaer Straße 2

Inhaltsverzeichnis

	Seite
1. Verwendungszweck	4
2. Technische Daten	4
2.1. Leistungskennwerte	4
2.2. Anschlußkennwerte	6
2.2.2. Konstruktive Werte	6
2.2.3. Interfaces	6
2.2.4. Register	6
2.2.5. Interrupts	7
2.3. Varianten	7
2.4. Umgebungsbedingungen	7
2.5. Schutzmaßnahmen	8
3. Beschreibung der Funktion	8
3.1. Adressendekodierung/-verschiebung	8
3.2. Bildung der Systembusanforderung	8
3.3. Bildung der ZVE-Anforderung	10
3.4. Entscheidungsschaltung 1	10
3.5. dRAM-Controller	10
3.6. Speichermatrix	11
3.7. Quittungssignalbildung	12
3.8. Paritätskontrolle	12
4. Beschreibung der Konstruktion	13
5. Transport, Lagerung, Verpackung	13
6. Montage und Installation	14
7. Einstellung und Initialisierung	14
7.1. Initialisierung	14
7.2. Adressen	15
7.2.1. Ausblendbereich bei Systembuszugriff	15
7.2.2. Adresse des Control-Bytes	15
7.2.3. Anfangs- und Endadresse bei ZVE-Zugriffen	15
7.2.4. Anfangs- und Endadresse bei Systembuszugriffen	16
7.3. NMI-MASK-Funktion	16
7.4. Regenerieren	17
8. Inbetriebnahme und Betrieb	17
9. Pflege und Wartung	17
10. Instandsetzung	17

Erzeugnisbezeichnung Zweiportspeicher
robotron K 2071

Kurzbezeichnung ZPS K 2071

Notation Verträglichkeitsniveau S-D16M24I16VOL

1. Verwendungszweck

Der ZPS K 2071 hat sowohl die Funktion eines lokalen Operativspeichers der ZVE K 2771 für Zugriffe ohne Nutzung des Systembusses als auch eines Operativspeichers, auf den durch andere Master über den Systembus MMS 16 zugegriffen werden kann. Ein lokaler Speicher ist vor allem in Mehrprozessorsystemen erforderlich.

Der ZPS K 2071 kann so konfiguriert werden, daß er vom Systembus bezüglich seiner gesamten Kapazität, eines Teils seiner Kapazität oder gar nicht zugreifbar ist. Der nicht zugreifbare Teil ist dann ein privater Speicher der ZVE K 2771. Da die Umsteuerung zwischen den zwei Zugriffswegen (Ports) über Adreß- und Datenwege der ZVE erfolgt, ist der ZPS nur zusammen mit der ZVE verwendbar.

2. Technische Daten

2.1. Leistungskennwerte

- Speicherkapazität 128 Kbyte

- Adreßbereich

für Systembuszugriffe 24 ausgewertete Adressenleitungen (bis /ADR17)
Adressenbereich liegt im Raum 0...1 Mbyte und ist in Schritten von 128 Kbyte durch Wickelstifte wählbar und in Schritten zu 32 Kbyte einschränkbar.
für ZVE-Zugriffe Adressenbereich stets von 0...128 Kbyte, nicht einschränkbar.

- Reaktionszeiten

Zugriffsart	Reaktionszeit	Wert/ns	Bedingungen
ZVE-Zugriff 1)	Zykluszeit	1020	$T_{CPU-CLK} = 204 \text{ ns}$
	Zugriffszeit	485	bezogen auf HL-Flanke von /MEM-RD bis Gültigwerden der Daten
System- 2) bus- zugriff	Zykluszeit	875 ³⁾	bezogen auf HL-Flanke /MRDC bzw. /MWTC bis LH-Flanke von SB-RAM-MODE für den schnellsten, nach Busrichtlinie möglichen, Master
	Zugriffszeit	690	von HL-Flanke /MRDC bis HL-Flanke /XACK

1) Die angegebenen Zeiten können sich durch einen laufenden Refreshzyklus um max. 650 ns verlängern, desgleichen können die Zeiten bei laufendem Systembuszugriff um die Systembus-Zykluszeit verlängert werden. Beide Zeiten können sich addieren.

2) Die angegebenen Zeiten können sich durch einen laufenden Refreshzyklus um max. 650 ns, bei laufendem ZVE-ZPS-Zyklus bis zu 1020 ns verlängern. Die Zeiten können sich addieren.

3) Beträgt die Zeit von Vorderflanke /XACK bis Rückflanke /MRDC bzw. /MWTC mehr als 20 ns (abhängig vom Master) so steigt die Zykluszeit um den jeweiligen Wert an.

- Datenerhalt nicht vorgesehen
- Regenerierung speicherintern, asynchron gesteuert. Regenerieren über externes Signal möglich.
- Paritätsprüfung byteweise, ungerade oder gerade Parität programmierbar (s. Pkt. 2.2.4. und Pkt. 3.8.)
- Inhibit ZPS wertet bei Systembuszugriffen als Slave niedrigster Priorität das Signal /INH1 aus.

2.2. Anschlußkennwerte2.2.1. Strombedarf

typ (max) + 5 V 2,5 A (4,0 A)

2.2.2. Konstruktive Werte

Modulumfang	1 Steckeinheit komplett mit Frontplatte
BLP-Typ	031-0410
Bauhöhe	12,1 mm
Gewicht	etwa 300 g
Steckverbinder X3	griffseitig als Prüfstecker (Steckerleiste 102-58 nach TGL 29331/03)

Weitere Angaben siehe Punkt 4.

2.2.3. Interfaces

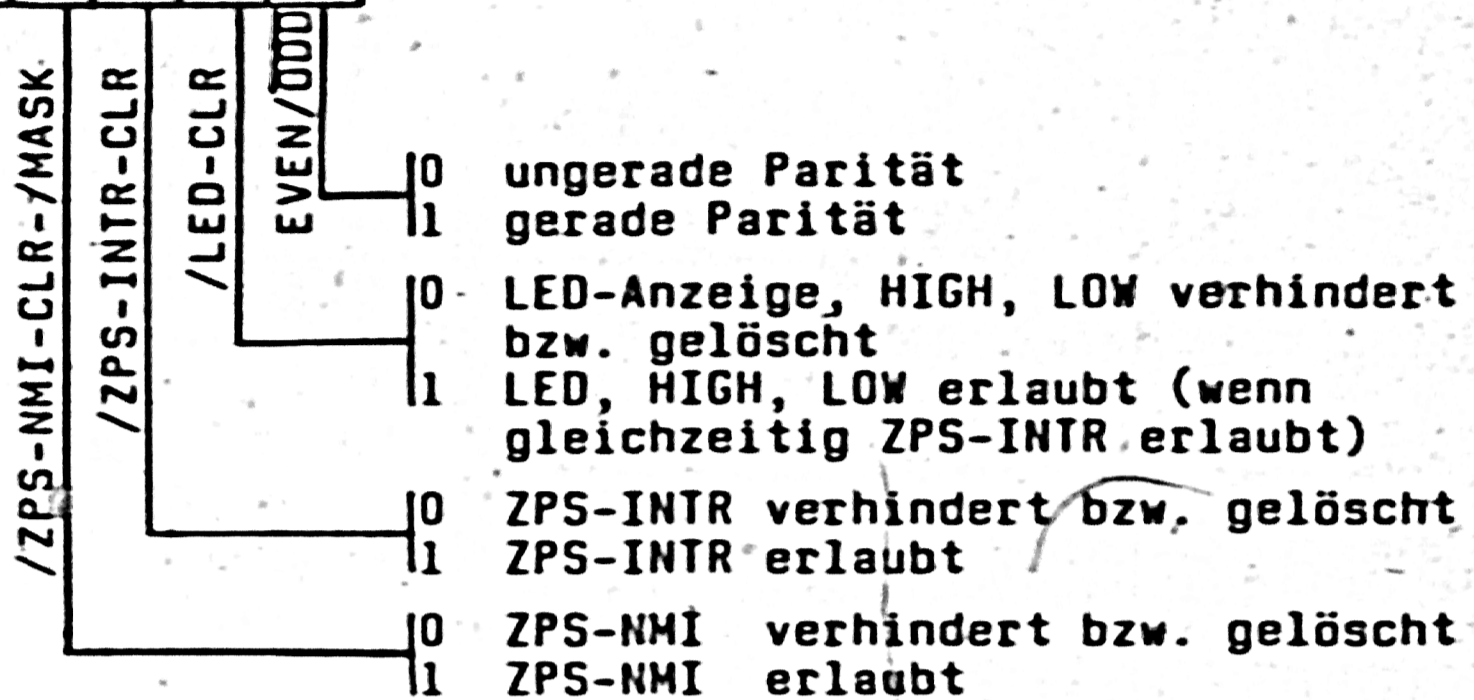
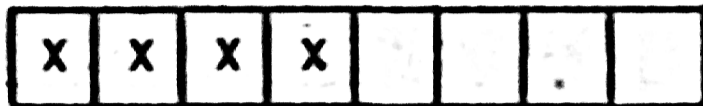
Steckverbinder X1	Anschluß des Systembus MMS 16
empfangene Signale	/MRDC, /MWTC, /INIT, /INH1, /ADRF.../ADR17
min. Zeitabstand zwischen Kommandos t_{CSEP}	200 ns
gesendetes Signal	/XACK
Steckverbinder X2	ZPS-Anschluß, Signalaustausch mit ZVE K 2771

2.2.4. Register

Zur Steuerung der Paritätskontrolle und der Fehlerbewertung wird ein über eine Speicheradresse adressierbares Control-Byte-Register verwendet.

Format des Control-Bytes:

7 6 5 4 3 2 1 0



Einzelheiten dazu siehe Pkt. 3.8.

2.2.5. Interrupts

Bei Auftreten eines Paritätsfehlers werden die Signale ZPS-INTR, /ZPS-NMI, /HIGH bzw. /LOW aktiviert (sofern sie nicht über das Control-Byte oder NMI-MASK verhindert wurden) und über den ZPS-Anschluß zur ZVE übertragen.

Das Rücksetzen der Fehlersignale erfolgt entweder über das Control-Byte oder über das Signal /INIT. Danach muß jeweils, sollen weitere Fehler registriert werden, das Control-Byte neu beschrieben werden. Bei Operationen mit dem Control-Byte ist darauf zu achten, daß nicht ungewollt die Parität umgeschrieben wird (s. a. Pkt. 3.8.).

2.3. Varianten

Der ZPS K 2071 besitzt keine Varianten.

2.4. Umgebungsbedingungen

Für den Modul K 2071 gelten die Einsatzgrenzbedingungen 0/+55/+30 /90//10/1/10.

2.5. Schutzmaßnahmen

Der Modul K 2071 wird mit Kleinspannung betrieben und erzeugt intern keinerlei gefährliche Spannungen. Notwendige Schutzmaßnahmen hängen vom sicherheitstechnischen Konzept des Finalerzeugnisses sowie von den für die entsprechende Erzeugnisgruppe geltenden Sicherheitsstandards ab.

3. Beschreibung der Funktion

Der ZPS K 2071 ist auf der BLP 031-0410 untergebracht. Er besitzt eine Kapazität von 128 Kbyte, die nicht abrüstbar ist.

Der ZPS K 2071 kann direkt über den ZPS-Anschluß (Stecker X2) von der ZVE K 2771 angesprochen werden, was die Speicherzugriffszeit gegenüber der Arbeit mit einem OPS am Systembus senkt und die Verfügbarkeit des Systembus für andere Master erhöht. Die ZVE adressiert den ZPS im Bereich von 0 ... 128 K-1 Byte. Dieser Bereich kann nicht eingeschränkt werden.

Der vom Systembus (Stecker X1) her zugreifbare Adressenbereich kann über eine Wickelverbindung im Bereich von 0 bis 1 Mbyte-1 in Stufen zu 128 Kbyte verschoben werden. Eine Ausblendung von unten nach oben in 32 Kbyte-Stufen in Bezug auf eine eingestellte Endadresse ist ebenfalls über eine Wickelverbindung möglich. Wird der gesamte Systembus-Adressenbereich ausgeblendet, so arbeitet der ZPS als privater Speicher der ZVE K 2771.

Das Blockschaltbild des Zweiportspeichers ZPS K 2071 zeigt Bild 3.1.

3.1. Adressendekodierung/-verschiebung

Diese Funktionsgruppe realisiert die bereits erwähnte Adressenverschiebung und die Ausblendung in 32 Kbyte-Stufen. Bei Erscheinen einer für den ZPS gültigen Systembusadresse wird das Signal /SB-RAM-ADR-REQ gebildet.

Über das Signal /INH1 kann das schon aktivierte Signal /SB-RAM-ADR-REQ zurückgeschaltet werden. In diesem Falle wird kein Systembuszyklus ausgelöst.

Ein Datenaustausch zwischen ZVE K 2771 und ZPS über den Systembus wird durch das Signal /SB-AEN verhindert. Durch Einbeziehung der Adressenbits ADR 14 ... 17 in die Adressenschlüsselung ist der ZPS in Systemen bis 16 Mbyte Adreßraum einsetzbar, kann aber nur im Bereich unter 1 Mbyte angesprochen werden.

3.2. Bildung der Systembusanforderung

Aus der Verknüpfung /MRDC bzw. /MWTC mit /SB-RAM-ADR-REQ wird das Signal SB-RAM-CMD gebildet. Dieses Signal löst, sofern es nicht durch einen laufenden Zyklus (RAM-AACK aktiv) oder einen zu erwartenden ZVE-ZPS-Zyklus (ZNB-MODE-KICK aktiv) abgeblockt wird,

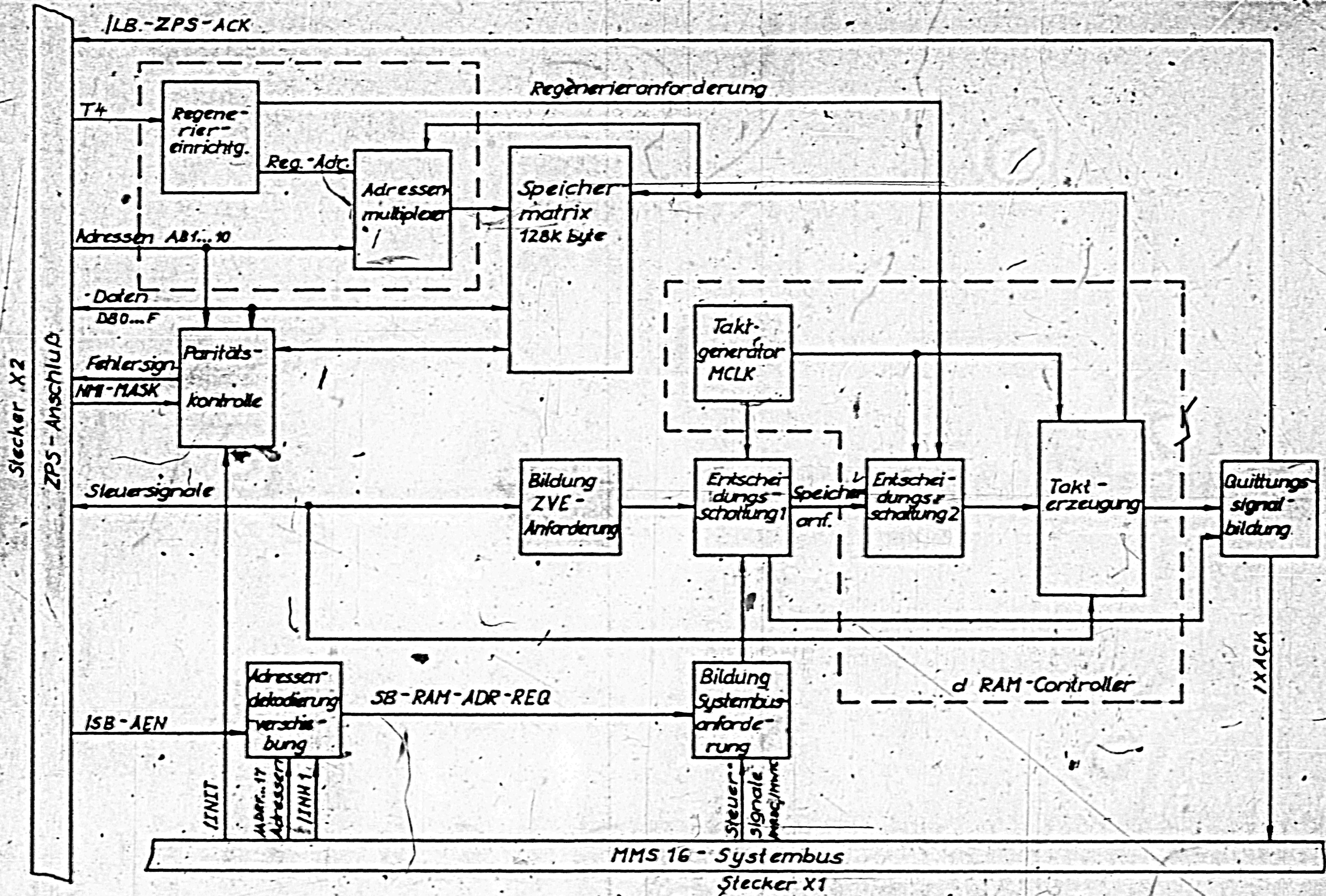


Bild 3.1: Blockschaltbild ZPS K 2071

Über die Entscheidungsschaltung 1 einen Systembuszyklus aus.

3.3: Bildung der ZVE-Anforderung

Mit dem Signal /ALES wird ein Flip-Flop gesetzt und damit eine noch nicht durchgeschaltete Systembusanforderung blockiert. Diese Blockierung wird erst mit der nächsten HL-Flanke von /CLK-T4 zur Mittelflanke des auf den ZVE-Takt T3 folgenden Taktes Tw wieder aufgehoben. Zu diesem Zeitpunkt steht dann bereits ZNB-RAM-CMD zur Verfügung und hält die ZVE-Anforderung weiter aufrecht.

3.4. Entscheidungsschaltung 1

Die Entscheidungsschaltung 1 befindet darüber, ob als nächstes eine Systembusanforderung oder eine ZVE-Anforderung bedient wird, wenn diese gleichzeitig anliegen. Am Ausgang der UND-Verknüpfung der Signale SB-RAM-CMD, /RAM-AACK und /ZNB-MODE-KICK wird vorbestimmt, welcher Zyklus sich einstellen wird. Dieses Signal wird über zwei Flip-Flops mit dem internen Speichertakt MCLK1 synchronisiert. Wurde in das zweite Flip-Flop ein 'High' übernommen, so schaltet /ZNB-ADR-EN ab und /SB-RAM-MODE wird aktiv. Ein Systembuszyklus wird ausgelöst. Dieser Zustand wird über den Setzeingang des zweiten Synchronisier-FFs gehalten und erst am Ende des Systembuszyklus über DP-RELEASE aufgehoben. Im nächsten Takt wird wieder in Richtung ZVE-Zugriff umgeschaltet.

Ein einmal eingeleiteter ZVE-ZPS-Zyklus wird über das aktive Signal /ZNB-RAM-CMD an der UND-Verknüpfung zwischen erstem und zweitem Synchronisier-FF gehalten. Nach jedem Systembuszyklus wird ZNB-ADR-EN wieder aktiviert, auch wenn kein /ZNB-RAM-CMD anliegt. Damit steht die Entscheidungsschaltung praktisch auf ZVE-Zugriff und ZVE-Anforderungen können schnell bedient werden. Eine Taktzeit nach Aktivwerden von /ZNB-ADR-EN wird eine ZVE-Anforderung glatt durchgeschaltet, /ZNB-CMD-EN aktiviert und je nachdem, ob es sich um einen Lese- oder Schreibzyklus handelt, /DP-RD oder /DP-WT eingeschaltet.

Bei Systembuszugriffen werden /DP-RD und /DP-WT von SB-CMD-EN freigegeben und als Umschaltsignal für die ZVE K 2771 das Signal /SB-RAM-DATA-EN gebildet.

3.5. dRAM-Controller

Die Funktionsgruppe dRAM-Controller liefert alle Signale, die zum Betrieb von 64 K-dRAM-Schaltkreisen notwendig sind. Sie besteht aus einem Taktgenerator für den internen Speichertakt, einer Regeneriereinrichtung mit nachfolgendem Adressenmultiplexer, der Entscheidungsschaltung 2 und einer Takterzeugung.

Die Regeneriereinrichtung liefert die für den Betrieb der dynamischen Speicherschaltkreise notwendigen Regenerieradressen und stellt im Abstand von 14,2 μ s eine Regenerieranforderung REF-REQ an die Entscheidungsschaltung 2. Die Regenerieranforderung kann auch von der LH-Flanke des externen Taktes T4 ausgelöst werden. In diesem Falle wird, wie bei der speicherinternen Regenerieranforderung, im Anschluß an das erfolgte Regenerieren der Regenerierzähler zurückgestellt und der Regenerieradressenzähler weitergezählt. Bei Ausbleiben des Signals T4 wird über die interne Regeneriereinrichtung weiterhin der notwendige Regenerierabstand garantiert. Über den Adressenmultiplexer werden die Regenerier-, Zeilen- und Spaltenadressen an die Speicherschaltkreise angelegt. Die zeitliche Reihenfolge wird von den Signalen MEM und /COL gesteuert.

Die Entscheidungsschaltung 2 legt bei gleichzeitigem Eintreffen einer Speicheranforderung MEM-REQ und einer Regenerieranforderung REF-REQ die Bearbeitungsreihenfolge fest. Zur Vermeidung von Fehlfunktionen werden beide Anforderungen über Flip-Flops synchronisiert. Der interne Speichertakt MCLK wird von einem Oszillatorbaustein K 531 GGI erzeugt und ist quarzstabilisiert. Die Frequenz beträgt 18,9 MHz. MCLK0 wird im dRAM-Controller verwendet, MCLK1 in der Entscheidungsschaltung 1 und im Zähler für die Regenerieranforderung.

In der Takterzeugung werden die zur Ansteuerung der 64 K-dRAM-Schaltkreise notwendigen Takte /RAS, /CAS und /WE mit Hilfe von Schieberegistern K 531 IR11 gebildet. Anschließend wird ein Quittungssignal ACK gebildet, das mehrere Vorgänge auslöst:

- Das Quittungssignal /RAM-XACK wird gebildet, welches anzeigt, daß die Daten gültig sind bzw. übernommen wurden. Das Kommando /DP-RD bzw. /DP-WT kann abgeschaltet werden.
- Der Speicherzyklus wird intern beendet, auch wenn /DP-RD oder /DP-WT weiter anliegt. Dadurch können keine unzulässig langen Ansteuertakte für die Speicherschaltkreise entstehen.
- Das Signal /RAS-PAU wird aktiviert, welches die Einhaltung der notwendigen RAS-Pause t_{RP} gewährleistet.

Regenerieraufrufe werden ebenfalls über die Schieberegister K 531 IR11 realisiert. Die Taktsignale /COL, /CAS und /WE werden dabei über das Signal /MEM-LOCK unterdrückt.

3.6. Speichermatrix

Die Speichermatrix besteht aus 18 x 64 K-dRAM-Schaltkreisen. Jedem Datenbyte ist ein Schaltkreis zur Speicherung des Paritätsbits zugeordnet.

Die Speichermatrix selbst wird stets wortweise gelesen. Über den ZPS-Anschluß sind wort- u. byteweises Schreiben und wortweises Lesen möglich. Bei Systembuszugriffen vermittelt die ZVE K 2771 über diese Schnittstelle den Datenverkehr des ZPS mit dem Systembus entsprechend den dort gestellten Forderungen.

Die ausgelesenen Daten werden mit /RAM-XACK in Datenregistern (2 x DS 8282) gespeichert und stehen dort bis zum Zyklusende (Rückflanke von /DP-RD) zur Verfügung.

3.7. Quittungssignalbildung

In Systembuszyklen wird das Quittungssignal /XACK auf den Systembus gesendet und zeigt die Gültigkeit der ausgelesenen Daten bzw. die erfolgte Übernahme der Schreibdaten an. Eingeschaltet wird es mit /RAM-XACK; das Abschalten erfolgt mit /SB-RAM-CMD.

In ZVE-ZPS-Zyklen wird /LB-ZPS-ACK aktiviert. Dabei handelt es sich um ein vorgezogenes Quittungssignal, das bereits mit /CAS-Vorderflanke eingeschaltet wird. Es wird garantiert, daß innerhalb der nächsten 200 ns die Daten gültig werden. Damit kommt die ZVE mit einem Wait-Zyklus aus, sofern nicht das Regenerieren oder ein Systembuszyklus die Abarbeitung des ZVE-ZPS-Zyklus verzögern.

3.8. Paritätskontrolle

Die Paritätskontrollschaltung des ZPS realisiert eine byteweise Paritätskontrolle.

Beim Schreiben wird zu jedem Datenbyte ein Paritätsbit gebildet und in die zugehörigen Speicherschaltkreise eingeschrieben. Der neunte Eingang der Paritätsbitgeneratoren K 531 IP5 wird dabei durch das aktive Signal /DP-WT auf 'low' gehalten.

Beim Lesen gelangt das aus den Paritätsbit-Speicherschaltkreisen ausgelesene Paritätsbit zusammen mit den ausgelesenen Datenbits auf die Generatoren. Damit wird die Prüfung auf Paritätsbitrichtigkeit durchgeführt. Im Fehlerfall entsteht auf den Signalen LOW-PAR und/oder HIGH-PAR ein 'high'. Diese beiden Signale werden geodert, und das resultierende Signal wird mit der Rückflanke von /COL2 in Flip-Flops übernommen. Die Fehlersignale ZPS-INTR und /ZPS-NMI werden als maskierbarer bzw. nichtmaskierbarer Interrupt über den ZPS-Anschluß zur ZVE gesendet. Wird ZPS-INTR aktiviert, so werden LOW-PAR und HIGH-PAR auch in Flip-Flops übernommen. Dann leuchtet die LED für das Byte, in dem Paritätsfehler festgestellt wurde. Parallel dazu werden die entsprechenden Signale /HIGH und /LOW über den ZPS-Anschluß zur ZVE gesendet.

Über das Signal EVEN/ODD kann, gesteuert durch das Control-Byte, die Prüfung von ungerader auf gerade Parität geändert werden. Damit ist eine softwaremäßige Prüfung der Paritätskontrollschaltung möglich. Als Grundeinstellung gilt die Prüfung auf ungerade Parität, die sich auch nach dem Aktivieren des Signals /INIT einstellt. Das Control-Byte-Register kann je nach Wickelverbindung X13 entweder über die Adresse 0H oder über 400H von der ZVE her beschrieben werden. Über den Systembus ist das Control-Byte über die eingestellte Anfangsadresse (bzw. Anfangsadresse + 400H) ebenfalls beschreibbar, sofern keine Adressenbereiche ausgeblendet wurden.

Parallel zum Control-Byte-Register wird die Information unter der gleichen Adresse in den RAM eingeschrieben. Der Inhalt von RAM und Register stimmt erst nach dem ersten Beschreiben überein. Bei einem

Wechsel der Parität ist das Control-Byte stets zweimal hintereinander zu beschreiben, da beim ersten Mal das Beschreiben der zugehörigen RAM-Speicherzelle noch mit der alten Parität erfolgt.

Durch Aktivieren von /INIT kann das Control-Byte-Register nullgestellt werden. Der Inhalt der zugehörigen RAM-Speicherzelle bleibt aber erhalten, so daß die Übereinstimmung jedesmal neu hergestellt werden muß, da beim Lesen des Control-Bytes stets der Inhalt der zugehörigen Speicherzelle ausgelesen wird.

Die Fehlersignale ZPS-INTR, /ZPS-NMI, /HIGH und /LOW werden über das Control-Byte durch die Signale /ZPS-INTR-CLR, /ZPS-NMI-CLR-/MASK und /LED-CLR (wirkt auch auf die LED-Anzeige) enabled. Die Verhinderung des Aktivwerdens bzw. das Rücksetzen der Fehlersignale erfolgt über die gleichen Signale. Es ist zu beachten, daß die Signale /HIGH und /LOW sowie die LED-Anzeige nur aktiv werden können, wenn ZPS-INTR enabled ist. Unabhängig vom Signal /ZPS-NMI-CLR-/MASK kann /ZPS-NMI über NMI-MASK verhindert bzw. rückgestellt werden, wobei die Polarität für das Aktivwerden von NMI-MASK über die Wickelverbindung X12 festgelegt wird. Mit Wickelverbindung hält NMI-MASK = low das Signal /ZPS-NMI auf high (inaktiv).

4. Beschreibung der Konstruktion

Die Baugruppe ZPS K 2071 ist als Karteneinschub paßfähig zur Gefäßkonstruktion des AC A 7100 und MMS 16 auf der Grundlage der TGL RGW 834 und der TGL 37270.

Der Karteneinschub besteht aus der BLP mit Frontplatte.

Beachte: Die mittige Befestigung der Frontplatte erfolgt mittels Linsensenkschraube 2,5 x 8 und Kreuzschlitz nach TGL 0-7985.

Das Teilungsmaß beträgt 4 TE (20,32 mm).

Die Abmessung der Leiterplatte beträgt 233,35 x 160 mm².

Die Leiterplatte ist als Mehrlagenleiterplatte mit 4 Ebenen ausgeführt.

Das Grundraster auf der Leiterplatte beträgt 2,54 (n x 1,27) mm.

Als BUS-Steckverbinder findet Verwendung: Messerleiste C96M C1A DIN 41612. Anmerkung: Beachte Raster 2,54 mm!

5. Transport, Lagerung, Verpackung

Der Modul K 2071 wird in einer Sammelverpackung (Kiste) oder in Wellpapp-Schiebeschachteln einzeln verpackt ausgeliefert.

Er ist bis zur Inbetriebnahme in der Originalverpackung zu transportieren und zu lagern.

Lagerbedingungen: + 5 °C bis + 35 °C; kurzzeitig - 10 °C,
maximale rel. Luftfeuchte 85 % bei 25 °C.

Zur Neuwarterhaltung ist eine rel. Luftfeuchte von 60 % anzustreben. Betauung ist auszuschließen. Die max. Lagerdauer beträgt 6 Monate.

Entpackung: Der Modul ist aus der Sammelverpackung zu entnehmen, bei der Einzelverpackung ist der Klebebandverschluß vorsichtig zu

trennen. Der Modul ist nur an Stellen zu berühren, die frei von Bauelementen und Leiterzügen sind.

Verpackung: Der Modul ist nur in der Lieferverpackung des Herstellers zu verpacken. Dabei ist bei der Einzelverpackung auf die Verwendung der Schaumstoffpolster zu achten. Die Einzelverpackung ist zu verkleben. Die Verpackung ist für Straßen-, Luft- und Eisenbahntransport ausgelegt.

Einzelverpackung: Abmessung (300 x 220 x 55) mm³
Masse 0,25 kg

6. Montage und Installation

Der Modul K 2071 darf nur in Finalerzeugnissen eingesetzt werden, die die Anschlußkennwerte nach Punkt 2.2. erfüllen. Die Einbaulage kann waagrecht und senkrecht sein. Bei waagrechtem Einbau muß die Bestückungsseite nach oben zeigen. Es ist zu gewährleisten, daß die Lufteintrittstemperatur 0 °C nicht unterschreitet und daß die Luftaustrittstemperatur in Höhe der Leiterplattenkante + 55 °C nicht überschreitet. Im Bedarfsfall ist zur Einhaltung der oberen Grenztemperatur eine geeignete Belüftung vorzusehen. Der Modul ist im gesteckten Zustand mit den in der Frontplatte befindlichen Kreuzschlitzschrauben im Finalerzeugnis zu befestigen.

7. Einstellung und Initialisierung

Die Lage der Wickelverbindungen ist Bild 7.1. zu entnehmen.

7.1. Initialisierung

Nach dem Spannungszuschalten enthält der ZPS K 2071 undefinierte, nicht paritätsbitrichtige Informationen. Bei Lesezugriffen könnte die Paritätskontrollschaltung Interrupt auslösen. Der gesamte Speicher ist deshalb nach dem Zuschalten der Betriebsspannung mit einer definierten Information zu beschreiben (Beginn frühestens 3 ms nach Erreichen des Betriebsspannungsnennwertes). Zuerst ist das Control-Byte zu beschreiben. Die Parität darf während der Initialisierung nicht mehr geändert werden.

7.2. Adressen

7.2.1. Ausblendbereich bei Systembuszugriff

Wickelverbindung		ausgeblendeter Bereich		Standard-Bewicklung
von	nach	von	bis	
X14 offen		keine Ausblendung		X
X1404	X1405	Anfangs- adresse	Endadresse-96K	
X1403	X1405		Endadresse-64K	
X1402	X1405		Endadresse-32K	
X1401	X1405		Endadresse	

7.2.2. Adresse des Control-Bytes

Wickelverbindung	Zugriffsart		Standard-Bewickl.g.
	SB-Zugriff*	ZVE-Zugriff	
X1301-X1302			
offen	Anfangsadresse + 400H	400H	X
geschlossen	Anfangsadresse	0H	

* Das Control-Byte ist über den Systembus nur erreichbar, wenn keine Adressbereiche ausgeblendet sind (s. a. 7.2.1.).

7.2.3. Anfangs- und Endadresse bei ZVE-Zugriffen

Wickelverbindung		Adressenbereich		Bemerkungen
von	nach	hexadezimal	dezimal	
		Anfangsadresse	Endadresse	
X1002	X1001	0 0	1FFFF 128K-1	Standard-Bewicklung
X1003	X1001	C0000 768K	DFFFF 896K-1	nur für Prüfzwecke

7.2.4. Anfangs- und Endadresse bei Systembuszugriffen

Lfd. Nr.	Wickerverbindung		Adressenbereich/Byte				Standard-Bewicklung
	von	nach	dezimal		hexadezimal		
			Anfangs- adresse	End- adresse	Anfangs- adresse	End- adresse	
1	X1502	X1501	0	128K-1	0	1FFFF	X
2	X1503	X1501	128 K	256K-1	20000	3FFFF	
3	X1504	X1501	256 K	384K-1	40000	5FFFF	
4	X1505	X1501	384 K	512K-1	60000	7FFFF	
5	X1506	X1501	512 K	640K-1	80000	9FFFF	
6	X1507	X1501	640 K	768K-1	A0000	BFFFF	
7	X1508	X1501	768 K	896K-1	C0000	DFFFF	
8	X1509	X1501	896 K	1024K-1	E0000	FFFFFF	

7.3. NMI-MASK-Funktion

Signal NMI-MASK	Wickerverbindung X1201-X1202	Signal /ZPS-NMI	Standard- Bewickl.g.
low	geschlossen	maskiert	X
high		enabled*	
low	offen	enabled*	
high		maskiert	

* nur wenn gleichzeitig
Signal /ZPS-NMI-CLR-/MASK = high (s. Punkt 2.2.4.)

7.4. Regenerieren

Signal	Wickerverbindung X1101-X1102	Bemerkungen	Standard- Bewick- lung
T4	offen	T4 wirkungslos, Regenerieren nur intern	
	geschlossen	Regenerieren sowohl über externes Signal T4 als auch bei dessen Ausbleiben über interne Regeneriereinrichtung	X

8. Inbetriebnahme und Betrieb

Für die jeweilige Konfiguration sind die entsprechenden Wickerverbindungen lt. Punkt 7 auszuführen. Nach dem Stecken der BLP ist unter Beachtung der Punkte 6 und 7.1. die Betriebsspannung zuzuschalten. Eine gesonderte Inbetriebnahme ist nicht erforderlich.

9. Pflege und Wartung

Der ZPS K 2071 ist wartungsfrei.

10. Instandsetzung

Die Reparatur eines als defekt ermittelten Moduls ZPS K 2071 erfolgt nur durch den Technischen Kundendienst des Kombinates Robotron.

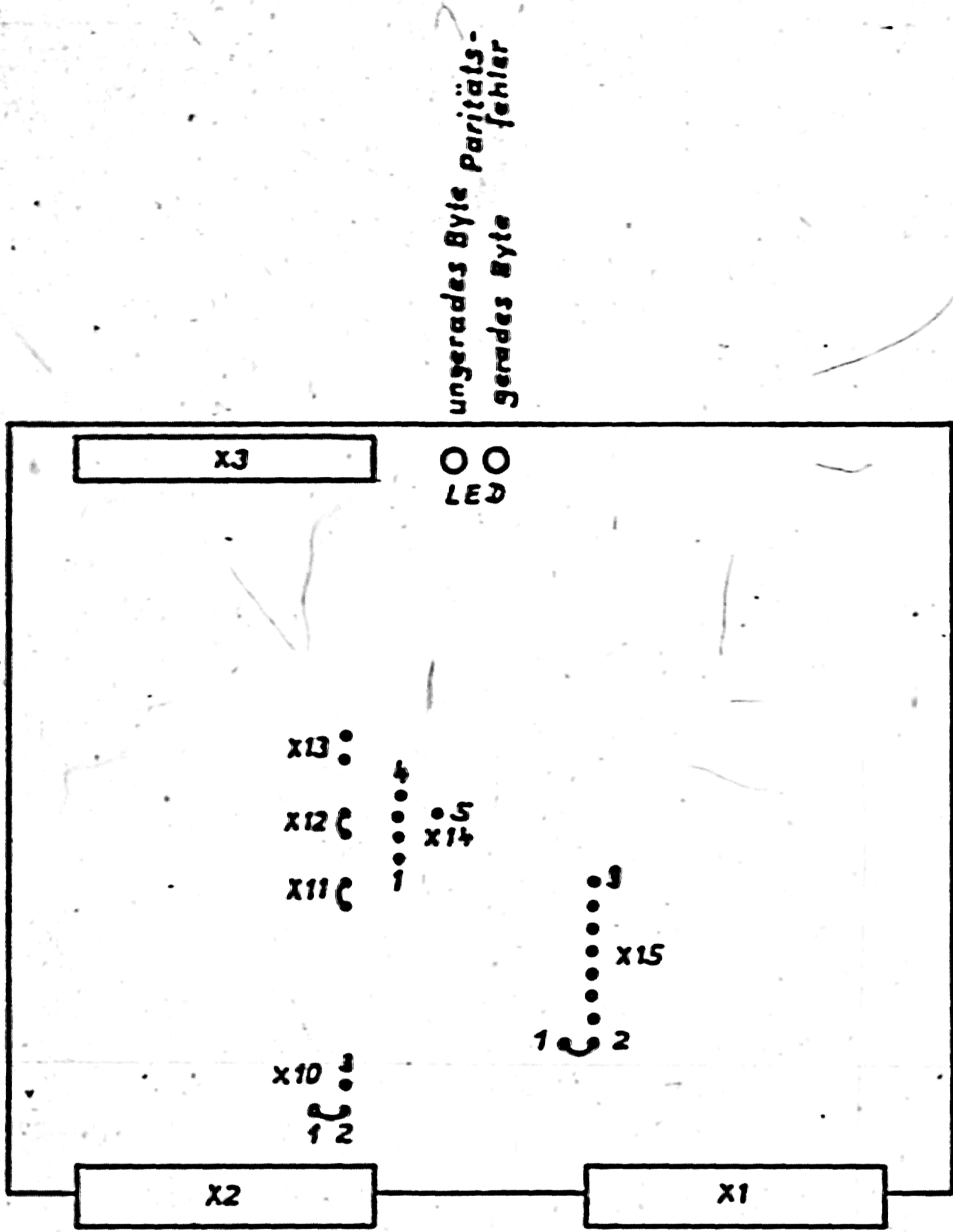


Bild 7.1.: Lage der Einstellmittel auf der BLP ZPS K 2071