

Tafel 1: GSS-Bussignale

| GSS-BUS<br>(Z-BUS-TYPISCH)                        |                                    | GSS-BUS<br>(MULTI-BUS-TYPISCH)                       |  |
|---|------------------------------------|--|--|
| [ LA 20 - LA 21 ]                                 | ERWEITERTE ADRESSE                 | [ LA 20 - LA 21 ]                                    |  |
| LA 8 - LA 19                                      | HOHERWERDIGE<br>SPEICHERADRESSE    | LA 8 - LA 19   |  |
| AD 0 - AD 15                                      | ADRESSEN/DATEN                     | AD 0 - AD 15   |  |
| /AS<br>/DS<br>R//W                                | STEUERUNG                          | /ALE<br>/HRDC<br>/HWTC<br>/IORC<br>/IOWC             |  |
| /WAIT<br>B//W                                     | TIMING                             | /XACK<br>/BHE  |  |
| ST 3<br>ST 2<br>ST 1<br>ST 0                      | SYNCHRONISATION                    |  |  |
| /NMI<br>/VI<br>/NVI<br>/IEI - /IEO                | INTERRUPT                          | /INT 0<br>/INT 1<br>/INT 2<br>/IEI - /IEO            |  |
| /BUSRQ<br>/BAI - /BAO                             | DMA                                | /CBRQ<br>/BPRN - /BPRO                               |  |
| /MMRQ<br>/MMAI - /MMAO<br>[ /CAVAIL ]<br>[ BLCK ] | MULTIPROZESSOR-<br>SYNCHRONISATION | /BREQ<br>/BPRN - /BPRO<br>/LOCK<br>/BUSY<br>[ BLCK ] |  |
| SYSCLK  | TAKT                               | CLK  |  |
| /DISMEM   | SPEICHERSTEUERUNG                  | /INHx  |  |
| /STOP - N//S                                      | CO-PROZESSOR-<br>SYNCHRONISATION   |  |  |
| /BUSERR<br>/RBSRT                                 | FEHLERSICHERUNG                    | /BUSERR<br>/INIT                                     |  |
| + - 5, + - 12, MASSE                              |                                    | + - 5, + - 12, MASSE                                 |  |

BEMERKUNGEN: SIGNALE IN [ ] SIND OPTIONALE ERWEITERUNGSSIGNALE

sind grundsätzlich 16-bit-Adressen, die in einen Blockteil b und einen Subadreßteil s untergliedert werden:

bbbb bsss ssss ssss

Die Blockadresse muß vollständig dekodiert werden, die Subadresse hingegen nicht. Damit können insgesamt 128 höherwertige und 128 niederwertige Blockadressen zu je 256 Subadressen vergeben werden.

Jede Karte, die U-880-Peripheriebaugruppen verwendet, muß einen RETI-Port [4] besitzen, der unter der Adresse FFFF angesprochen wird, um den Anschluß an das Interruptkonzept des U 8000 zu gewährleisten.

Die Systemtaktfrequenz kann maximal 5 MHz betragen. Alle Baugruppen arbeiten synchron zum Systemtakt.

Der 16-bit-Grundkartensatz besteht aus den Komponenten universelle ZRE-Karte, 64-/256-Kbyte-RAM, 2-Kbyte-Dualport-RAM und ZRE-Karte mit Speicherverwaltung. Spezielle Erweiterungen sind unter Beachtung der Busschnittstellen-Definitionen beliebig möglich.

**Multiprozessoranordnungen**

In Multiprozessoranordnungen arbeiten die einzelnen selbständigen ZRE-Module als gleichberechtigte potentielle Busmaster am GSS-Bus, der alle globalen Ressourcen trägt. Diese müssen mindestens aus einem RAM bestehen, um einen Nachrichtenaustausch zwischen den einzelnen Modulen zu ermöglichen.

Vom Grundsignalpaket des GSS-Busses sowie von der ZRE.UNI wird kein softwaretransparenter Buszugriffsmechanismus unterstützt. Will eine zur Zeit noch lokal arbeitende Rechneinheit den Bus erlangen,

Tafel 2: Pinbelegung am GSS-Bus

| 'Systembus' |      | Pin-Nr. | 'Koppelbus' |            |
|-------------|------|---------|-------------|------------|
| B           | A    |         | B           | A          |
| +5          | +5   | 29      | 00          | 00         |
| +12         | +12  | 28      | 00          | 00         |
| /BAI        | /BAO | 27      | -12         | -12        |
| (LA 20)     |      | 26      | ST 3        | ST 2       |
|             |      | 25      | ST 1        | ST 0       |
|             |      | 24      | LA 19       | LA 18      |
|             |      | 23      | LA 17       | LA 16      |
| 00 (LA 21)  |      | 22      | /MMAI       | /MMAO      |
| 00 (BUSCLK) |      | 21      | /MMRQ       | /BUSERR    |
| (/CPURQ)    |      | 20      | /DISMEM     | /STOP-N//S |
|             |      | 19      | /NVI        | /NMI       |
|             |      | 18      | SYSCLK      | /VI        |
|             |      | 17      | /RBSRT      | /BUSRQ     |
|             |      | 16      | /WAIT       | /HRBQ      |
| -5          | -5   | 15      | R//W        | B//W       |
|             |      | 14      | /AS         | /DS        |
|             |      | 13      | AD15        | AD14       |
|             |      | 12      | AD13        | AD12       |
|             |      | 11      | AD11        | AD10       |
| /IEI        | /IEO | 10      | AD 9        | AD 8       |
|             |      | 9       | AD 7        | AD 6       |
|             |      | 8       | AD 5        | AD 4       |
|             |      | 7       | AD 3        | AD 2       |
|             |      | 6       | AD 1        | AD 0       |
|             |      | 5       | LA 15       | LA 14      |
|             |      | 4       | LA 13       | LA 12      |
| 5 PG        | 5 PG | 3       | LA 11       | LA 10      |
| 00          | 00   | 2       | LA 9        | LA 8       |
| 00          | 00   | 1       | +5          | +5         |

( ) optionale Erweiterungen

Tafel 3: Pinbelegung am LSS-Bus (Frontsteckverbinder ZRE.UNI)

| B       | Pin-Nr. | A       |
|---------|---------|---------|
| ST 3    | 29      | SEGNDL  |
| ST 2    | 28      | /RBSRT  |
| ST 1    | 27      | RBSBRV  |
| ST 0    | 26      | 00      |
| B//W    | 25      | 00      |
| R//W    | 24      | 00      |
| /DS     | 23      | 00      |
| /AS     | 22      | 00      |
| /HRBQ   | 21      | 00      |
| /WAIT   | 20      | 00      |
| /SYSCLK | 19      | 00      |
| /NMI    | 18      | +5V     |
| /VI     | 17      | +5V     |
| AD15    | 16      | +5V     |
| AD14    | 15      | +5V     |
| AD13    | 14      | +5V     |
| AD12    | 13      | +5V     |
| AD11    | 12      | +5V     |
| AD10    | 11      | 00      |
| AD 9    | 10      | 00      |
| AD 8    | 9       | 00      |
| AD 7    | 8       | 00      |
| AD 6    | 7       | 00      |
| AD 5    | 6       | 00      |
| AD 4    | 5       | 00      |
| AD 3    | 4       | 00      |
| AD 2    | 3       | RESBRV  |
| AD 1    | 2       | IOZRE   |
| AD 0    | 1       | /LOCQEL |

rückseitige (GRV-Nachrüstsatz) bzw. frontseitige (Flachbandkabel) Nachrüstung untergebracht (s. Bild 2).

Der 16-bit-Bus ist ein prozessorspezifischer Bus, der logisch und funktionell weitestgehend dem Z-Bus [2] entspricht, aber auch ein an den Multibus [3] angelehnter sein kann. Um eine solche Implementierung zu unterstützen, wird in der Tafel 1 der realisierten Z-Bus-typischen Signalbelegung eine dem Multibus entsprechende Belegung gegenübergestellt. Neben den üblichen Signalgruppen wie Adressen, Daten, Transferstatus und -synchronisation, Interrupt- und DMA-Steuerung, Speicherabschaltung und Fehlersicherung führt er die Multiprozessorsynchronisationssignale. Nur bei Multiprozessoranordnungen wird er im eigentlichen Sinne zum GSS-Bus, der LSS-Bus ist dann der ihm untergeordnete. Der GSS-Bus belegt mit Ausnahmen (Prioritätsketten) den ehemaligen K-1520-Koppelbus.

Die insgesamt 78 Signalleitungen (davon 20 Stromversorgungsleitungen) teilen sich auf die einzelnen Signalgruppen entsprechend Tafel 2 auf.

Einige wesentliche Unterschiede zum Z-Bus [2] sind:

- Er ist ein synchroner Bus, d.h., alle Master- und Slavebaugruppen synchronisieren ihre bilateralen Datentransfers auf einen Systemtakt. Diese Festlegung erleichtert die Integration von U-880-Peripheriebausteinen.
- Adressen werden im zeitlichen Multiplex mit den Daten übertragen, mit Ausnahme der Speicheradressen, bei denen die gesamte höherwertige Adreßinformation (ab Bit 8) parallel übertragen wird. Diese Festlegung gestattet eine auf der ZRE-Karte zentralisierte Speicherverwaltung mit MMU-Bausteinen.
- Vier Signale sind optional: zwei zusätzliche Adreßbits LA 20, LA 21 sowie die eine total hardwaregesteuerte Busarbitration unterstützenden Signale „CPU-Verfügbarkeit“ und „Bustakt“
- Die Multiprozessor-Request-Signale stellen zur Resource-Request-Belegung nur eine alternative Variante dar.

Der LSS-Bus in Gestalt der frontseitigen Verbindung zwischen ZRE.UNI und einer

benachbarten Erweiterungskarte dient zur Erweiterung der lokalen Speicherressourcen der ZRE.UNI auf maximal 64 Kbyte sowie der E-A-Ressourcen auf beliebige Zahl. Dazu führt er alle notwendigen Adreß-, Daten-, Timing-, Synchronisations-, Steuer- und Interruptsignale sowie einige Signale zur Steuerung diverser Treiber- und Dekoderlogik. Es handelt sich um eine CPU-typische Schnittstelle, was insbesondere aus der Signalbelegung nach Tafel 3 hervorgeht.

### Grundbaugruppen

#### ZRE.UNI

Der Adreßraum umfaßt 1 Mbyte.

Schnittstellen sind GSS-Bus, LSS-Bus, E-A-Schnittstelle (zwei serielle Kanäle u. a.), K-1520-Bus (Steuerung kann alternativ zur GSS-Bussteuerung erfolgen [4]). Als Ressourcen dienen:

Prozessor U 8001  
4 Kbyte EPROM  
2 Kbyte RAM

CTC (Bittakt, Schrittbetriebszähler)

SIO (zwei serielle Kanäle)

2-bit-Statusport

Taktversorgung (intern bzw. extern vom GSS-Bus)

Arbiterlogik (dezentrale Steuerung zur Garantierung eines exklusiven Zugriffs auf den GSS-Bus)

RETI-Port (zur Interruptsteuerung der U-880-Peripheriebaugruppen).

Die ZRE.UNI kann als Einkartenrechner arbeiten, der über die E-A-Schnittstelle komplett steuerbar ist. Als zentrale Rechen-einheit steuert sie über den GSS-Bus alle Slavekomponenten. In einer Multimaster-anordnung arbeitet sie als gleichberechtigter Master am GSS-Bus.

Alternativ zu den genannten Betriebsarten kann sie anstelle einer K-1520-ZRE den K-1520-Bus steuern.

#### ZRE-MMU

Der Adreßraum umfaßt 4 Mbyte.

Schnittstellen sind GSS-Bus und E-A-Schnittstelle (vgl. ZRE.UNI). Als Ressourcen dienen:

Prozessor U 8001

Speicherverwaltung (drei MMUs)

CTC (Zeitlagenimpulse u. a.)

Violation-Latches (zum Zwischenspeichern der niederwertigen Adreßbytes im Verletzungsfalle)

4 Kbyte Initialisierungs-EPROM

Taktgenerator (4 MHz bzw. 2,5 MHz)

NMI-Port (zur Identifizierung von NMI-Quellen).

Die ZRE.MMU ermöglicht effektive Speicherschutz- und Speicherverwaltungstechniken mit Hilfe der Speicherverwaltungsbausteine (MMU). Diese sind so verschaltet, daß je Segment eine den Kode-, Daten- und den Stackbereich verwaltet und somit je einem Prozeß ein Segment zugeordnet werden kann (einfachere Prozeßverwaltung und -umschaltzeiten). Die Violation-Latches ermöglichen eine Rückidentifizierung aller bezüglich der Verletzungsstelle signifikanten Adreßwerte.

### 2-Kbyte-Dualport-sRAM

Der Speicherraum umfaßt 2 Kbyte. Schnittstellen sind der GSS-Bus und der K-1520-Bus (funktionelle Symmetrie beider Seiten). Als Ressourcen dienen:

Arbiterlogik (garantiert Softwaretransparenz durch Zugriffskoordination auf Hardwareebene)

vier programmierbare, vektorisierte Inter-routen je Seite, die durch Byte-schreiboperationen auf definierte Speicherzellen ausgelöst werden

Zu- bzw. Abschaltbarkeit je Speicherseite

NMI-, RESET-Aktivierung auf 16-bit-Seite, ausgelöst von der K-1520-Seite.

Der Dualport-RAM gestattet einen schnellen Datentransfer zwischen der 8- und der 16-bit-Seite. Es lassen sich leicht vier logische, echtzeitfähige und für höhere Programmiersprachen zugängliche Kommunikationskanäle aufbauen, womit die Implementierung von Multitask- bzw. Echtzeitsteuerungen wesentlich unterstützt wird.

### 64- bzw. 256-Kbyte-dRAM

Diese Baugruppe hat je nach Bestückung ein Speichervolumen von 64 bzw. 256 Kbyte. Der GSS-Bus ist die Schnittstelle. Als Ressource dient die Fehlererkennung durch Speicherung eines zusätzlichen Prüfbits je Bytebank. Es erfolgt die Auslösung des BUSERR-Signales im Falle eines Paritätsfehlers. Weiterhin ist ein eigenständiger Refreshgenerator vorhanden, der im Falle der Nichtbenutzung des GSS-Busses aktiviert wird und der die Konsistenz der Refreshadressen bei Zugriffen verschiedener Busmaster bei einer Multiprozessoranordnung garantiert.

### Software und Testhilfen

In der niedrigsten Ausbaustufe arbeitet das System unter der Regie eines Monitorprogrammes. Zur Verfügung stehen ein nicht segmentiert arbeitender Monitor MON 8000 [8] und eine angepaßte Version des segmentierten Debuggers RMON 8000 [9]. Die Kommunikation mit einem unter dem Betriebssystem UDOS arbeitenden Cross-System übernimmt ein dort ablauffähiges Dialogprogramm DIALOG 8000 [10].

Im einfachsten Falle läuft der Datentransfer über eine serielle Schnittstelle ab. Wird der Dualport-RAM verwendet, ergibt sich nicht nur ein schnellerer Transfer, sondern infolge der Interruptfähigkeit auch eine geeignete Hardwareunterstützung zur Implementierung eines Echtzeitsteuerprogramm-systems auf dem 16-bit-8-bit-Verbund. Unmittelbare Anwendung könnte dabei die höhere Echtzeitprogrammiersprache PLZRTC [12] finden. Eine besonders wirkungsvolle Hardware zur Realisierung eines Multitask-Betriebssystems auf dem USS-8000-Verbundsystem liefert die ZRE.MMU mit ihren Speicherverwaltungsbausteinen.

Zur Inbetriebnahme hat sich der in [11] beschriebene Hardwaretestmodul bewährt.

### Zusammenfassung

Das vorgestellte System gestattet wegen seiner vielfältigen Konfigurierbarkeit auf der Basis des vorgestellten Systemkonzeptes einen effektiven Übergang zur 16-bit-Technik. Trotz der genannten Restriktionen können alle wesentlichen Leistungs- und

Strukturmerkmale der 16-bit-Generationen verfügbar gemacht und leistungsfähige Systeme aufgebaut werden.

### Literatur

- [1] Rau, S.: Advanced processor-independent bus rides on Eurocard hardware. Electronics, New York 55 (1982) 26, S. 63-71
- [2] Bender, L.: ZBI - A System Bus for Z 8000. Mini-Micro-Systems, Boston 13 (1980) 6, S. 67 bis 75
- [3] Mikroprozessor-Busstandards. Sonderheft. mikroprozessor & microsystems, Guild Ford 6 (1982) 9, S. 449-495
- [4] Rehm, W.; Fey, P.: Leistungsfähige 16-bit-ZRE-Karte für K 1520. radio fernsehen elektronik, Berlin 32 (1983) 10, S. 629-631
- [5] Fawcett, B. K.: The Z 8000 Microprocessor, a design handbook. Prentice Hall: Zilog Inc. 1982
- [6] Schulze, R.: Berechnung der Anzahl paralleler Buskanäle in einem Mehrmikrorechnersystem. Nachrichtentechnik Elektronik, Berlin 34 (1984) 7, S. 261-263
- [7] Werner, D.: Aufbau eines verteilten Echtzeitbetriebssystems KOMINET für Mikrorechnersysteme. messen steuern regeln, Berlin 27 (1984) 8, S. 338-341
- [8] Rehm, W.: Nichtsegmentierter Monitor MON 8000. Karl-Marx-Stadt: TH Karl-Marx-Stadt 1984
- [9] Rieken, R.: Bildverarbeitungssystem mit 16-bit-Mikrorechner. Bild und Ton, Leipzig 37 (1984) 11, S. 337-340
- [10] Rehm, W.: Programmbeschreibung DIALOG 8000. Karl-Marx-Stadt: TH Karl-Marx-Stadt 1984
- [11] Testhilfen für 16-bit-Mikrorechner. radio fernsehen elektronik, Berlin 33 (1984) 8, S. 475
- [12] Antonov, A.: Echtzeitbetriebssystem für Mikrorechner. - Nachrichtentechnik Elektronik, Berlin 32 (1982) 11, S. 447-451
- [13] Fey, P.; Kriesten, S.; Rieken, R.: Freiprogrammierbarer Arithmetikmodul für K 1520. radio fernsehen elektronik, Berlin 33 (1984) 8, S. 483-485, 492
- [14] The first complete 32-bit-microprocessor establishes a new performance standard. Electronic Design, New York 32 (1984) 21, S. 24

**Achtung,  
gilt immer!**

**Beratung bei Halbleiter-  
Baulementproblemen,  
computergestützte Ver-  
mittlung von An- und  
Verkauf elektronischer  
Baulemente und Geräte.**  
Informationen anfordern  
(Rückporto)!

**P. SALOMON,  
1144 BERLIN,  
Hönower Straße 159/12-01**