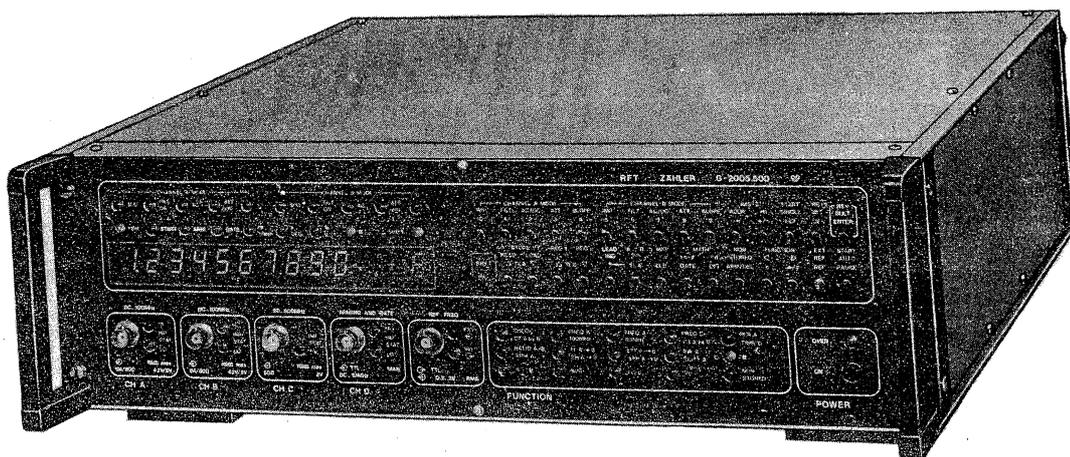


# Zähler G-2005.500/510



Ausgabe Oktober 1986

**vob mikroelektronik › karl marx › erfurt  
stammbetrieb**



DDR – 5010 Erfurt, Rudolfstraße 47 Telefon 580 Telex 061 306

Aenderungen, insbesondere solche, die durch den technischen Fortschritt bedingt sind, vorbehalten.

# INHALTSVERZEICHNIS

	Seite
1. Wirkungsweise	7
1.1. Anzeige (FG 1)	7
1.1.1. Die Multiplexanzeige	7
1.1.2. Die Eingabetastatur	8
1.2. Verstaerker A (FG 2)	8
1.2.1. Die Eingangsstufe	9
1.2.2. Der Triggerverstaerker	12
1.2.3. Die Triggeranzeige	13
1.2.4. Die Flankenwahl	14
1.2.5. Die Eingabeports	15
1.3. Verstaerker B (FG 3)	17
1.4. Vorteiler (FG 4)	17
1.4.1. Der Eingangsverstaerker	17
1.4.2. Der Frequenzteiler	17
1.4.3. Die Anzeigeschaltung	18
1.5. Messfreigabe (FG 5)	19
1.5.1. Eingangsstufe D	19
1.5.2. Trigger und Triggeranzeige	20
1.5.3. Das Startfreigabebitor	20
1.5.4. Die Startfreigabe	21
1.5.5. Die Stoppfreigabe	22
1.5.6. Die Eingabeports	24
1.6. Referenz (FG 6)	26
1.6.1. Der Quarzfrequenzeingang	26
1.6.2. Der Frequenzverdoppler	27
1.6.3. Die Referenzwahl	28
1.6.4. Der Zeitbasisteiler	28
1.6.5. Der Eingang fuer externe Referenz	29
1.6.6. Der Phasenregelkreis	29
1.6.7. Die Eingabeports	31
1.7. Torsteuerung (FG 7)	32
1.7.1. Start Messintervall	32
1.7.2. Zeitsynchronisation und Torung	34
1.7.3. Die Zeitdehnung	36
1.8. HF-Zaehler (FG 8)	39
1.8.1. y-Torung und HF-Zaehler y	39
1.8.2. HF-Zaehler x und Vorzeichen-Flip-Flop	40
1.8.3. Torung $\Delta x$ und Zaehler $\Delta x$	42
1.8.4. Die Ausgabeports	45
1.9. Triggerpegel (FG 9)	46
1.9.1. Der D/A-Wandler	46
1.9.2. Die Belegung der Eingabeports	48
1.10. Die Mikroprozessorsteuerung (FG 10)	49
1.10.1. Mikroprozessor und Takterzeugung	49
1.10.2. Die Adresskodierung	52
1.10.3. Programm und Datenspeicher	55
1.10.4. Die CTC	56
1.10.5. Die Eingabe- und Ausgabeports	59
1.11. Interface IMS-2 (FG 12)	62
1.11.1. Die pon-Erzeugung und der Signalgeber	63
1.11.2. PW-OFF- und PW-ON-Flip-Flop	64
1.11.3. Der Interfaceschaltkreis	65
1.11.4. Die Empfaenger-/Treiberstufen	67
1.11.5. Belegung der Eingabe- und Ausgabeports	69

	Seite
1.12. Netzeingang (FG 13)	77
1.12.1. Die Betriebsspannung +/-16 V	78
1.12.2. Die Relaissteuerung (A 219)	78
1.12.3. Luefterueberwachung (A 223)	78
1.13. Analogregelteil (FG 14)	79
1.13.1. Transformator und Gleichrichtung	79
1.13.2. Das Regelteil +15 V	79
1.13.3. Das Regelteil -15 V	80
1.13.4. Das Regelteil -5,2 V	80
1.13.5. Die Netzkontrolle	82
1.14. Schaltregelteil (FG 15)	82
1.14.1. Prinzip des Sperrwandlers	83
1.14.2. Die Primaerseite (A 218)	84
1.14.3. Die Sekundaerseite	85
1.15. Thermostat (FG 16)	86
1.15.1. Der Oszillatorteil (A 221)	86
1.15.2. Der Aufbau des Thermostaten	87
1.15.3. Der Temperaturregelkreis	88
2. Fehleruebersicht und Fehlererkennung	89
2.1. Allgemeines	89
2.2. Uebersicht der aufgefuehrten Fehler	89
2.3. Reparatursystematik	91
2.3.1. Fehler in der Stromversorgung (nach Einschalten)	92
2.3.2. Einschalttroutine falsch, Betriebsspannung in Ordnung	95
2.3.3. Fehler der Eingabetastatur/Multiplexanzeige	96
2.3.4. Betriebsart CHECK: falscher Messablauf	97
2.3.5. Betriebsart CHECK: Messablauf prinzipiell in Ordnung, falsches Ergebnis (Gate 1 s)	103
2.3.6. Betriebsart TIME D, Messablauf nicht in Ordnung	105
2.3.7. Messfreigabe fehlt (CHECK, TIME D in Ordnung)	107
2.3.8. Tor geht nicht auf oder nicht zu (CHECK, TIME D in Ordnung)	108
2.3.9. Stoppverzoeigerung oder interne Torzeit falsch (CHECK mit GATE 1 s in Ordnung)	108
2.3.10. Triggerpegeleinstellung falsch	109
2.3.11. Fehler Kanal A (FG 2)	109
2.3.12. Fehler Kanal B (FG 3)	110
2.3.13. Fehler Kanal C (nur bei G-2005.500)	110
2.3.14. Fehler Kanal D (FG 5)	111
2.3.15. Fehler im Referenzkanal (FG 6)	111
2.3.16. Fehlerhafte Triggerpegeleinstellung (FG 9)	113
2.3.17. Fehler Interface (FG 12)	114
2.3.18. Fehler Thermostat	116
2.4. Nutzung von Pruefprogrammen zur Fehlersuche an peripheren Teilen des Mikroprozessorsystems	118
2.4.1. Pruefprogramme Multiplexanzeige	118
2.4.2. Pruefprogramme fuer Ein-/Ausgabeports	119
2.4.3. Pruefprogramme fuer RAM, RAM-Treiber	120
2.5. Fehlersuche im Kern des Mikroprozessorsystems	120
2.5.1. Kontrolle der Adress-/Datenleitungen (Port 0, 1)	121
2.5.2. Hochohmiger Zustand des UB 8830	121

	Seite
3. Pruefanleitung	122
3.1. Mess- und Messhilfsmittel	122
3.1.1. Messmittel	122
3.1.2. Messhilfsmittel	125
3.1.3. Besondere Einrichtungen und Ausruestungen	126
3.2. Pruefung der Funktionsgruppen	129
3.2.1. Ueberpruefen der Anzeige, FG 1	129
3.2.2. Ueberpruefen des Verstaerkers A, FG 2	129
3.2.3. Ueberpruefen des Verstaerkers B, FG 3	131
3.2.4. Ueberpruefen des Vorteilers, FG 4	131
3.2.5. Ueberpruefen der Messfreigabe, FG 5	133
3.2.6. Ueberpruefen der Referenz, FG 6	138
3.2.7. Ueberpruefen der Torsteuerung, FG 7	141
3.2.8. Ueberpruefen des HF-Zaehlers, FG 8	143
3.2.9. Ueberpruefen des Triggerpegels, FG 9	148
3.2.10. Ueberpruefen der $\mu$ P-Steuerung, FG 10	149
3.2.11. Ueberpruefen des Interface IMS-2, FG 12	150
3.2.12. Ueberpruefen des Netzeinganges, FG 13	152
3.2.13. Ueberpruefen des Regelteiles, analog, FG 14	153
3.2.14. Ueberpruefen des Schaltregelteiles, FG 15	156
3.2.15. Ueberpruefen des Thermostaten im zusammen- gebauten Zustand	157
3.2.16. Ueberpruefen des Thermostaten im geoeffneten Zustand	158
3.3. Abgleich	160
3.3.1. Verstaerker A, FG 2	160
3.3.2. Verstaerker B, FG 3	162
3.3.3. Vorteiler, FG 4 (nur fuer G-2005.500)	163
3.3.4. Messfreigabe, FG 5	163
3.3.5. Referenz, FG 6	164
3.3.6. Torsteuerung, FG 7	165
3.3.7. Triggerpegel, FG 9	167
3.3.8. $\mu$ P-Steuerung, FG 10	169
3.3.9. Interface IMS-2, FG 12	169
3.3.10. Netzeingang, FG 13	171
3.3.11. Regelteil, analog, FG 14	171
3.3.12. Schaltregelteil, FG 15	173
3.3.13. Thermostat, FG 16	176
3.3.14. Thermostat, Endabgleich der Frequenz	178
3.4. Schutzguetepruefungen	178
3.4.1. Spannungsfestigkeit Schaltregelteil	178
3.4.2. Spannungsfestigkeit Netzeingang	178
3.4.3. Schutzleiterpruefungen	178
3.5. Ueberpruefen der Funktion	179
3.5.1. Ueberpruefen der Eingabetastatur, der Anzeige und des Adress-Schalters	179
3.5.2. Ueberpruefen der Betriebsarten	180
3.5.3. Kontrolle der Fehlermeldungen	186
3.5.4. Kontrolle der Torzeit	187
3.5.5. Kontrolle der Stoppverzoeigerung	189
3.5.6. Kontrolle der Hysterese	189
3.5.7. Kontrolle der Messfreigabe	189
3.5.8. Kontrolle der Messflanke	191
3.5.9. Kontrolle der Messpause	192

	Seite
3.5.10. Kontrolle der Betriebsartenspeicher	192
3.5.11. Kontrolle der Interface-Nachrichten	193
3.5.12. Kontrolle der Datenausgabe	195
3.5.13. Kontrolle der Fernsteuerung	195
3.6. Ueberpruefen der technischen Kennwerte	198
3.6.1. Eingangswerte Kanal A	198
3.6.2. Eingangswerte Kanal B	210
3.6.3. Eingangswerte Kanal C (nur bei G-2005.500)	210
3.6.4. Eingangswerte Kanal D	211
3.6.5. Referenzfrequenz	214
3.6.6. Torzeitfehler bei FREQ 100 MHz	217
3.6.7. Lastbedingungen beim IMS-2 Inteface	217
3.6.8. Zeitbedingungen beim IMS-2 Interface	218
3.6.9. Kontrolle der Leistungsaufnahme	219
3.7. Sondermessungen	220
3.7.1. Sondermessung (So Msg) 14076	220
3.7.2. Sondermessung (So Msg) 14077	221
3.8. Pruefprogramme	222
3.8.1. Pruefprogramme zum Testen des Mikroprozessor- systems	222
3.8.2. Pruefprogramme zur Kontrolle peripherer Funktionsgruppen	226
3.9. Testadapter, Verwendung eines Logikanalysators	241
4. Anordnung der Bauelemente	244
5. Ersatzteile	253
5.1. Bestellung von Ersatzteilen	253
5.2. Ersatzteilliste	255

# 1. WIRKUNGSWEISE

## 1.1. ANZEIGE (FG 1)

Diese Funktionsgruppe beinhaltet:

- eine 16stellige Multiplexanzeige zur Darstellung des Messergebnisses sowie zur Anzeige von Einstellwerten der Torzeit, des Triggerpegels usw. und
- eine 30 Tasten umfassende Eingabetastatur.

### 1.1.1. Die Multiplexanzeige

Die Multiplexanzeige wird direkt vom Mikroprozessor auf FG 10 gesteuert. Port 2 des UB 883 liefert die Segmentinformation (SA) - (SH). Die *SEGMENTTREIBER* (V 40098/SF 826) liefern den zur Aussteuerung der Lichtemitteranzeigen erforderlichen Strom von etwa 80 mA. Um ein undefiniertes Leuchten der Anzeige waehrend des Einschaltens zu verhindern, werden durch das Signal (pon) alle Treiberstufen gesperrt, da mit (pon) = High der V 40098 am Ausgang hochohmig wird.

Die Stelleninformation (NA) - (ND) wird von Port 3 des UB 883 binnaer kodiert geliefert. Durch den *STELLENDENKODER* wird die Binnaerinformation in einen 1 aus 16-Kode umgewandelt, so dass fuer jede Stelle eine Steuerleitung (NO) - (N15) verfuegbar ist. Ein High-Pegel auf einer dieser Leitungen bewirkt, dass die Anoden des zugehoerigen Anzeigeelementes auf Betriebsspannung (+5 V MX) geschaltet werden. Dazu sind fuer jede Stelle Treiberstufen (SC 236, SD 346) vorgesehen. Da jeweils nur eine Stufe stromfuehrend ist, besitzen alle 16 Eingangstransistoren V 289 - V 304 einen einzigen gemeinsamen Emitterwiderstand R 324.

Die *STELLEN 0 - 11* sind 7-Segment-Anzeigen. Sie dienen zur Anzeige der Ziffern und einzelner Buchstaben und werden zur Anzeige des Messergebnisses sowie zur Anzeige bestimmter Funktionseinstellungen genutzt.

Die *STELLEN 12 - 15* bestehen aus jeweils 8 LED's, die den einzelnen Segmenten zugeordnet sind, und dienen zur Anzeige von Masseinheit, Betriebsart u.ae.

Die Taktfrequenz fuer die Multiplexanzeige betraegt etwa 1 kHz. Die Einschaltdauer fuer jede Stelle ist demzufolge 1 ms/Zyklus. Ein vollstaendiger Zyklus dauert 16 ms.

Um ein "Mitleuchten" benachbarter Stellen zu vermeiden, werden die *SEGMENTTREIBER* waehrend des Stellenwechsels vom Mikroprozessor dunkelgetastet, indem dieser (SA) - (SH) auf High-Pegel legt. Erst dann wird die Stelleninformation (NA) - (ND) veraendert. Ist dies geschehen, wird die fuer die neue Stelle gueltige Segmentinformation eingeschaltet.

### 1.1.2. Die Eingabetastatur

Ueber die Eingabetastatur werden saemtliche Funktionseinstellungen am G-2005.500/510 vorgenommen. Sie ist in Form einer Matrix mit 2 Zeilen und 15 Spalten aufgebaut.

Die Spalten sind mit den Stellenleitungen (N 0) - (N 14) verbunden. Die Zeilen (TAS 0), (TAS 1) sind ueber Treiberstufen (D 305) mit Port 31 und Port 33 des Mikroprozessors verbunden.

Die Eingabetasten sind die Schalter S 326 - S 355. Ist keine Taste gedrueckt, liegen (TAS 0) und (TAS 1) ueber R 306, 307 auf Low-Pegel. Bei Betaetigen einer Eingabetaste wird jeweils eine der Spaltenleitungen (N 0) - (N 14) mit der Zeile (TAS 0) oder (TAS 1) verbunden. Die Dioden V 358 - V 387 verhindern dabei einen Kurzschluss der Spaltenleitungen untereinander, wenn mehrere Tasten gleichzeitig betaetigt werden.

(TAS 0) und (TAS 1) werden vom Mikroprozessor eingelesen, und zwar vor jedem Stellenwechsel der Multiplexanzeige. Der Zeitpunkt vor vollzogenem Stellenwechsel von Stelle  $i$  auf  $i + 1$  soll mit  $t_i$  bezeichnet werden.

Wird z.B. Schalter S 328 geschlossen, dann liest der Mikroprozessor nur zum Zeitpunkt  $t_i$  (TAS 0) = Low ein. Zu allen anderen Abfragezeiten ist (TAS 0) = High.

Wird (TAS 0) zu Low erkannt, dann ist einer der Schalter geschlossen, die mit der Zeile (TAS 0) verbunden sind. Zu welcher Spalte der geschlossene Schalter gehoert, erkennt der Mikroprozessor aus dem Zeitpunkt  $t_i$  zu dem der aktive Zustand der Zeile erkannt wurde.

Nach Abfrage von (TAS 0), (TAS 1) zum Zeitpunkt  $t_{i+1}$  - (TAS 0), (TAS 1) sind hier immer High, da die zugehoerige Spaltenleitung fehlt - wertet der Mikroprozessor die waehrend  $t_i$  bis  $t_{i+1}$  eingelesene Information aus und fuehrt die der jeweiligen Taste entsprechenden Funktionseinstellungen aus. Dabei startet der Mikroprozessor einen Signalgeber, der fuer etwa 20 ms Dauer einen 1 kHz-Ton erzeugt (siehe FG 12). Damit wird jedes Betaetigen einer Taste durch eine akustische Rueckmeldung bestaetigt.

Wird waehrend eines Abfragezyklusses  $t_i$  bis  $t_{i+1}$  mehrmals ein aktiver Zustand der Zeilen (TAS 0) oder (TAS 1) erkannt, dann bedeutet dies, dass mehrere Tasten gleichzeitig betaetigt wurden. Der Mikroprozessor betrachtet eine solche Information als ungueltig und reagiert erst wieder auf die Eingabetastatur, nachdem (TAS 0) und (TAS 1) fuer mindestens 2 Abfragezyklen nicht aktiv waren, d.h., es darf mindestens 32 ms lang keine Eingabetaste betaetigt werden.

### 1.2. VERSTAERKER A (FG 2)

Diese Funktionsgruppe uebernimmt die Umwandlung des analogen Messsignals in ein digitales (getriggertes) Signal und stellt an 4 Ausgaengen

- das Zaehlsignal ( $\overline{A CT}$ ) fuer FG 8,
- das Startsignal ( $\overline{A ST}$ ) und das Stoppsignal ( $\overline{A STP}$ ) fuer FG 7 sowie
- das Freigabesignal ( $\overline{A ARM}$ ) fuer FG 5

bereit.

### 1.2.1. Die Eingangsstufe

Das Uebersichtsschaltbild fuer die Eingangsstufe ist in Bild 1 dargestellt.

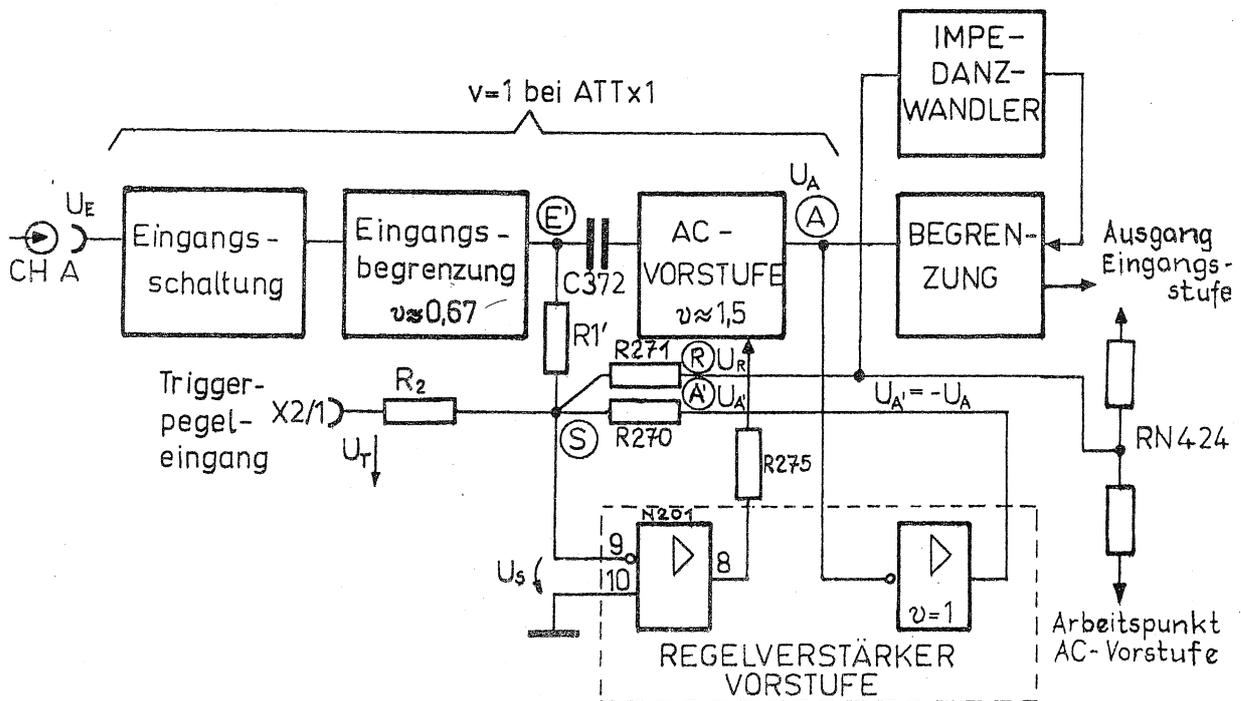


Bild 1: Uebersichtsschaltbild fuer die Eingangsstufe

Die *EINGANGSSCHALTUNG* umfasst dabei:

- die Umschaltung auf 50 Ohm Eingangsimpedanz mit Relais K 261,
- die Zuschaltung des Eingangsabschwaechers 1 : 10 (ATT x 10) mit Relais K 257 und
- die AC/DC-Umschaltung mit Relais K 258.

Anschliessend erfolgt die *EINGANGSBEGRENZUNG*, die die nachfolgende Schaltung vor zu hohen Spannungen schuetzt.

Bei Ueberschreiten einer bestimmten positiven Spannung am Eingang werden V 227 und V 225 leitend, die Spannung wird auf einen Wert begrenzt, der durch die Fluss-Spannungen von B 255 und V 227 sowie die Emitter-Basis-Spannung von V 225 bestimmt ist. Die Verwendung eines Transistors im Querzweig sichert genuegend kleine Leckstroeme im normalen Betriebsfall, wenn V 227 und V 225 gesperrt sind. V 228, V 226 und B 256 uebernehmen die Begrenzung der negativen Halbwelle. Die EINGANGSBEGRENZUNG ist mit einer Spannungsteilung ueber R 267, R 268 verbunden. Die Eingangsspannung wird dadurch auf den Faktor 0,67 verringert. C 377 uebernimmt die Frequenzkompensation dieses Teilers. R 267 ist dabei als auf Masse liegend zu betrachten.

Der Feldeffekttransistor V 211 bildet den Eingang der *AC-VORSTUFE*. Die AC-Kopplung in dieser Stufe beschraenkt sich dabei auf den Trennkondensator C 372. V 211 arbeitet in Sourceschaltung mit Stromgegenkopplung (R 292, R 347). Die Arbeitspunkteinstellung erfolgt ueber einen zwischen Source und Masse (Relaiskontakt K 259 geschlossen) liegenden Spannungsteiler.

Diese Anordnung gewaehrleistet einen sehr hohen Eingangswiderstand (etwa 40 MOhm). Der Drainanschluss steuert eine spannungsgegegeng-koppelte Emitterstufe (R 290, V 212) an. Der Emitter liegt wechselstrommaessig auf Masse. Die DC-Vorspannung an diesem Punkt wird niederohmig ueber den als Emitterfolger geschalteten Transistor V 224 bereitgestellt. Sie ist so bemessen, dass sich am Ausgang der Vorstufe (V 403/E) ein Aussteuerbereich von etwa 6 V Spitze-Spitze ergibt. Der Emitterfolger V 403 schafft einen Ausgangswiderstand der Vorstufe von wenigen Ohm. Die Verstaerkung der Vorstufe ergibt sich in erster Naehering aus

$$v = \frac{R 290}{R 292 + R 347 + 1/S}$$

wobei S die Steilheit von V 211 bedeutet. Mit R 347 kann die Verstaerkung der Vorstufe eingestellt werden.

R 275 erlaubt die Verschiebung des Arbeitspunktes von V 212 und damit die Verschiebung des DC-Potentials am Ausgang der Vorstufe. Das Ausgangspotential liegt ohne Eingangssignal bei -1,3 V.

Nunmehr wird das Zusammenwirken von AC-VORSTUFE und *REGELVER-STAERKER-VORSTUFE* betrachtet, das die Uebertragung von DC-Signalen ueber die Vorstufe trotz der kapazitiven Trennung durch C 372 ermoeoglicht. Dabei kann vorerst R 2 ausser Betracht bleiben (siehe Bild 1).

Ohne Signal stellt sich am Punkt (A') ein Pegel von -1,3 V ein. Zwischen (A') und (A) liegt ein Verstaerker mit  $v = -1$  (N 201, Ausgang 7), so dass sich am Punkt (A) also +1,3 V einstellen. Am Punkt (R) liegen ebenfalls -1,3 V, festgelegt durch den Spannungsteiler R 409, R 424, R 410. R 271 und R 270 sind gleich gross, so dass sich am Summenpunkt (S) 0 V einstellen, der Regelkreis befindet sich im Gleichgewicht. Jede Veraenderung der Spannung am Punkt (A) wird ueber (A') auf den Summenpunkt (S) uebertragen. Der Operationsverstaerker N 201 reagiert darauf sofort durch eine entsprechende Aenderung seiner Ausgangsspannung an Anschluss 8 und verschiebt damit den Arbeitspunkt der Vorstufe und damit die Spannung am Punkt (A) so, dass sich am Summenpunkt wieder 0 V einstellen.

Im Ruhezustand also wird die Ausgangsspannung der Vorstufe an (A) auf den an R 424/2, 3 liegenden Spannungswert nachgeregelt. Denkt man sich auf den Punkt (E') eine Gleichspannung von +1 V gegeben, so wird ueber R 1' ein Strom in den Summenpunkt (S) eingepreagt, der nur durch einen entsprechenden Strom ueber R 270 kompensiert werden kann. N 201 wird also ueber R 275 den Arbeitspunkt der Vorstufe derart verschieben, dass die Spannung am Punkt (A) um 1 V kleiner wird, wenn die Spannung am Punkt (E') um 1 V groesser wird, vorausgesetzt R 1' und R 270 sind gleich gross. Demzufolge muss sich an (A) die Spannung in gleicher Weise wie am Punkt (E') veraendern.

Die Verstaerkung zwischen (E') und (A) ist

$$v_{AE'} = \frac{R 270}{R 1'}$$

Tatsaechlich ist R 1' = R 267 kleiner als R 270, so dass

$$v_{AE'} > 1 \text{ ist.}$$

Bezieht man sich aber nicht auf den Punkt (E'), sondern direkt auf den Eingang, so muss anstelle von R 1' R 1 gesetzt werden, wobei

$$R 1 = R 267 + R 268$$

ist. Damit erhaelt man die Verstaerkung der Vorstufe v zu:

$$v = \frac{R 270}{R 267 + R 268} = \frac{1 \text{ MOhm}}{(681 + 332) \text{ kOhm}} = 0,987.$$

Auf diesen Wert wird auch die AC-Verstaerkung mit R 347 eingestellt.

Die Summe der in den Punkt (S) fliessenden Stroeme muss Null sein, also:

$$U_E/R 1 + U_T/R 2 + U_A/R 271 + U_{A'}/R 270 = 0.$$

Mit

$$U_A = -U_{A'} ; U_{A0} = U_A \times \frac{R 270}{R 271}$$

gilt:

$$U_A = U_E \frac{R 270}{R 1} + U_T \times \frac{R 270}{R 2} + U_{A0}.$$

$U_{A0}$  ist die Ausgangsspannung der Vorstufe ohne Eingangssignal und mit  $U_T = 0 \text{ V}$ .

$U_{A0}$  entspricht dabei der Mitte des Hysteresebereiches der nachfolgenden Triggerschaltung. Will man einen beliebigen Spannungswert des Eingangssignales in den Triggerbereich bringen, muss fuer diesen Eingangsspannungswert  $U_{ET}$  die Ausgangsspannung gleich  $U_{A0}$  sein und man erhaelt fuer die Triggerpegelspannung  $U_T$ :

$$U_T = -U_{ET} \times \frac{R 2}{R 1} = -U_{ET} \frac{R 269 + R 265}{R 267 + R 268} = -U_{ET}.$$

Das heisst, die ueber X 2/1 zugefuehrte Triggerpegelspannung  $U_T$  entspricht betragsmaessig dem einzustellenden Triggerpegel, aber besitzt entgegengesetztes Vorzeichen.

Eingang 10 von N 201 liegt nicht wie in Bild 1 gezeichnet direkt auf Masse, sondern ihm wird ueber R 348 die Offsetspannung zugefuehrt. Damit ist gewaehrleistet, dass der Summenpunkt durch den Regelkreis immer auf Massepotential gehalten wird (virtuelle Masse).

Der Relaiskontakt K 259 in der AC-Vorstufe ist normalerweise geschlossen, der Relaiskontakt K 260 ist geoeffnet. Dreht man die Verhaeltnisse um (K 259 auf, K 260 zu), dann wird der FET V 211 wegen der fehlenden Vorspannung zwischen Gate und Source gesperrt, der fehlende Drainstrom wird dafuer aber ueber R 289 fliessen, so dass sich am Arbeitspunkt V 212 nichts aendert.

Der gesperrte V 211 laesst jedoch kein vom Eingang kommendes Signal durch. DC-Spannungen und niederfrequente Signalanteile werden jedoch mit Hilfe des REGELVERSTAERKERS, wie oben beschrieben, uebertragen, so dass in dieser Betriebsweise die Wirkung eines Tiefpasses nachgebildet wird. Die Grenzfrequenz haengt von den Frequenzeigenschaften des Regelverstaerkers - die wesentlich durch den Regelschwingungen verhindernden Integrationskondensator C 380 bestimmt sind - ab und liegt fuer den 3 dB-Abfall bei etwa 5 kHz. Am Ausgang der AC-VORSTUFE schliesst sich die *BEGRENZUNG-VORSTUFE* an. Sie besteht aus je 2 gegeneinander geschalteten Dioden V 234, V 235 bzw. V 421, V 422 im Laengszweig und zwei antiparallel geschalteten Dioden V 236, 237 im Querzweig. Da der Vorstufen- ausgang in der Nulllage um -1,3 V liegt - begruendet durch den ECL-Eingang des nachfolgenden DC-VERSTAERKERS - arbeiten die beiden Paralleldioden V 236, 237 ebenfalls gegen eine Spannung von -1,3 V. Diese Spannung wird ebenfalls wie die Arbeitspunkteinstellung von R 424/2, 3 abgenommen und durch einen *IMPEDANZWANDLER* niederohmig gemacht.

Der IMPEDANZWANDLER ist dabei ein auf  $v = 1$  gegengekoppelter Operationsverstaerker. Um den Bezugspunkt fuer die Parallelbegrenzung auch fuer hohe Frequenzen niederohmig zu halten, sind die Abblockkondensatoren C 374, 387 und C 367 vorgesehen. Die Laengsdioden begrenzen dabei den ueber den Bezugspunkt abfliessenden Strom auf etwa 3 mA. R 350 wird so eingestellt, dass die Verbindung von Vorstufen- ausgang zur Begrenzerschaltung in der Ruhelage der Vorstufe stromlos ist.

### 1.2.2. Der Triggerverstaerker

Der Triggerverstaerker besteht aus *DC-VERSTAERKER* und *TRIGGER*. Der DC-VERSTAERKER uebernimmt die eigentliche Verstaerkung des Mess-Signales, da ja die Eingangsstufe insgesamt  $v = 1$  realisiert hat. Der DC-VERSTAERKER ist 2stufig aufgebaut. Beide Stufen sind mit Differenzverstaerkern des K 500 LP 216 realisiert. Die 2. Stufe ist ueber R 310 spannungsgegengekoppelt, und erlaubt somit ueber R 310 eine Verstaerkungseinstellung so, dass die Hysterese des Triggers auf den Eingang der ersten Stufe des DC-VERSTAERKERS bezogen etwa 20 mV betraegt.

Ueblicherweise sind die Relaiskontakte K 414, K 423 geoeffnet. Mit R 349 wird dann der Arbeitspunkt des DC-VERSTAERKERS an D 209/5 auf groesste Empfindlichkeit eingestellt.

Der zwischen R 349 und D 209/5 liegende Operationsverstaerker N 201/1 arbeitet in diesem Fall als Impedanzwandler.

Sind die Relaiskontakte K 414, K 423 geschlossen, wirkt der Operationsverstaerker als Differenzverstaerker mit  $v = 1$  fuer die Spannungsdifferenz zwischen D 209/6 und D 209/11. An D 209/11 liegt ein Referenzpotential von etwa -1,3 V, das die gleiche Temperaturabhaengigkeit aufweist wie die Spannung am Signalausgang D 209/6.

Da die Ausgangsspannung des DC-VERSTAERKERS an D 209/6 mit  $v = 1$  ueber N 201/1 an den Eingang D 209/5 rueckgefuehrt wird, ist die Verstaerkung des DC-VERSTAERKERS bei Gleichspannung auf eins herabgesetzt.

R 406 und C 413 bestimmen die untere Grenzfrequenz.

Diese Betriebsweise wird als Triggerpegel-einstellung "Sinus" benutzt, wobei die Triggerpegelspannung an X 2/1 0 V betraegt. Durch die niedrige DC-Verstaerkung wird die gesamte Anordnung (Vorstufe + Triggerverstaerker) immer in der empfindlichsten Stellung gehalten, so dass ein "Weglaufen" des Verstaerkers durch Temperatureinfluss weitgehend verhindert wird.

Bei Temperaturschwankungen veraendern sich die Potentiale an D 209/6, 7 in gleicher Weise. Durch die Gegentaktansteuerung des nachfolgenden TRIGGERS wird diese Gleichtakt-Temperaturabhaengigkeit kompensiert.

Die Einbeziehung des Referenzpotentials an D 209/11 in den Gegenkopplungszweig gewaehrleistet, dass dieses Verhalten auch in der "Sinus"-Stellung bestehen bleibt.

Der TRIGGER wird ebenfalls mit einem Differenzverstaerker des K 500 LP 216 realisiert. Die Triggerwirkung wird dabei durch Mitkopplung ueber R 317 in Verbindung mit R 315, R 328 erreicht. Die Empfindlichkeit des TRIGGERS bei hohen Frequenzen wird durch C 381 verbessert. Die Differenzstufe in D 210, Eingaenge 9, 10, entkoppelt den TRIGGER von den folgenden Schaltungen.

### 1.2.3. Die Triggeranzeige

Die Funktion der TRIGGERANZEIGE wird an Bild 2 erlaeutert.

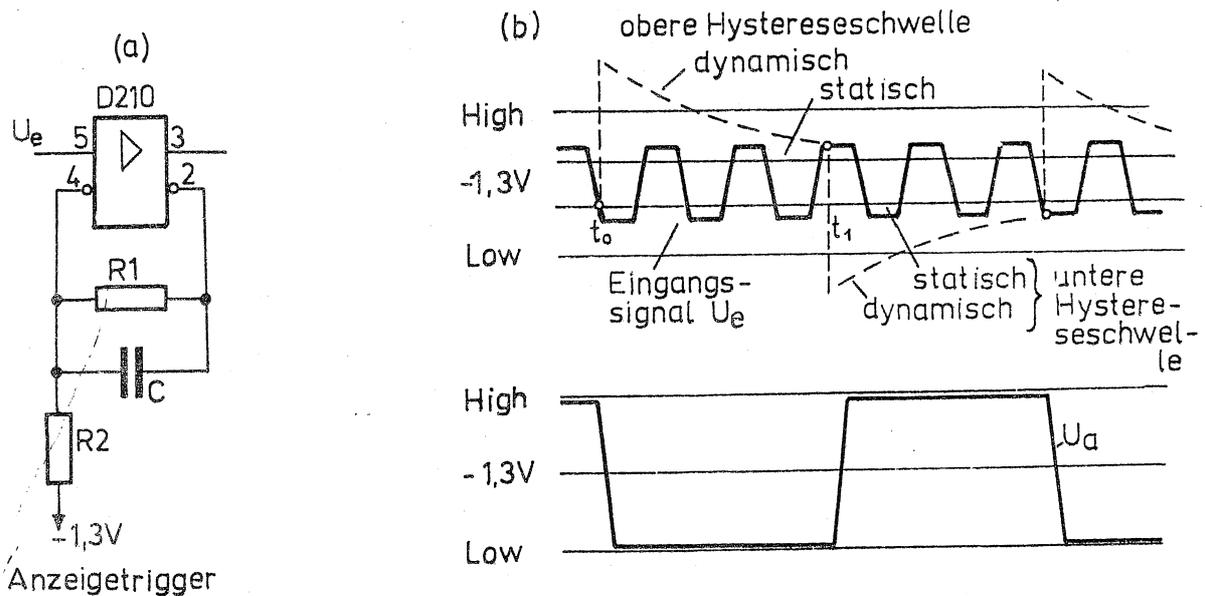


Bild 2: Prinzip der TRIGGERANZEIGE (a) und Signalverlaeufo (b)

Aus Bild 2a erkennt man - zunaechst unter Nichtbeachten der Kapazitaet C - dass die Differenzstufe des K 500 LP 216 zu einem Trigger geschaltet ist. Der Hysteresebereich stellt sich dabei symmetrisch zu -1,3 V ein und wird bestimmt durch R 1 und R 2. Der Hysteresebereich wird durch die obere und untere Hystereseschwelle begrenzt. In Bild 2b sind beide Schwellen fuer den statischen Fall eingezeichnet.

Bei Beaufschlagung mit einem Eingangssignal  $U_e$  wird zum Zeitpunkt  $t_0$  die untere statische Hystereseschwelle unterschritten.

Die Ausgangsspannung  $U_{\alpha}$  geht auf Low-Pegel, am Eingang 4 von D 210 stellt sich jetzt nicht die statische obere Hystereseschwelle ein, sondern die dynamische, da der Spannungssprung an Ausgang 2 von D 210 durch das C praktisch vollstaendig auf den Eingang 4 uebertragen wird. Ein Rueckkippen des Triggers ist erst moeglich, wenn das Eingangssignal die obere (dynamische) Hystereseschwelle ueberschreitet, was nach Bild 2b erst moeglich ist, wenn sich der Kondensator C weitgehend umgeladen hat und die obere Hystereseschwelle fast auf den statischen Wert abgesunken ist. Zum Zeitpunkt  $t_1$  ueberschreitet das Eingangssignal die obere (dynamische) Hystereseschwelle, der Trigger kippt zurueck, der Vorgang wiederholt sich bezeuglich der unteren Hystereseschwelle. Im Ergebnis liefert der Anzeigetrigger nach Bild 2a

- bei hoeheren Eingangsfrequenzen ein Ausgangssignal mit der (wesentlich tieferen) Eigenfrequenz des Triggers, die durch die Zeitkonstante  $(R_1/R_2) \times C$  bestimmt ist;
- bei tiefen Frequenzen und Impulsbreiten  $\gg C \times (R_1/R_2)$  ein Ausgangssignal, das dem Eingangssignal folgt (statischer Fall);
- bei schmalen Einzelimpulsen ebenfalls einzelne Ausgangsimpulse, die jedoch eine Dauer in der Groesse der Zeitkonstante  $(R_1/R_2) \times C$  besitzen.

Die Ausgangsspannung  $U_{\alpha}$  wird zur Ansteuerung von zwei Leuchtdioden H 411, H 412 genutzt.

Die Eingangsspannung fuer den Anzeigetrigger  $U_{\alpha}$  ist nach Bild 2b nur wenig groesser als der statische Hysteresebereich. Diese Pegelabsenkung wird durch Spannungsteilung an R 329, R 316 bewirkt.

#### 1.2.4. Die Flankenwahl

Das Mess-Signal liegt an D 210, Ausgaenge 14 und 15, in getriggert Form vor, und zwar am Ausgang 15 phasengleich zum Mess-Signal an Eingang X 32, am Ausgang 14 um 180 Grad phasengedreht. Das getriggerte Mess-Signal wird nun durch die *FLANKENWAHL* auf die 4 Ausgaenge X 2/2, 3, 4, 6 entsprechend der eingestellten Betriebsart verteilt. Die aktive Flanke an diesen Ausgaengen ist die High-Low-Flanke, was auch durch die Signalschreibweise mit Negationsstrich (z.B.  $\overline{A CT}$ ) angedeutet ist.

Die Verbindung der Ausgaenge D 207/14, 15 realisiert eine ODER-Verknuepfung. Mit den Steuersignalen  $(CT+ E)$  und  $(CT- E)$  wird wahlweise das direkte (positive Flanke) oder das negierte (negative Flanke) getriggerte Mess-Signal auf den Ausgang geschaltet. Sind beide Steuersignale inaktiv, also High, kann das getriggerte Mess-Signal nicht zum Ausgang gelangen,  $(\overline{A CT})$  ist staendig Low. Gleiches gilt fuer die drei anderen Signale  $(A ARM)$ ,  $(A ST)$  und  $(A STP)$ .

### 1.2.5. Die Eingabeports

Die Eingabeports sind durch D-Flip-Flop's (DL 175) realisiert. Sie werden vom Mikroprozessor beschrieben, koennen jedoch nicht gelesen werden. Als Schreibsignal dient fuer PORT A/B-MODE (D 204) das Signal (EAB), fuer PORT SLOPE A (D 205, D 206) das Signal (ESLA). Das Einschreiben der auf den Datenbusleitungen (D 10) bis (D 17) ankommenden Information erfolgt mit der Low-High-Flanke, also mit der Rueckflanke von (EAB) bzw. (ESLA). Die Belegung der Eingabeports zeigt Tabelle 1.

Daten- leitung	Bezeich- nung	Bedeutung
(D 17)	(ATTx10)	PORT A/B-MODE (Adresse: 4004H) High: Abschwaecher steht in Stellung x 1 Low : Abschwaecher steht in Stellung x 10
(D 16)	(AC)	High: DC-Kopplung eingeschaltet Low : AC-Kopplung eingeschaltet
(D 15)	(FILT)	High: Tiefpassfilter ausgeschaltet Low : Tiefpassfilter eingeschaltet
(D 14)	(50 Ohm)	High: Eingangsimpedanz 1 MOhm Low : Eingangsimpedanz 50 Ohm
(D 13) - (D 10)		werden fuer Kanal B benutzt, Belegung wie bei (D 17) bis (D 14)
(D 17)	(TLSIN)	PORT CH A SLOPE (Adresse: 4002H) High: Triggerpegelstellung "Sinus" aus Low : Triggerpegelstellung "Sinus" ein
(D 16)	(SL-)	High: Messflanke positiv Low : Messflanke negativ
(D 15)	(CT)	High: Zaehlsignal (A CT) ausgeschaltet Low : Zaehlsignal (A CT) entsprechend der Messflanke eingeschaltet
(D 14)	(ST)	High: Startsignal (A ST) ausgeschaltet Low : Startsignal (A ST) entsprechend der Messflanke eingeschaltet
(D 13) 1)	(ARM+)	High: Messfreigabesignal (A ARM) fuer positive Flanke ausgeschaltet Low : Messfreigabesignal (A ARM) fuer positive Flanke eingeschaltet
(D 12) 1)	(ARM-)	High: Messfreigabesignal (A ARM) fuer negative Flanke ausgeschaltet Low : Messfreigabesignal (A ARM) fuer negative Flanke eingeschaltet
(D 11)	(STP+)	High: Stoppsignal (A STP) fuer positive Flanke ausgeschaltet Low : Stoppsignal (A STP) fuer positive Flanke eingeschaltet
(D 10)	(STP-)	High: Stoppsignal (A STP) fuer negative Flanke ausgeschaltet Low : Stoppsignal (A STP) fuer negative Flanke eingeschaltet

1) (D 13) und (D 12) sowie (D 11) und (D 10) duerfen nicht gleichzeitig Low sein.

Tabelle 1: Belegung der Eingabeports in FG 1

Die Ausgaenge der Eingabeports gehen auf die *RELAISSTEUERUNG* bzw. auf die *FEGELANFASSUNG TTL-ECL* und bewirken damit die Einstellung der entsprechenden Funktionen. Dabei werden die Portleitungen ( $\overline{SL}$ ), ( $\overline{CT}$ ) und ( $\overline{ST}$ ) mittels D 203 dekodiert, so dass Steuersignale fuer die positive ( $\overline{CT}+E$ ) und negative Flanke ( $\overline{CT}-E$ ) des Zaehlsignales direkt fuer die Flankenwahl zur Verfuegung stehen. Analoges gilt fuer die Steuersignale fuer ( $\overline{A\ ST}$ ).

Die Bits  $\overline{D\ 15}$  bis  $\overline{D\ 10}$  des PORTS SLOPE A werden in Abhaengigkeit der Betriebsart gemass Tabelle 2 gesetzt.

Betriebsart	D 15 CT	D 14 ST	D 13 ARM+	D 12 ARM-	D 11 STP+	D 10 STP-
CHECK, FREQ C, TIME D, Eichzyklus, 2. Messzyklus bei DUTY B	H	H	H	H	H	H
FREQ A 100 MHz, RATIO A/B, CT A by D, CT A by B	L	H	H	H	H	H
FREQ A 40 MHz, PER A, RPM A	L	L	X	$\overline{X}$	D 16	$\overline{D\ 16}$
TI A→B, +/-TI A→B, 1. Messzyklus bei PH A→B, +/-PH A B	H	L	X	$\overline{X}$	H	H
PW A, CT B by A, 1. Messzyklus bei DUTY A	H	L	X	$\overline{X}$	$\overline{D\ 16}$	D 16
TI B→A, +/-TI B→A, 1. Messzyklus bei PH B→A, +/-PH B A	H	H	X	$\overline{X}$	D 16	$\overline{D\ 16}$
RATIO B/A, 2. Messzyklus bei PH A→B, +/-PH B→A, DUTY A	H	L	X	$\overline{X}$	D 16	$\overline{D\ 16}$
2. Messzyklus bei PH B→A, +/-PH B→A	H	H	X	$\overline{X}$	H	H

H = High, L = Low,

X = Low bei Messfreigabe durch positive Flanke von Kanal A

X = High bei Messfreigabe durch negative Flanke von Kanal A

Tabelle 2: PORT SLOPE A in Abhaengigkeit von der Betriebsart

Die Bits  $\overline{D\ 12}$ ,  $\overline{D\ 13}$  richten sich dabei nach der gewaehlten Messfreigabe. Erfolgt die Messfreigabe nicht ueber Kanal A, sind X und  $\overline{X}$  in Tabelle 2 durch High zu ersetzen.

### 1.3. VERSTAERKER B (FG 3)

Diese Funktionsgruppe ist genauso aufgebaut wie FG 2 und erfuehlt auch die gleichen Aufgaben wie der Verstaerker A. Die Portbelegungen stimmen ebenfalls ueberein, nur dass fuer PORT CH A/B-MODE anstelle der Leitungen (D 17) bis (D 14) die Leitungen (D 13) bis (D 10) benutzt werden. In Tabelle 2 ist B durch A und A durch B zu ersetzen.

### 1.4. VORTEILER (FG 4) 1)

Diese Funktionsgruppe wird nur im Zusammenhang mit der Betriebsart FREQ C zur Frequenzmessung im UHF-Bereich bis 500 MHz benutzt. Sie beinhaltet:

- die Verstaerkung und Begrenzung des Mess-Signales von Kanal C,
- die Frequenzteilung dieses Signales um Faktor 40 und
- eine Anzeigeschaltung, die die Zufuhr einer ausreichend hohen Eingangsspannung signalisiert.

#### 1.4.1. Der Eingangsverstaerker

Vom Mess-Signaleingang C X 34 gelangt das Signal zunaechst auf die *BEGRENZUNG*. Die Begrenzerwirkung entsteht durch den Diodenring (V 257 bis V 260) in Verbindung mit dem Eingangswiderstand der nachfolgenden Stufe (N 206).

R 277 und R 278 bilden zusammen mit dem Eingangswiderstand von Begrenzung und nachfolgendem Verstaerker die Eingangsimpedanz von 50 Ohm.

Der Verstaerker besteht aus einem Hybridschaltkreis N 206, der im Bereich 50 MHz bis 800 MHz eine Verstaerkung von 23 dB realisiert. Der Lastwiderstand ist R 212. Von diesem Punkt aus wird ueber C 211 die verstaerkte Eingangsspannung einer Anzeigeschaltung zugefuehrt, die die optische Kontrolle auf ausreichende Eingangsspannung ermoeglicht. Der Hauptsignalweg fuehrt jedoch ueber C 210 und R 214 auf einen Differenzverstaerker (V 222, V 223), dessen Hauptzweck eine nochmalige Begrenzung ist, damit die fuer die nachfolgende Teilerstufe notwendigen Ansteuerbedingungen (0,4 V  $\leq$  U<sub>ss</sub>  $\leq$  0,8 V) eingehalten werden.

#### 1.4.2. Der Frequenzteiler

Er beginnt mit der *TEILERSTUFE 10 : 1*, die durch den Schaltkreis K 193 IE 2 realisiert ist. Am Ausgang dieser Stufe steht das frequenzgeteilte Signal mit ECL-Pegeln zur Verfuegung. Ueber R 330 gelangt das Signal dann auf die *TEILERSTUFE 4 : 1*, die mit 2 als Binaerteiler geschalteten D-Flip-Flops (D 235) realisiert ist.

1) nur fuer G-2005.500

Diese Stufe laesst sich ueber die Ruecksetzeingaenge D 235/4, 13 ausser Betrieb setzen, und zwar so, dass am Ausgang des zweiten Binaerteilers D 235/2 Low-Pegel entsteht.

Damit ist das Ausgangssignal des Vorteilers ( $\overline{FQC}$ ) an X 4/5 abgeschaltet.

Gesteuert wird die Abschaltung ueber das von FG 6 gelieferte Signal ( $\overline{FC}$ ).

Der Vorteiler wird nur in Betriebsart *FREQ C* (Frequenzmessung 50 MHz bis 500 MHz) genutzt. Ist diese Betriebsart eingeschaltet, ist ( $\overline{FC}$ ) = Low und das Ausgangssignal ist vorhanden. Ist *FREQ C* nicht eingeschaltet, ist ( $\overline{FC}$ ) = High und der Ausgang liegt auf Low und ist abgeschaltet.

( $\overline{FC}$ ) = High gilt auch bei *FREQ C* waehrend des Eichzyklusses.

#### 1.4.3. Die Anzeigeschaltung

Sie soll ein optisches Signal liefern, wenn am Mess-Signaleingang X 34 eine hinreichend grosse Spannung vorhanden ist. Dazu wird das verstaerkte Signal ueber C 211 vom Ausgang des Verstaerkererschaltkreises abgenommen und einer *GLEICHRICHTUNG* (V 261) zugefuehrt.

D 262 wird als Vergleichsdiode genutzt, um die Temperaturabhaengigkeit der Fluss-Spannung der Gleichrichterdiode V 261 zu kompensieren.

Der Operationsverstaerker N 256 (Eingaenge 12, 13) dient zur Erzeugung einer Vorspannung fuer Vergleichs- und Gleichrichterdiode. Am Eingang 12 von N 256 wird eine kleine negative Spannung eingestellt. Am Eingang 13 muss sich dann der gleiche Spannungswert einstellen (bei Vernachlaessigung der Offsetspannung). Dies kann nur dadurch geschehen, dass ein Strom von Masse aus ueber R 270 und V 262 in den Ausgang 14 des Operationsverstaerkers fliesst. Dieser Strom erzeugt die Vorspannung fuer die Diode V 262, die auch gleichzeitig Vorspannung fuer die Gleichrichterdiode V 261 ist. Aendert sich die Fluss-Spannung von V 262 ueber der Temperatur bleibt die Spannung an der Anode von V 262 konstant (da die Spannung an N 256/12 konstant bleibt) und damit auch die Spannung an der Anode von V 261 (gleiche TK-Werte der Dioden vorausgesetzt), womit der gewuenschte Effekt der Temperaturkompensation erreicht ist.

An der Anode V 261 wird die entstehende negative Richtspannung ueber R 267 und einen *IMPEDANZWANDLER* (auf  $v = 1$  gegengekoppelter Operationsverstaerker) hochhoemig abgenommen und auf den Eingang eines *KOMPARATORS* gegeben. Dieser wird gebildet durch einen Operationsverstaerker, dessen Verstaerkung durch R 264, R 265 auf etwa 5000 eingestellt ist. Der Schwellwert wird dem Eingang 6 des Operationsverstaerkers zugefuehrt. Er wird mit R 275 eingestellt und bestimmt eine Spannungsgrenze fuer das Mess-Signal an X 34, bei deren Unterschreiten (N 256/5 wird positiver als der Schwellwert an N 256/6) die ueber N 256/7 angesteuerte LED verlischt und bei deren Ueberschreiten (N 256/5 wird negativer als N 256/6) die LED leuchtet.

## 1.5. MESSFREIGABE (FG 5)

Hauptaufgabe dieser Funktionsgruppe ist die Bereitstellung des Startfreigabesignales (ARM ST) und des Stoppfreigabesignales (ARM STP).

Abgeleitet werden die Start- und Stoppfreigabesignale von den Freigabesignalen der Messkanäle A, B und C bzw. von den internen Zeitimpulsen (A ARM), (B ARM), (C/CK ARM) oder von einem Eingang D zuzuführenden externen Signal.

Ausserdem liefert FG 5 das Ruecksetzsignal fuer Zaehler und Torsteuerung (FG 8, 7) sowie einige Steuersignale fuer FG 7.

### 1.5.1. Eingangsstufe D

Der Eingang D ist nur fuer die Verarbeitung von TTL-Pegeln ausgelegt.

R 252 bildet mit den Dioden V 228 bis V 230 eine *BEGRENZUNG* und schuetzt die nachfolgenden Schaltungen gegen Ueberspannungen bis 42 V effektiv.

R 252 bildet zusammen mit R 253, den man sich vorerst auf Masse liegend denken kann, den hochohmigen Eingangswiderstand und bewirkt eine 2 : 1 Spannungsteilung fuer das Eingangssignal. Die Frequenzkompensation dieses Teilers erfolgt durch C 320, C 321. Der *VERSTAERKER* beginnt mit einer als Sourcefolger geschalteten hochohmigen FET-Eingangsstufe, der eine ueber R 260 spannungsgengekoppelte Emitterstufe nachfolgt.

R 259, R 268 stellen dabei eine Art Stromspeisung in den niederohmigen Eingang der Emitterstufe mit V 213 dar. C 323 verbessert das Frequenzverhalten. Der *VERSTAERKER* ist DC-gekoppelt und so dimensioniert, dass am Ausgang (Kollektor von V 213)  $-1,3$  V liegen, wenn der Eingang X 35 auf  $+1,4$  V liegt. Eine Arbeitspunkteinstellung erfolgt ueber R 261 in Verbindung mit dem Operationsverstaecker N 250. Dieser bildet mit V 213 einen Regelkreis, aehnlich dem in der in Abschnitt 1.1.1. beschriebenen Eingangsstufe fuer Kanal A. Fuer den Summenpunkt am Eingang 6 von N 250 gilt:

$$\frac{U_E}{R\ 252 + R\ 253} + \frac{U_A}{R\ 254} + \frac{U_{R\ 269}}{R\ 255} = 0$$

wobei  $U_E$  die Eingangsspannung an X 35,  $U_A$  die Ausgangsspannung am Kollektor von V 213 und  $U_{R\ 269}$  die am Schleifer von R 269 abgegriffene Spannung bedeuten.

Der Umschaltwinkel des nachfolgenden Triggers liegt bei  $U_A = -1,3$  V. Er soll bei  $U_E = +1,4$  V erreicht werden. Ausserdem sind R 252 bis R 255 gleich gross. Damit erhaelt man:

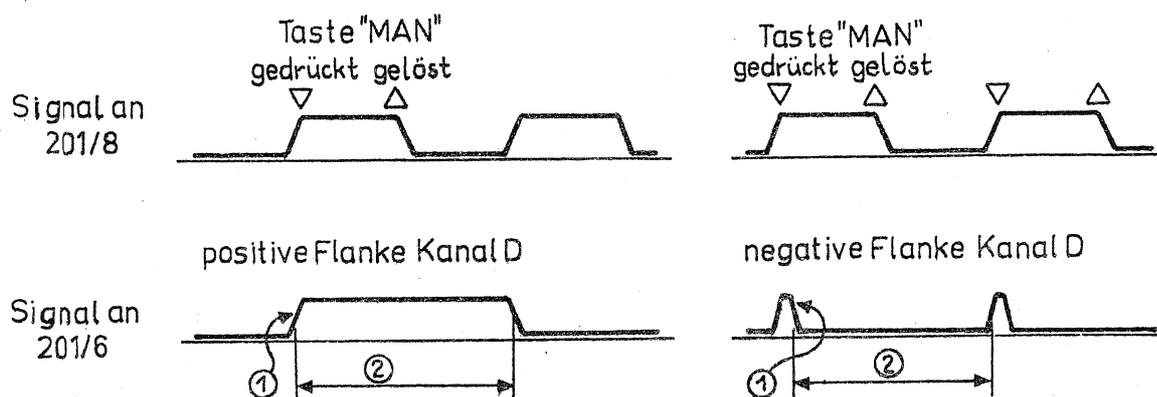
$$U_A = -1/2 \times U_E - 0,6\text{ V.}$$

Diese Gleichung gilt fuer DC-Spannungen bzw. niedrige Frequenzen. Bei hohen Frequenzen wird die Verstaerkung ausschliesslich durch V 212, V 213 bestimmt. Sie muss mit der DC-Verstaerkung uebereinstimmen und ist deshalb mit R 268 abgleichbar.

Liegt kein Eingangssignal an X 35, kann der Eingangsverstaerker ueber eine *MAN-STEUERUNG* mittels Schalter S 297 beeinflusst werden.

Am Ausgang 8 von D 201 steht das Signal von S 297 prellfrei zur Verfügung. Ein Betätigen der Taste "MAN" bewirkt an D 201/8 einen Low-High-Sprung, der das nachfolgende Flip-Flop in die andere Lage kippt.

Ist fuer Kanal D die positive Flanke eingestellt, liegt an D 202/2 Low-Pegel und durch das Ruecksetzsignal (RES) an D 202/5 wird das Flip-Flop in seine Ruhelage (Low-Pegel an 201/6) gesetzt. Das Flip-Flop arbeitet dann als Binaerteiler. Ist fuer Kanal D die negative Flanke eingestellt, liegt an D 202/2 High-Pegel. Dadurch ist ein High an 201/6 nicht stabil, da das Flip-Flop aus dieser Lage durch die Verbindung des Q-Ausganges mit dem Setzeingang ueber D 202 sofort wieder herausgebracht wird (Bild 3).



- ①: wirksame Flanke bei externer Meßfreigabe
- ②: wirksame Toröffnungszeit bei externer Torzeit

Bild 3: Wirkung der MAN-STEUERUNG

### 1.5.2. Trigger und Triggeranzeige

Der *TRIGGER* ist mit einem Differenzverstärker des K 500 LP 116 (D 206) aufgebaut. Die Triggerwirkung entsteht durch Mitkopplung ueber R 273. R 272, R 271 legen die Umschaltswelle (etwa -1,3 V) fest.

Die Diode V 231 verhindert eine zu hohe negative Spannung am Eingang 9 von D 206 im Fehlerfall.

Das Ausgangssignal des Triggers steht direkt an D 206/7 und neigiert an D 206/6 - bezogen auf den Eingang X 35.

Das Triggerausgangssignal wird einer *TRIGGERANZEIGE* zugefuehrt. Damit wird mit H 361, H 362 eine optische Anzeige des Triggerzustandes ermoeeglicht. Die Wirkungsweise der *TRIGGERANZEIGE* ist die gleiche wie in Abschnitt 1.2.3. beschrieben.

### 1.5.3. Das Startfreigabator

Der Mikroprozessor schreibt nach erfolgter Messausloesung und Ruecksetzen in das *ARMINGPORT* das Bereitschaftssignal (BER) ein (Ausgang 10 von D 203).

Dieses Signal gelangt nach Pegelwandlung an 209/5 und bewirkt dort mit (BER E) = High das Oeffnen des *STARTFREIGABETORES*. Der erste Impuls des Signales (STEN) an D 209/11, 12 bewirkt dann ueber den nachfolgenden *STARTFREIGABETRIGGER* die Aktivierung von (ARM ST) = Low und damit die Startfreigabe.

Das in das Tor einlaufende Startfreigabesignal ( $\overline{STEN}$ ) wird gebildet:

- durch ein externes Freigabesignal auf Kanal D, positive Flanke (D 207/14);
- durch ein externes Freigabesignal auf Kanal D, negative Flanke (D 207/15);
- durch das Freigabesignal auf Kanal A, B oder C oder durch interne Zeitimpulse (D 208/7).

Das Freigabeter realisiert zwei Funktionen: Es bewirkt eine Art Differentiation des Signales ( $\overline{STEN}$ ) auf der negativen Flanke durch Oder-Verknuepfung des direkten Signales mit dem negierten und um eine Gatterlaufzeit (etwa 3 ns) verzoeagertem Signal, und es bewirkt die eigentliche Torung durch Oder-Verknuepfung dieses differenzierten Signales mit dem negierten Steuersignal ( $\overline{BER E}$ ) siehe Bild 4).

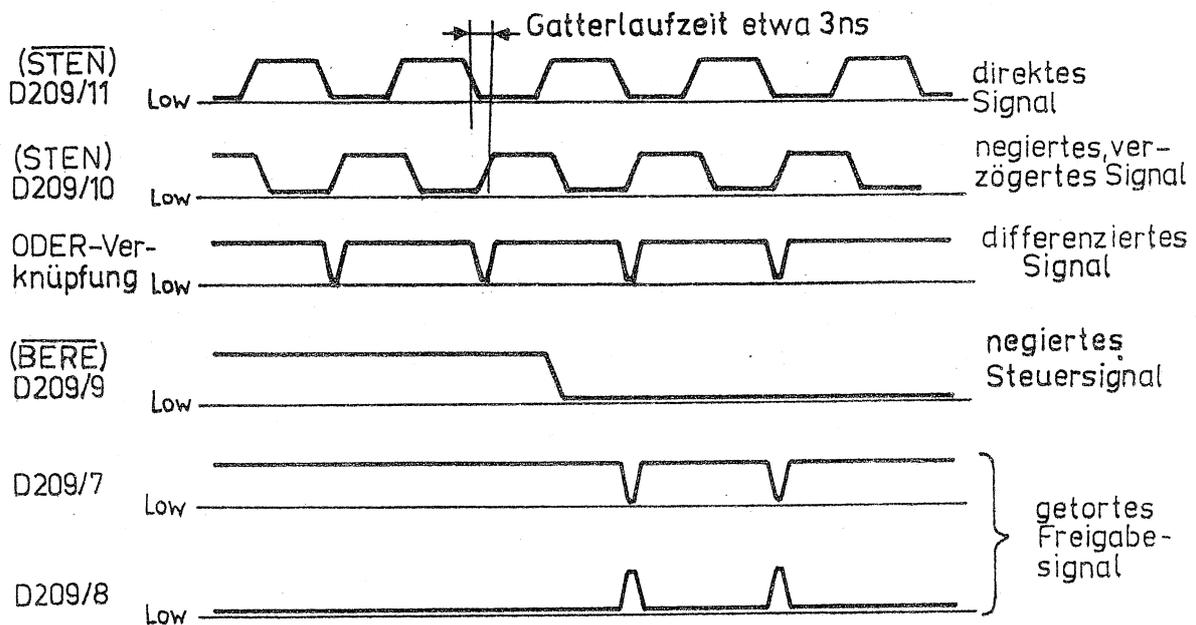


Bild 4: Signalverlaeufe zur Startfreigabeterung

#### 1.5.4. Die Startfreigabe

Die Startfreigabe erfolgt durch den *STARTFREIGABETRIGGER*. Hauptbaustein dieses Triggers ist die Tunnelodiode V 240. Ihre Kennlinie ist in Bild 5a dargestellt. Waehrend des Ruecksetzens wird an der Tunnelodiode durch den durchgesteuerten Transistor V 218 eine Spannung, die kleiner als die "Hoeckerspannung"  $U_H$  ist, erzwungen (Punkt 4 in Bild 5a). Mit Ende des Ruecksetzimpulses wird Punkt 1 der Kennlinie eingenommen. V 240 wird vom Strom  $I_1$  durchflossen, der sich aus den durch R 291 und V 214 fließenden Stroemen zusammensetzt. Dieser Strom ist kleiner als  $I_{MAX}$ . Trifft nun vom *STARTFREIGABETER* ein Impuls auf Transistor V 214, so vergroessert sich dessen Strom waehrend der Dauer des Impulses, der Strom durch V 240 nimmt den Wert  $I_2 > I_{MAX}$  an. Zu diesem Strom gibt es auf der Kennlinie nur Punkt 2, was mit einem Spannungssprung an V 240 verbunden ist.

Nach Abklingen des Impulses fließt durch V 240 wieder der Strom  $I_1$  (Punkt 3 der Kennlinie).

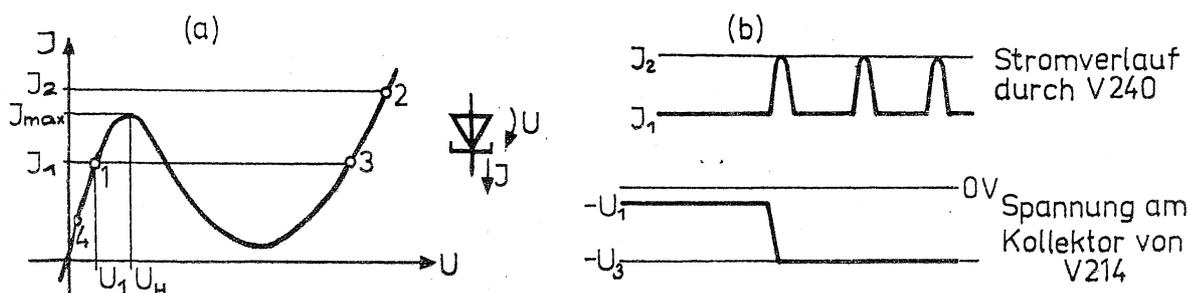


Bild 5: Kennlinie der Tunneldiode (a) und Signalverläufe zum STARTFREIGABETRIGGER (b)

Transistor V 215 greift die Spannung ueber der Tunneldiode hoch-ohmig ab und gewaehrleistet durch seine Basis-Emitter-Spannung eine Pegelverschiebung um etwa 0,7 V nach unten, so dass das nachfolgende ECL-Gatter pegelrichtig angesteuert werden kann. Am Ausgang von D 211/2 steht das Signal (ARM ST) als Startfreigabe zur Verfuegung.

Transistor V 217 bildet die *ARMING-ANZEIGESTUFE*. Er ist bei aktivem Signal (ARM ST) gesperrt, so dass sich an seinem Kollektor High-Potential einstellt. Bei (ARM ST) = High ist V 217 durchgesteuert. V 239 begrenzt dabei die Kollektorspannung zu negativen Werten hin und verhindert Rueckwirkungen auf den Ausgang D 211/2 durch Uebersteuerung.

Die Anzeige des Freigabezustandes erfolgt bei (AR\*) = High durch eine LED, die FG1 zugeordnet ist.

#### 1.5.5. Die Stoppfreigabe

Analog zur Startfreigabe, die Voraussetzung fuer den Beginn des Messintervalles ist, gibt es die Stoppfreigabe, die die Beendigung des Messintervalles ermoeglicht. Fuer die Stoppfreigabe sind drei Voraussetzungen erforderlich:

- die Startfreigabe muss erfolgt sein, also  $(\overline{\text{ARM ST}}) = \text{Low}$ ;
- die Freigabe der Flip-Flops *STOPPFREIGABE BY D* und *BY D* muss vorhanden sein, also  $(\overline{\text{A SP}}) = \text{Low}$ ; und
- das Signal  $(\overline{\text{DEL E}})$  muss Low sein.

Das Signal  $(\overline{\text{DEL E}})$  entspricht dem von FG 10 gelieferten Signal  $(\overline{\text{DEL}})$ , welches den Ablauf einer vorgegebenen Zeit ab Beginn des Messintervalles (Torzeit oder Stoppverzoegerung) oder das Erreichen einer bestimmten Impulszahl im  $\gamma$ -Zaehregister (bei FREQ 100 MHz oder RATIO und automatischer Torzeit) durch den High-Low-Uebergang anzeigt.

Bei den Betriebsarten TI, +/-TI, PW, CT A by B, PH, +/-PH und DUTY sind D 210/15 wegen (TI/PW/by D E) = High und D 210/2 wegen (by D E) = High auf Low-Pegel, so dass Voraussetzung a) von vornherein erfuehlt ist. Bei ausgeschalteter Stoppverzoeigerung ist auch Voraussetzung c) von vornherein erfuehlt, so dass die Stoppfreigabe gleichzeitig mit der Startfreigabe erfolgt. Bei eingeschalteter Stoppverzoeigerung erfolgt die Stoppfreigabe mit dem High-Low-uebergang von (DEL).

Bei allen anderen Betriebsarten, ausgenommen CT A by D und TIME D, erfolgt die Stoppfreigabe ueber das Flip-Flop STOPPFREIGABE BY D, sofern keine externe Torzeit ueber Kanal D eingestellt ist.

D 210/2 liegt von vornherein wegen (by D E) = High auf Low-Pegel. D 210/15 wird aber wegen (TI/PW/by D E) = Low waehrend des Ruecksetzens auf High gesetzt. Damit ist Bedingung b) zunaechst nicht erfuehlt. Nach Ruecksetzen und (BER) = Low erfolgt zunaechst die Startfreigabe (Voraussetzung a) erfuehlt). Nach Ablauf der vorgegebenen Torzeit wird (DEL) aktiv. Damit ist Voraussetzung c) erfuehlt. (DEL E) legt damit den Takteingang D 210/11 frei durch Low an D 210/9.

Das Taktsignal (STP EN by D) wird durch eines der die Startfreigabe veranlassenden Signale (C/CK ARM), (A ARM) oder (B ARM) bestimmt.

Die naechste eintreffende negative Flanke dieses Signales schaltet den Ausgang D 210/15 auf Low und erfuehlt somit auch Bedingung b). Bei den Betriebsarten CT A by D, TIME D und allen anderen Betriebsarten, sofern externe Torzeit ueber Kanal D eingestellt ist, erfolgt die Stoppfreigabe durch Flip-Flop STOPPFREIGABE BY D.

Dieses Flip-Flop wird wegen (by D E) = Low durch (RES E) = High waehrend des Ruecksetzens ueber V 249 am Ausgang D 210/2 auf High gesetzt, so dass Bedingung b) zunaechst nicht erfuehlt ist. Flip-Flop BY D fuehrt am Ausgang D 210/15 wegen (TI/PW/by D E) = High von vornherein Low-Potential.

Nach Ruecksetzen und Bereitschaft erfolgt die Startfreigabe durch die (z.B.) positive Flanke von Signal D. Damit ist Voraussetzung a) erfuehlt und gleichzeitig wird auch der D-Eingang D210/7 auf Low gelegt. Falls die Stoppverzoeigerung ausgeschaltet ist, ist Voraussetzung c) ebenfalls erfuehlt und der Takteingang D 210/6 ist durch (DEL E) = Low freigegeben. Am Takteingang liegt bei positiver Flanke wegen (SLD+ E) = Low das bezogen auf den Eingang D negierte Signal D an, die naechste positive Flanke an D 210/6 erfuehlt Bedingung b) und liefert die Stoppfreigabe.

Die Stoppfreigabe erfolgt hier immer mit der zur Startfreigabeflanke entgegengesetzten Flanke. Die Zeit zwischen Startfreigabe und Stoppfreigabe ist gleich der High- bzw. Low-Breite des Signales D und entspricht damit der externen Torzeit.

Bei eingeschalteter Stoppverzoeigerung wird der Takteingang durch (DEL E) = High an D 210/9 nach erfolgter Startfreigabe blockiert. Dadurch werden eventuelle Taktimpulse, die durch zur Startfreigabeflanke gehoerende Einschwing- oder Prellvorgaenge verursacht werden, unwirksam gemacht.

**Hinweis:** Wenn externe Torzeit gewaehlt ist, steht die Messfreigabe auf automatisch. Die Definition der automatischen Messfreigabe bei externer Torzeit ist in der Bedienungsanleitung Abschnitt 4.1.4.6 Tabelle 7 angegeben. Danach erfolgt die Freigabe z.B. bei PER A durch die Messflanke vom Mess-Signal A. Aus dem hier geschriebenen entnimmt man, dass Start- und Stoppfreigabe bei externer Torzeit durch das Signal auf Kanal D erfolgen. Der Widerspruch loest sich auf, wenn man den weiteren Ablauf von der Startfreigabe bis zum Beginn des Messintervalles auf FG 7 verfolgt (siehe Bild 6).

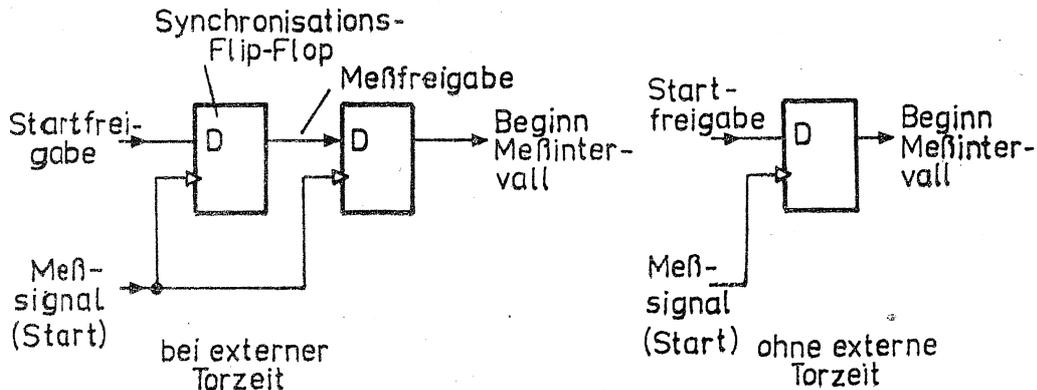


Bild 6: Zusammenhang zwischen Startfreigabe und Beginn des Messintervalles

Man erkennt, dass bei externer Torzeit gegenueber dem Fall ohne externe Torzeit ein zusaetzliches Synchronisations-Flip-Flop eingeschaltet ist. Es liefert die Messfreigabe, die praktisch die mit dem Mess-Signal synchronisierte Startfreigabe darstellt. Auf diese Messfreigabe beziehen sich die Definitionen in Tabelle 7 in der Bedienungsanleitung 1) bei externer Torzeit. Ohne externe Torzeit werden Startfreigabe und Messfreigabe nicht unterschieden.

#### 1.5.6. Die Eingabeports

Das *ARMINGPORT* ist mit 2 DL 175 realisiert (D 203, D 204). Es kann vom Mikroprozessor durch Aktivieren der Enable-Leitung ( $\overline{\text{EARM}}$ ) beschrieben aber nicht gelesen werden. Der Einschreibvorgang erfolgt mit der Rueckflanke von ( $\overline{\text{EARM}}$ ). Die Belegung geht aus Tabelle 3 hervor.

1) (Abschnitt VORBEREITUNG ZUM BETRIEB 4.1.4.6. der Bedienungsanleitung)

Daten- leitung	Bezeich- nung	Bedeutung
(D 17)	(RES)	High: keine Wirkung Low: Ruecksetzen der Messfreigabe (FG 5), der Torsteuerung (FG 7) und der Zaehler auf FG 8
(D 16)	(BER)	High: keine Wirkung Low: Messung wurde ausgeloeset, Messzyklen und Eichzyklus werden jeweils durch (BER) = Low eingeleitet
(D 15)	(TI/PW /by D)	Low: bei den Betriebsarten TI, +/-TI, PW, CT A(B) by B(A), CT A(B) by D, TIME D, PH +/-PH, DUTY oder bei CHECK, FREQ, PER, RATIO, RPM, falls externe Torzeit eingestellt ist. 1) High: in allen anderen Faellen
(D 14)	(by D)	High: bei TI, +/-TI, PW, CT A(B) by B(A), PH, +/-PH, DUTY oder bei CHECK, FREQ, PER, RATIO, RPM, falls keine externe Tor- zeit eingestellt ist. 1) Low: bei CT A(B) by D, TIME D oder bei CHECK, FREQ, PER, RATIO, RPM, falls externe Torzeit eingestellt ist
(D 13)	(SLD+)	Low: bei externer Messfreigabe durch die positive Flanke von Kanal D oder bei externer Torzeit durch die High-Breite an Kanal D High: in allen anderen Faellen 1)
(D 12)	(SLD-)	Low: bei externer Messfreigabe durch die negative Flanke von Kanal D oder bei externer Torzeit durch die Low-Breite an Kanal D High: in allen anderen Faellen 1)
(D 11)	(RATIO)	Low: bei Betriebsart RATIO High: bei allen Betriebsarten, ausser RATIO
(D 10)	(+/-TI)	Low: bei den Betriebsarten +/-TI, +/-PH 1) 2) High: in allen anderen Faellen

1) ... oder waehrend des Eichzyklusses

2) gilt nicht waehrend des zweiten Messzyklusses von +/-PH

Tabelle 3: Belegung des ARMINGPORTES

Die Ausgaenge des ARMINGPORTS gelangen ueber eine *ANFASSUNG* TTL-ECL oder auch direkt zu ihren Wirkungspunkten.

Dabei dienen einige Signale auch als Steuersignale fuer die Torsteuerung FG 7. Das Signal (RES by D E) ist das Ruecksetzsignal, falls externe Torzeit (by D) eingestellt ist. Wenn das nicht der Fall ist, ist (RES by D E) ohne Wirkung (staendig Low). Die Dioden an den Ausgaengen der Pegelanpassungsstufen gewaehrleisten in Verbindung mit der Kollektor-Emitter-Restspannung des SC 307 die Einhaltung des ECL-High-Pegels von etwa -0,8 V bei durchgesteuertem Transistor. Der Low-Pegel wird bei gesperrtem Transistor durch gegen -5,2 V liegende interne Widerstaende an den Eingaugen der ECL-Schaltkreise erzeugt.

#### 1.6. REFERENZ (FG 6)

Diese Funktionsgruppe beinhaltet, ausgehend von der vom Thermostat (FG 16) gelieferten Referenzfrequenz 10 MHz (FREF),

- die Bereitstellung der Zeitimpulse T<sub>Z</sub> (100 ns) zur Ansteuerung des x-Zaehlregisters ueber FG 7 als Signal (CK 10M);
- die Bereitstellung der Zeitimpulse 50 ns (CK 20M) als Zaehlsignal fuer das x-Zaehlregister auf FG 8;
- die Bereitstellung von Freigabe-, Start-, Stopp- und Zaehlsignal, abgeleitet von (FREF) oder von Kanal C (FQC);
- die Ausgabe der internen Referenz 1 Hz... 10 MHz und
- den Phasenvergleich zwecks Synchronisation der Quarzfrequenz (interne Referenz) mit einer externen Referenzfrequenz.

##### 1.6.1. Der Quarzfrequenzeingang

Die von FG 16 gelieferte Quarzfrequenz von 10 MHz gelangt ueber X 14, X 6/B 9 auf einen *TIEFPASS*, der hochfrequente Stoeranteile unwirksam machen soll. Ueber C 242 wird das Signal auf einen als *TRIGGER* geschalteten Differenzverstaerker des K 500 LP 116 eingekoppelt. Dieser wandelt das sinusfoermige Signal in ein Rechtecksignal um. Die Umschaltswelle liegt etwa bei -1,3 V. Sie ist ueber R 210 und Ausgang 6 des Operationsverstaerkers N 205 veraenderbar. Durch Verschieben der Umschaltswelle laesst sich das Tastverhaeltnis des getriggerten Signales veraendern. Wichtig fuer die nachfolgende Frequenzverdopplerstufe ist, dass am Triggerausgang ein Tastverhaeltnis von 1 : 2 entsteht. Dies ist durch den *REGELVERSTAERKER* (N 205) gewaehrleistet.

Am Eingang 2 von N 205 liegt der DC-Anteil des Triggerausgangssignales von D 201/2, da der Operationsverstaerker bezueglich Eingang 2 als Integrator geschaltet ist (C 248, R 222). Der DC-Anteil ist proportional zum Tastverhaeltnis an D 201/2 und bildet den IST-Wert des Regelkreises. Der SOLL-Wert wird durch Addition der gegenphasigen Spannungen an D 201/2, 3 gewonnen (R 220, R 221) und Eingang 3 von N 205 zugefuehrt. Bei der Addition hebt sich der Wechselspannungsanteil (theoretisch) auf, Reste werden durch C 246 beseitigt.

Der Gleichspannungsanteil  $U_{N 205/3}$  ergibt sich aus

$$U_{N 205/3} = (U_H + U_L) / 2,$$

wobei  $U_H$  und  $U_L$  High- und Low-Pegel an D 201/2,3 sind.

Fuer den DC-Anteil an N 205/2 gilt:

$$U_{N\ 205/2} = U_L + (U_H - U_L)k, \text{ bzw.}$$

$$U_{N\ 205/2} = (U_H + U_L)/2 - (U_H - U_L)(1/2 - k),$$

wobei  $k$  das Tastverhaeltnis an D 201/2 (High-Breite/Periode) bezeichnet.

Ueber N 205/6 wird das Tastverhaeltnis jetzt so nachgeregelt, dass die Differenz zwischen den Eingaengen 2 und 3 des Operationsverstaerkers 0 V wird. Dies ist - wie gewuenscht - genau bei  $k = 1/2$  der Fall.

Mit R 225 werden praktisch auftretende Fehlerquellen (Offsetspannung, Ungleichheit R 220, R221) ausgeglichen und das Tastverhaeltnis auf 1 : 2 eingestellt.

Der Ausgang des Triggers geht auf eine Entkoppelstufe D 202/4 und von dort ueber ein weiteres ECL-Gatter, das als Treiberstufe wirkt, auf den Steckverbinder X 6/4. Die Referenzfrequenz gelangt von hier aus als Signal (CK 10M) auf die Torsteuerung (FG 7) und wird dort fuer die Zeitsynchronisation des Messintervalles und als Zaehlsignal fuer das Zaehlregister x verwendet.

### 1.6.2. Der Frequenzverdoppler

Als Zaehlsignal fuer das Zaehlregister  $\Delta x$  auf FG 8 werden 20 MHz benoetigt (CK 20M), die im *VERDOPPLER* (201/14, 15) erzeugt werden. Direkter und negierter Ausgang des *VERDOPPLERS* sind unmittelbar miteinander verbunden und realisieren ein logisches Oder.

Wegen der endlichen Flankensteilheit der Ausgangssignale entstehen auf jeder Flanke des Eingangssignales kleine negative Impulse (siehe Bild 7a), die dann im nachfolgenden ECL-Differenzverstaerker (Eingang D 201/10) auf vollen ECL-Pegel verstaerkt werden. Damit ist auch klar, dass das Eingangssignal genau ein Tastverhaeltnis von 1 : 2 haben muss, da sonst die Impulse am Ausgang des *VERDOPPLERS* ungleiche Zeitabstaende besitzen, und damit eine unerwunschte Phasenmodulation des 20 MHz-Signales entsteht.

Die Impulse, die der *VERDOPPLER* liefert, sind zu schmal, um auf FG 8 verwendet zu werden. Deshalb folgt eine *IMPULSVERLAENGERUNG*, die etwa 20 ns Impulsbreite schafft (siehe Bild 7b).

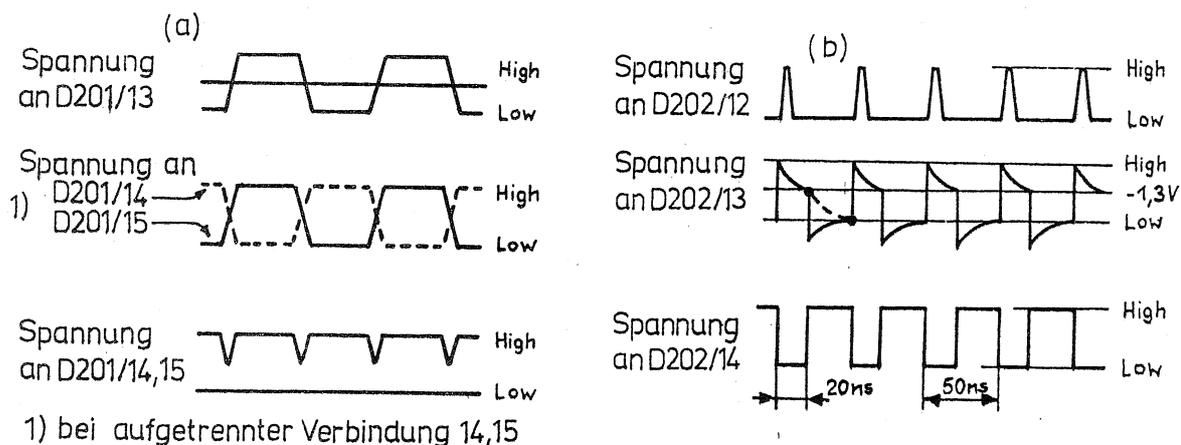


Bild 7: Prinzip der Verdopplung (a) und der Impulsverlaengerug (b)

### 1.6.3. Die Referenzauswahl

Dazu gehoeren die Bereitstellung

- des Freigabesignales (C/CK ARM) fuer FG 5,
- des Start-Stopp-Signales (C/CK ST/STP) fuer FG 7 und
- des Zaehlsignales (C/CK CT) fuer Zaehlregister y auf FG 8.

Die einzelnen Signale sind entweder von der Referenzfrequenz (D 202/3) oder vom Ausgang des Kanales C (FQC) abgeleitet. Die Umschaltung erfolgt durch die Oderverknuepfung an den Ausgaengen 2 und 3 von D 203. Die Steuerung der Umschaltung uebernimmt der Mikroprozessor in Abhaengigkeit der Betriebsart ueber das REFERENZPORT.

In einer weiteren Schaltstufe (D 204) werden nun Freigabesignal, Start-Stopp-Signal und Zaehlsignal auf die Ausgaenge x 6/1, 2, 3 verteilt. Welches der Signale eingeschaltet ist, legt der Mikroprozessor ueber das REFERENZPORT fest (vergleiche Abschn. 1.6.7.).

### 1.6.4. Der Zeitbasisteiler

Die Referenzfrequenz 10 MHz wird ueber D 203/9, 15 auf einen Differenzverstaerker (V 297, V 298) gegeben, der als Pegelumsetzer - ANPASSUNG ECL-TTL - wirkt. Ihm schliesst sich die erste Teilerstufe ZEITBASISTEILER  $10^{-1}$  an. Sie ist mit DL 192 aufgebaut. Am Ausgang D 253/13 steht ein etwa 50 ns breiter negativer Impuls (1  $\mu$ sU) mit 1 MHz Folgefrequenz zur Verfuegung, der als Auftastimpuls fuer die Phasenvergleichsstufe (siehe Abschnitt 1.6.6.) genutzt wird.

Der eigentliche Zeitbasisteilerausgang ist D 253/6, der 1 MHz mit einem Tastverhaeltnis von 4 : 10 bereitstellt. Dieses Signal wird der ersten von sechs gleichartigen Teilerstufen des ZEITBASISTEILERS  $10^{-2}$  -  $10^{-7}$  zugefuehrt. Zwischen Eingang 1 und Ausgang 11 des DL 090 liegt ein 5 : 1 Teiler, dem ein 2 : 1 Teiler nachgeschaltet ist. An dessen Ausgang steht die 10 : 1 geteilte Frequenz mit Tastverhaeltnis 1 : 2 zur Verfuegung. Der gesamte ZEITBASISTEILER liefert 8 dekadisch gestufte Frequenzen zwischen 10 MHz und 1 Hz, von denen jeweils eine mit D 260 ausgewaehlt und auf den Ausgang X 36 gegeben wird. Welche Frequenz ausgewaehlt ist, bestimmt der Mikroprozessor ueber das REFERENZPORT.

Buchse X 36 ist Ausgang oder Eingang. Bei Betrieb mit interner Referenzfrequenz ist der Relaiskontakt K 289 geschlossen, und die geteilte Referenzfrequenz gelangt ueber die Thermistoren R 296, R 299, R 332 und R 375 auf Buchse X 36, die dann Ausgang ist. Die Reihenschaltung von R 375 mit den 3 Thermistoren bilden zusammen mit V 290 - V 295 eine Schutzschaltung, die den Schaltkreis D 260 gegen versehentlich auf den Ausgang X 36 gegebene Spannungen schuetzt.

Die Wirkung der Schutzschaltung reicht bis  $U_s = \pm 30$  V.

Die Umschaltung von interner Referenz auf externe Referenz erfolgt ebenfalls durch den Mikroprozessor ueber das REFERENZPORT. Die RELAIS-ANZEIGESTUFEN beinhalten die Treiberstufen mit DL 038 zur Ansteuerung der Relais und zur Ansteuerung der Leuchtdioden H 373, H 374, die die jeweilige Betriebsweise (intern oder extern) optisch anzeigen.

### 1.6.5. Der Eingang fuer externe Referenz

Bei Betrieb mit externer Referenzfrequenz wird der Quarzoszillator im Thermostaten (FG 16) mit der ueber Buchse X 36 zuzufuehrenden externen Referenzfrequenz (EXT REF) synchronisiert, d.h. der Quarzoszillator wird derart verstimmt, dass er auf einer Frequenz schwingt, die genau gleich der externen Referenzfrequenz ist. Bei externem Betrieb ist Relaiskontakt K 289 geoeffnet, K 288 geschlossen.

Die externe Referenzfrequenz gelangt von Eingang X 36 auf eine *BEGRENZUNG*, die Schutz gegen Ueberspannungen bis 42 V effektiv bietet. Die Begrenzerfunktion ist verbunden mit einer 2 : 1 Teilung der Eingangsspannung (R 309, R 310). Dieser Teiler ist durch C 335 frequenzkompensiert. Das Signal gelangt dann auf einen *IMPEDANZWANDLER*, der aus einem Feldeffekttransistor V 301 in Sourceschaltung gebildet wird. Das Signal wird niederohmig ueber C 337, R 315 ausgekoppelt und der TASTSTUFE zugefuehrt.

### 1.6.6. Der Phasenregelkreis

Wie bereits im vorigen Abschnitt erwaeht, wird bei Betrieb mit externer Referenzfrequenz der Quarzoszillator auf diese Frequenz synchronisiert. Dazu dient ein Phasenregelkreis, der in Bild 8 prinzipiell dargestellt ist.

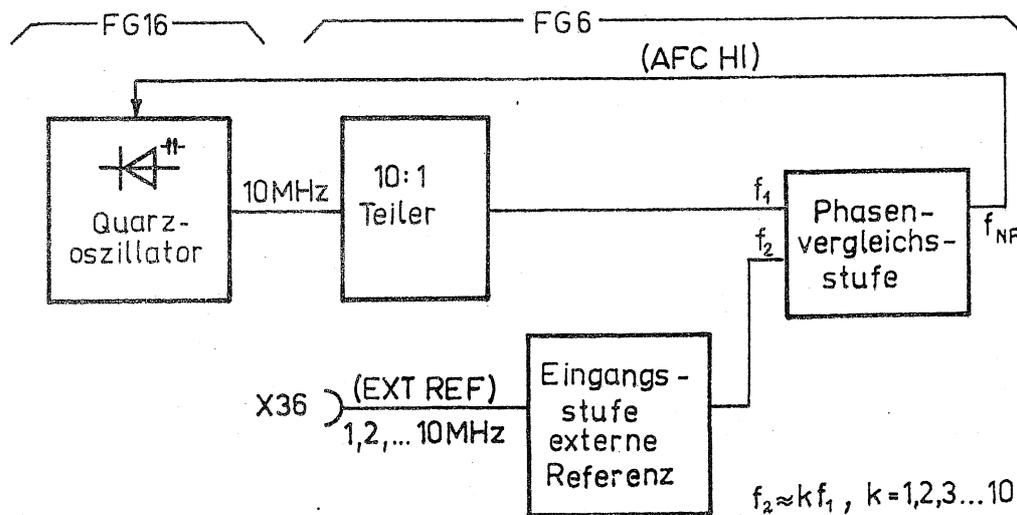


Bild 8: Prinzip des Phasenregelkreises

Der Quarzoszillator ist ueber eine Kapazitaetsdiode in seiner Frequenz durch eine Spannung auf der (AFC HI)-Leitung veraenderbar. Die Frequenz des Quarzoszillators wird auf 1 MHz geteilt und in einer Phasenvergleichsstufe (bestehend aus TASTSTUFE und INTEGRATOR) mit der externen Referenzfrequenz verglichen.

Bei offenem Regelkreis (AFC HI-Leitung aufgetrennt) liefert die Phasenvergleichsstufe eine Ausgangsspannung, die der Phasendifferenz zwischen den Signalen der Frequenz  $f_1$  und  $f_2$  entspricht. Sind beide Frequenzen genau gleich, dann ist (AFC HI) eine Gleichspannung, da sich die Phasenlage zwischen beiden Signalen nicht aendert, und deren Groesse ein Mass fuer die Phasenlage beider Signale zueinander ist. Man kann also die Ausgangsspannung der Phasenvergleichsstufe veraendern, indem man die beiden frequenz-gleichen Signale in ihrer Phasenlage zueinander verschiebt. Sind  $f_1$  und  $f_2$  ungleich, aendert sich die Phase laufend, am Ausgang entsteht eine niederfrequente Wechselspannung der Frequenz

$$f_{NF} = |f_2 - k f_1|.$$

Der geschlossene Regelkreis zeichnet sich dadurch aus, dass der Ausgang der Phasenvergleichsstufe eine solche Spannung liefert, bei der der Quarzoszillator genau auf

$$f_{OSZ} = 10 \times f_1 = 10 f_2 / k$$

schwingt und damit synchron zu  $f_2$  liegt.

Die praktische Realisierung der Phasenvergleichsstufe erfolgt durch TASTSTUFE und INTEGRATOR.

Die *TASTSTUFE* ist ein Differenzverstaerker (V 302, V 303), der durch das Signal ( $1 \mu s V$ ) fuer etwa 50 ns Dauer aufgetastet wird, und zwar dadurch, dass durch die negativen Impulse an C 338 ueber R323, R322 der Emitterstrom  $I_0$  eingepraegt wird. Dieser Strom teilt sich auf die Transistoren V 302, V 303 entsprechend der Differenzspannung zwischen Basis V 302 und Basis V 303 auf. Ist die Basisspannung an V 302 positiv gegenueber der Basis von V 303, wird der groesste Teil von  $I_0$  ueber V 302 fließen, und der Kollektorstrom in V 303 wird gering sein. Ist die Basisspannung an V 302 dagegen negativ, so wird der Kollektorstrom in V 303 groeser sein (siehe Bild 9).

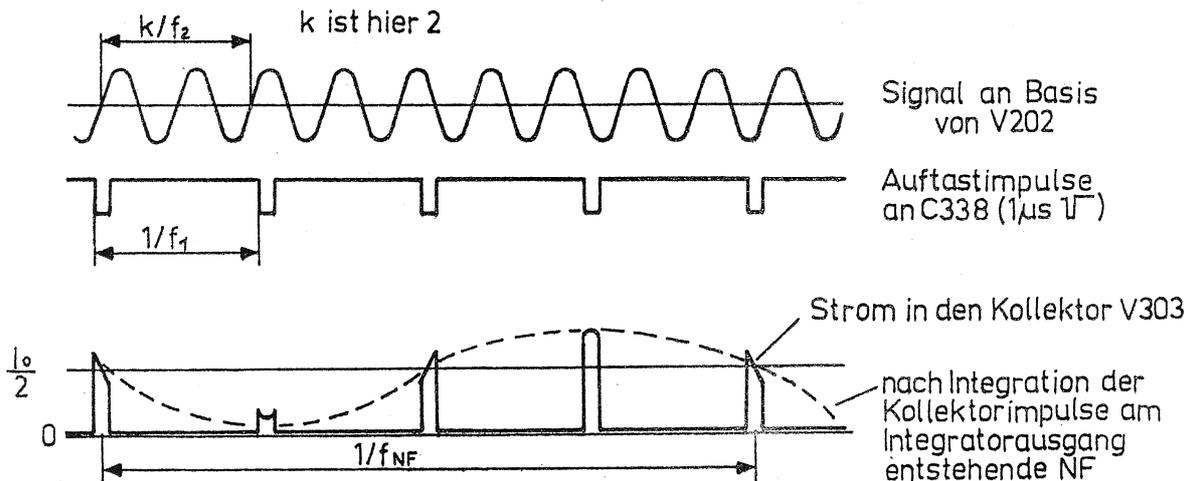


Bild 9: Funktion der TASTSTUFE

Der *INTEGRATOR* siebt die hochfrequenten Kollektorstromimpulse aus und verstaerkt die DC- bzw. NF-Anteile. C 340, R 327 unterstuetzen dabei die Siebwirkung fuer Frequenzen oberhalb etwa 1 MHz, da die Integratorwirkung des Operationsverstaerkers wegen der in diesem Bereich liegenden Grenzfrequenz fuer  $v = 1$  nicht mehr ausreichend ist. Die Nachstimmspannung (AFC HI) fuer den Quarzoszillator steht am Ausgang 6 von N 300 zur Verfuegung. Bei Betrieb mit externer Referenzfrequenz ist K 288 geschlossen. (AFC LO) bildet den Bezugspunkt fuer die Nachstimmspannung. Er ist am Quarzoszillator geerdet. Bei Betrieb mit interner Referenzfrequenz ist K 288 geoeffnet und die Nachstimmspannung ist Null, da (AFC HI) und (AFC LO) ueber R 330 kurzgeschlossen sind.

#### 1.6.7. Die Eingabeports

Das *REFERENZPORT* besteht aus 2 DL 175 (D 250, D 251), die die auf den Datenleitungen ( $\overline{D 10}$ ) bis ( $\overline{D 17}$ ) gesendete Information mit der Rueckflanke (Low-High-Flanke) des Einschreibsignales ( $\overline{EREF}$ ) uebernehmen und abspeichern.

Das Einschreiben von Daten in das REFERENZPORT uebernimmt der Mikroprozessor. Die Belegung zeigt Tabelle 4.

Daten- leitung	Bezeich- nung	Bedeutung																																			
$\overline{D 17}$	$\overline{CT}$	Low: Das Zaehlsignal ist eingeschaltet. High: Das Zaehlsignal ist ausgeschaltet.																																			
$\overline{D 16}$	$\overline{ST/STP}$	Low: Das Start-Stopp-Signal ist eingeschaltet. High: Das Start-Stopp-Signal ist ausgeschaltet.																																			
$\overline{D 15}$	$\overline{ARM}$	Low: Das Freigabesignal ist eingeschaltet. High: Das Freigabesignal ist ausgeschaltet.																																			
$\overline{D 14}$	$\overline{FC}$	Low: Es ist FREQ C eingestellt. 1) High: FREQ C ist nicht eingestellt.																																			
$\overline{D 13}$	$\overline{EXT}$	Low: Betrieb mit externer Referenzfrequenz High: Betrieb mit interner Referenzfrequenz																																			
$\overline{D 12}$	$\overline{C}$	( $\overline{D 10}$ ) bis ( $\overline{D 12}$ ) sind binar kodiert und legen die auszugebende interne Referenzfrequenz fest.																																			
$\overline{D 11}$	$\overline{B}$																																				
$\overline{D 10}$	$\overline{A}$																																				
		<table border="1"> <thead> <tr> <th></th> <th colspan="2">MHz</th> <th colspan="2">kHz</th> <th colspan="2">Hz</th> </tr> <tr> <th></th> <th>10</th> <th>1</th> <th>100</th> <th>10</th> <th>1</th> <th>100</th> </tr> </thead> <tbody> <tr> <td><math>\overline{D 10}</math></td> <td>L</td> <td>H</td> <td>L</td> <td>H</td> <td>L</td> <td>H</td> </tr> <tr> <td><math>\overline{D 11}</math></td> <td>L</td> <td>L</td> <td>H</td> <td>H</td> <td>L</td> <td>L</td> </tr> <tr> <td><math>\overline{D 12}</math></td> <td>L</td> <td>L</td> <td>L</td> <td>L</td> <td>H</td> <td>H</td> </tr> </tbody> </table>		MHz		kHz		Hz			10	1	100	10	1	100	$\overline{D 10}$	L	H	L	H	L	H	$\overline{D 11}$	L	L	H	H	L	L	$\overline{D 12}$	L	L	L	L	H	H
	MHz		kHz		Hz																																
	10	1	100	10	1	100																															
$\overline{D 10}$	L	H	L	H	L	H																															
$\overline{D 11}$	L	L	H	H	L	L																															
$\overline{D 12}$	L	L	L	L	H	H																															

H = High, L = Low

1) nur bei G- 2005.500

Tabelle 4: Belegung des REFERENZPORTES

(D 17) bis (D 15) werden in Abhaengigkeit von der Betriebsart nach Tabelle 5 gesetzt.

Betriebsart	(D 17) (CT)	(D 16) (ST/STP)	(D 15) (ARM)
CHECK, FREQ C	Low	Low	Low
FREQ 100 MHz oder waehrend des Eichzyklusses	High	Low	Low
FREQ 40 MHz, PER, RATIO, TI, +/-TI, PW, CT A(B) by B(A), RPM	High	High	X 1)
CT A(B) by D	High	Low	High
TIME D	Low	Low	High
PH, +/-PH, DUTY	High	High	High

1) X = Low, wenn Messfreigabe durch interne Zeitimpulse eingestellt ist, X = High in allen anderen Faellen

Tabelle 5: Belegung von (D 17) bis (D 15) des REFERENZPORTS in Abhaengigkeit von der Betriebsart

### 1.7. TORSTEUERUNG (FG 7)

Diese Funktionsgruppe beinhaltet

- die Bereitstellung des Toroeffnungssignales (GOP) und des Torendesignales (GCL) fuer die Steuerung des y-Tores auf FG 8;
- die Bereitstellung der getorten Zaehlsignale (GCKD), (GCKU), (GRAT) fuer den HF-ZAEHLER x auf FG 8;
- die Zeitdehnung fuer Start- und Stoppkanal zur Erreichung einer Aufloesung von 1 ns bei Zeitmessungen und
- die Bereitstellung von Toroeffnungs- und Torendesignal fuer den ZAEHLER Δx (Auszaehlen des gedehnten Intervalles) auf FG 8.

Auf der Torsteuerung FG 7 sind Start- und Stoppkanal praktisch gleich aufgebaut. Die Beschreibung beschraenkt sich deshalb auf den Startkanal.

#### 1.7.1. Start Messintervall

Der Beginn des Messintervalles wird durch (GOP) festgelegt. Der Zeitpunkt ist die erste negative Flanke eines der drei Startsignale an X 7/3, 5, 6 nach erfolgter Startfreigabe durch (ARM ST) = Low. Dies gilt so nur, wenn keine externe Torzeit eingestellt ist. Dann ist naemlich (byD E) = High und damit D 205/15 staendig Low. D 205/2 wird durch Ruecksetzen (RES E) = High auf High gesetzt. Das Toroeffnungssignal ist nicht aktiv, (GOP) = High.

An D 205/9 liegt je nach Betriebsart eines der drei Startsignale (A ST), (B ST), (C/CK ST/STP). Der Takteingang D 205/9 wird jedoch erst durch ein Low auf D 205/6 freigegeben, so dass ein Umkippen des *TOR-FLIP-FLOPS* und damit  $(\overline{GOP}) = \text{Low}$  erst nach  $(\overline{ARM ST}) = \text{Low}$  moeglich wird (siehe Bild 10 a). Bei externer Torzeit kommt auf Leitung (RES by D E) der Ruecksetzimpuls an und D 205/15 wird mit Ruecksetzen auf High gestellt.  $(\overline{byD E})$  ist bei externer Torzeit Low. Bei Eintreffen von  $(\overline{ARM ST}) = \text{Low}$  geht nun mit der ersten positiven Flanke an D 205/9 das *BY D-FLIP-FLOP* D 205/15 auf Low (Synchronisation der Startfreigabe, die in diesem Fall als Beginn der externen Torzeit festgelegt ist, mit dem Startsignal) und liefert damit die eigentliche Messfreigabe. Erst mit der zweiten Flanke beginnt dann die Toroeffnung (siehe Bild 10b). Das *TOR-FLIP-FLOP* wird immer synchron angesteuert. Bei externer Freigabe erfolgt diese Synchronisation ueber das *BY D-FLIP-FLOP*, im anderen Fall ist  $(\overline{ARM ST})$  bereits auf FG 5 mit dem Startsignal synchronisiert. Dadurch werden Zeitfehler, wie die bei asynchroner Steuerung entstehen koennen, vermieden.

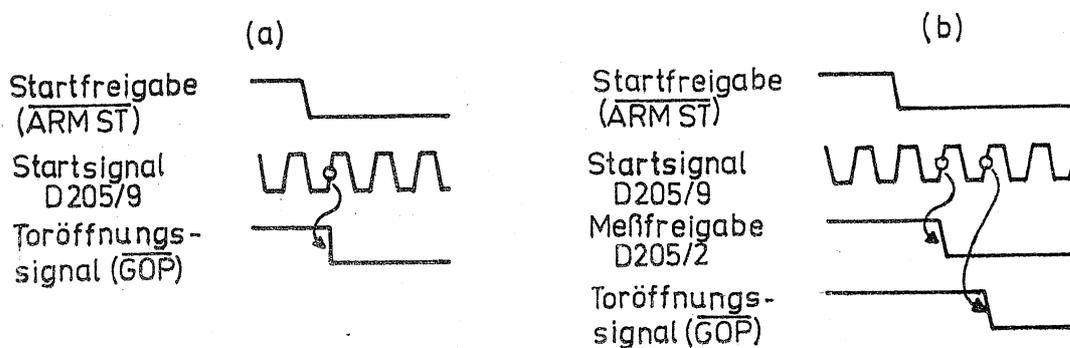


Bild 10: Gewinnung des Toröffnungssignales ( $\overline{GOP}$ ) bei interner (a) und bei externer Torzeit (b)

Analog funktioniert die Gewinnung des Torendesignales ( $\overline{GCL}$ ) durch *BY D/TOR-FLIP-FLOP STOPP*.

Wenn  $(+/-TI E)$  High ist, besteht zwischen Toroeffnungs- und Torendesignal keine Verknuepfung, das Torendesignal kann dann auch prinzipiell vor dem Toroeffnungssignal kommen. Das ist in der Betriebsart  $+/-TI$  und  $+/-PH$  moeglich und haengt dann von der Phasenlage zwischen Start- und Stoppsignal ab. In allen anderen Betriebsarten ist  $(+/-TI E) = \text{Low}$ , und damit muss die Freigabe fuer das *TOR-FLIP-FLOP STOPP* durch High an Eingang 9 von D 201 erfolgen. An diesem Eingang liegt das Signal  $(\overline{GOP})$  ueber R 229; also kann das Torendesignal ( $\overline{GCL}$ ) = Low erst kommen, wenn vorher das Toroeffnungssignal ( $\overline{GOP}$ ) = Low vorhanden war.

Tabelle 6 zeigt, welches Start- oder Stoppsignal bei den einzelnen Betriebsarten wirksam ist.

Die *GATE-ANZEIGESTEUERUNG* verknuepft ueber die Kollektoren von V 212 und V 213 die Signale  $(\overline{GOP})$  und  $(\overline{GCL})$  derart, dass  $(\overline{GT*})$  an V 212, 213/C genau dann Low ist, wenn  $(\overline{GCL})$  und  $(\overline{GOP})$  unterschiedliche Pegel fuehren. Nach Ruecksetzen sind  $(\overline{GOP})$  und  $(\overline{GCL})$  High, waehrend des Messintervalles ist  $(\overline{GOP}) = \text{Low}$  und  $(\overline{GCL}) = \text{High}$  oder umgekehrt, mit Beendigung des Messintervalles sind  $(\overline{GOP})$  und  $(\overline{GCL})$  auf Low. Beide Signale gehen mit Ruecksetzen wieder auf High.

Betriebsart	Startsignal	Stoppsignal
CHECK, FREQ 100 MHz, CT A(B) by D, TIME D oder bei CHECK, FREQ, PER, RATIO, RPM und externer Torzeit oder waehrend des Eichzyklusses	$\overline{(C/CK\ ST/STP)}$ fuehrt Zeitimpulse 100 ns	identisch mit Startsignal
FREQ C (nur fuer Variante G-2005.500)	$\overline{(C/CK\ ST/STP)}$ fuehrt frequenzge- teiltes Mess-Signal von Kanal C	identisch mit Startsignal
FREQ A 40 MHz, PER A, RATIO B/A, RPM B oder 2. Messzyklus bei PH A→B, +/-PH A→B, DUTY A	$\overline{(A\ ST)}$	$\overline{(A\ STP)}$ entspricht dem Startsignal
FREQ B 40 MHz, PER B, RATIO A/B, RPM B oder 2. Messzyklus bei PH B→A, +/-PH B→A, DUTY B	$\overline{(B\ ST)}$	$\overline{(B\ STP)}$ entspricht dem Startsignal
TI A→B, +/-TI A→B, oder 1. Messzyklus bei PH A→B, +/-PH A→B	$\overline{(A\ ST)}$	$\overline{(B\ STP)}$
TI B→A, +/-TI B→A, oder 1. Messzyklus bei PH B→A, +/-PH B→A	$\overline{(B\ ST)}$	$\overline{(A\ STP)}$
PW A, CT B by A oder 1. Messzyklus bei DUTY A	$\overline{(A\ ST)}$	$\overline{(A\ STP)}$ entspricht dem negierten Start- Signal
PW B, CT A by B oder 1. Messzyklus bei DUTY B	$\overline{(B\ ST)}$	$\overline{(B\ STP)}$ entspricht dem negierten Start- Signal

Tabelle 6: Start- und Stoppsignal in Abhaengigkeit von der Betriebsart

### 1.7.2. Zeitsynchronisation und Torung

Das Toroeffnungs- und Torendesignal bestimmen die Toroeffnungszeit TOE. Diese Zeit wird (ausser bei RATIO) mit Hilfe des Zaehlregi- sters x mit einer Aufloesung von 0,5 ns gemessen. Zu diesem Zweck werden (GOP) und (GCL) mit den Zeitimpulsen 100 ns synchronisiert und die zu dehnenden Intervalle (TI ST) und (TI STP) bereitgestellt (siehe Bild 11).

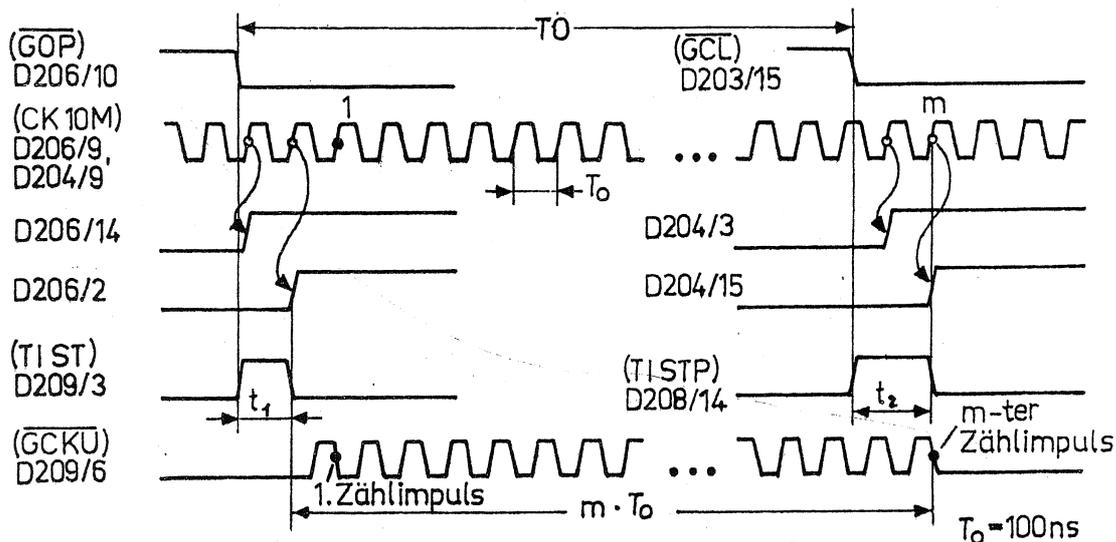


Bild 11: Prinzip der Zeitsynchronisation und der Torung der Zeitimpulse  $T_0$

Das zeitsynchronisierte Toröffnungs- und Torendesignal steuern das *TOR 1* im Startkanal und das *TOR 2* im Stopppkanal. Der Ausgang von TOR 1 (D 209/6) liefert Zeitimpulse (GCKU) entsprechend Bild 11.

TOR 2 im Stopppkanal liefert analog dazu (GCKD) an D 208/6. Für den im Bild 11 gezeichneten Fall ist (GCKD) ständig Low, das Tor ist geschlossen. Dies ist auch der übliche Betriebsfall. Lediglich bei +/-TI oder +/-PH kann der Fall eintreten, dass das Torendesignal vor dem Toröffnungssignal eintrifft. Die im Start- und Stopppkanal ablaufenden Vorgänge sind die gleichen, lediglich bleibt dann TOR 1 geschlossen und die in Bild 11 gezeichnete Impulsfolge (GCKU) gilt für (GCKD). Ein Zählimpuls (negative Flanke) auf (GCKD) bedeutet, dass die Toröffnungszeit als negativ betrachtet wird (VORZEICHEN-FLIP-FLOP auf FG 8). Fallen Toröffnungs- und Torendesignal zeitlich zusammen, bleiben TOR 1 und TOR 2 geschlossen. Die TORE 1 und 2 steuern den HF-ZÄHLER x auf FG 8 an.

In der Betriebsart *RATIO* wird die Zeit  $TOE$  nicht gemessen. Deshalb wird die Zeitsynchronisation für Start- und Stopppkanal durch High an D 206/5 bzw. D 204/12 außer Betrieb gesetzt. (GCKU) und (GCKD) sind ständig Low.

Die Ansteuerung des HF-ZÄHLERS x erfolgt dann durch das *RATIO-TOR*. Dieses wird durch die von FG 5 kommende Steuerleitung (RATIO E) freigegeben. (RATIO E) = Low bewirkt auch über V 214 das Ausserbetriebsetzen der Zeitsynchronisation.

Das *RATIO-TOR* ist ein Synchronator, weil die einlaufende Impulsfolge durch das Startsignal gebildet wird und die die Steuerung des *RATIO-TORES* bewirkenden Signale (GOP) an D 202/4 und (GCL) an D 202/7 ebenfalls mit dem Startsignal synchronisiert sind (Stopp- und Startsignal sind bei *RATIO* von demselben Ursprungssignal abgeleitet). Deshalb entsteht im *RATIO-TOR* kein Quantisierungsfehler.

Für *RATIO A(B)/B(A)* gilt:

$$TOE = m \times T_{B(A)},$$

wobei  $T_{B(A)}$  die Periodendauer des Signales A(B) und  $m$  die Anzahl der gemessenen Perioden bedeutet (siehe Bild 12).

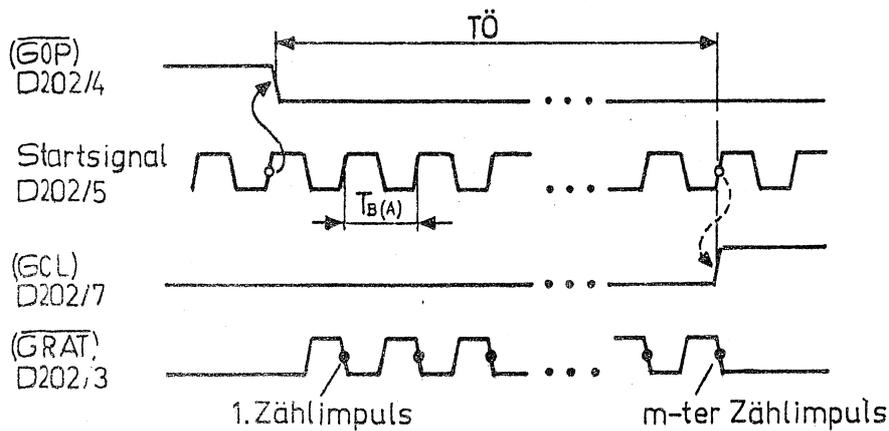


Bild 12: Prinzip des RATIO-TORES

Wenn RATIO nicht eingestellt ist, gilt nach Bild 11:

$$TOE = m \times T_0 + t_1 - t_2 \text{ mit } -T_0 \leq t_1 - t_2 \leq T_0.$$

$t_1 - t_2$  ist der Quantisierungsfehler. Er entsteht bei der Zeitsynchronisation von Toroeffnungs- und Torendesignal. Die TORE 1 und 2 selbst sind wieder Synchronitore. Der durch  $t_1 - t_2$  verursachte Fehler wird durch die Zeitdehnung verringert.

### 1.7.3. Die Zeitdehnung

Die Zeitdehnung benutzt die Signale (TI ST) und (TI STP), die nach Bild 11 den bei der Zeitsynchronisation entstehenden Quantisierungsfehler beinhalten, und verlängert deren Dauer  $t_1$  und  $t_2$  um Faktor 100. Anschliessend werden die gedehnten Intervalle im ZÄHLER  $\Delta x$  ausgezählt.  $t_1$  und  $t_2$  selbst liegen zwischen 100 ns und 200 ns (siehe Bild 11).

Das Prinzip der Zeitdehnung veranschaulicht Bild 13.

In der Ruhelage ist (TI ST) = Low, V 307 ist gesperrt. Der Strom  $I_0$  fliesst ueber V 305 ab, der Strom  $I_1$  ueber V 311. Das Ruhepotential am Kollektor von V 307 ist  $U_{C0}$  und stellt sich durch  $U_V = U_{V0}$  an der Basis von V 311 ein.  $U_{C0}$  wird dem DIFFERENZVERSTÄRKER (Eingang V 321/4) zugefuehrt. Ein INTEGRATOR (N 303) vergleicht die Ausgangsspannung des DIFFERENZVERSTÄRKERS (EX ST) mit  $U_{REF} = -1,3 \text{ V}$  und regelt Abweichungen der Ausgangsspannung ueber den anderen Eingang des DIFFERENZVERSTÄRKERS (V 323/4) nach. Die AUSTAUSTSTUFE stellt einen elektronischen Umschalter dar, der mit V 319 aufgebaut ist. Durch die Austaststufe wird dem Integrator wahlweise das Ausgangssignal (EX ST) oder die Referenzspannung zugefuehrt. Die Steuerung erfolgt durch (EXE ST). Dadurch wird waehrend (EX ST) = High der Integrator vom Ausgang abgeschaltet und der SOLL-IST-Vergleich zwischen Ausgangsspannung und Referenz wird nur in den Phasen der Ruhelage fuer (EX ST) ausgefuehrt. Damit koennen auch schnell aufeinanderfolgende Zeitdehnzyklen ohne Verschiebung der Ruhelage ausgefuehrt werden.

Gelangt ein zu dehnender Impuls (TI ST) = High auf V 305, V 307, wird V 307 durchgesteuert, der Kondensator C wird mit  $I_0 - I_1$  in Phase ① entladen.  $U_C$  sinkt unter  $U_{C0}$  ab, und der Ausgang des DIFFERENZVERSTÄRKERS geht auf High-Pegel, V 311 wird gesperrt. Damit dieses Sperren nicht erst als Folge der absinkenden Spannung  $U_C$  erfolgt, wird sofort mit (TI ST) = High  $U_V$  auf einen Wert  $U_{V1} > U_{V0}$  gestellt. Praktisch geschieht dies durch das Signal (EXE ST) ueber D 301/14.

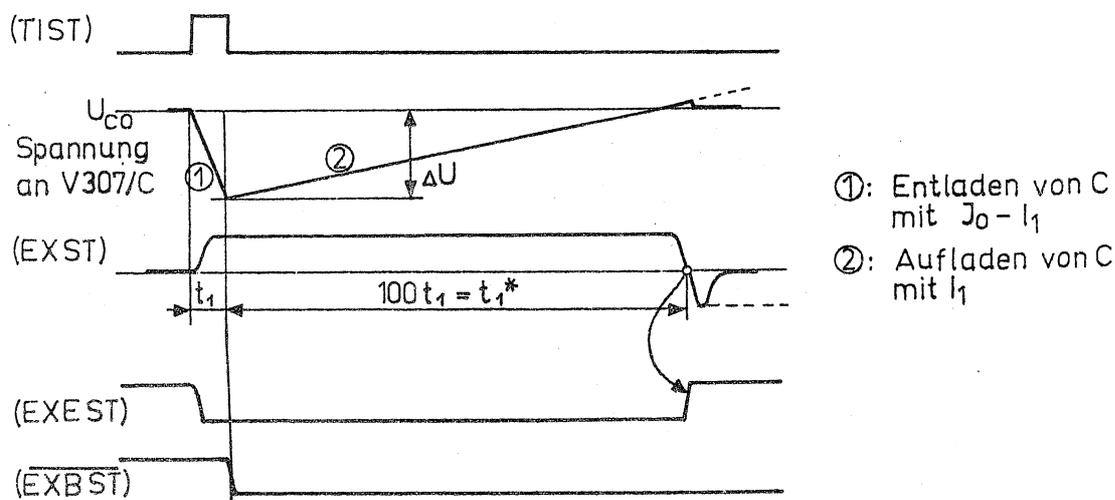
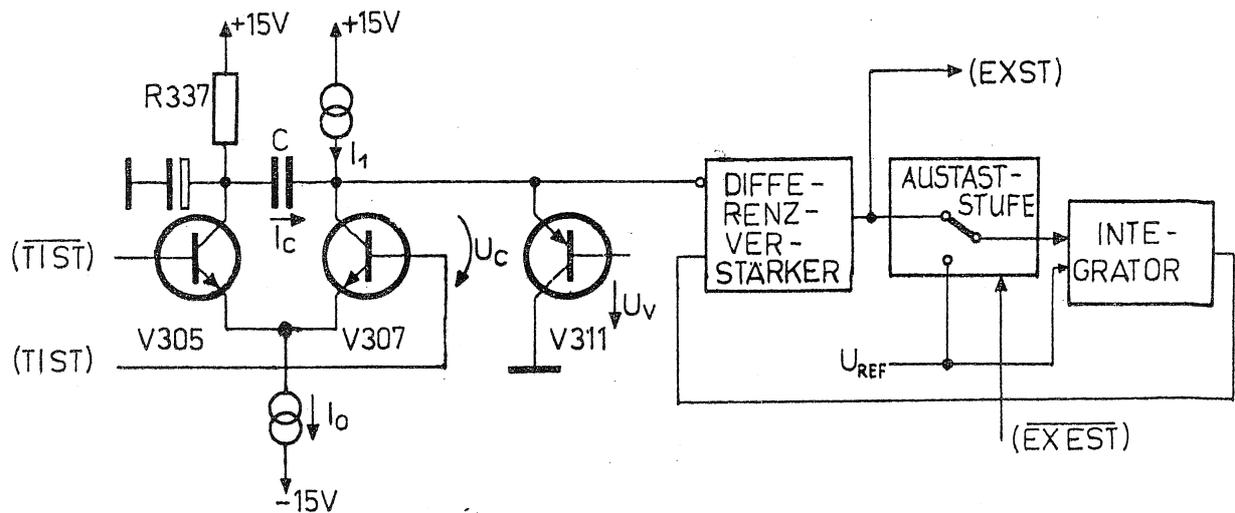


Bild 13: Prinzip der Zeitdehnung, dargestellt fuer den Startkanal

Geht (TIST) wieder auf Low zurueck, sperrt V 307, der Kondensator C wird mit  $I_1$  aufgeladen (Phase ②).  $U_C$  bleibt in dieser Phase gleich  $U_{C0}$  und (EXST) bleibt zunaechst auch auf High.

Wenn  $U_C$  wieder den Wert  $U_{C0}$  erreicht, geht auch der Ausgang des DIFFERENZVERSTÄRKERS (EXST) wieder auf sein Ruhepotential  $U_{REF} = -1,3$  V. Nimmt man weiterhin  $U_C = U_{C0}$  an, nimmt die Spannung  $U_C$  weiter linear zu (gestrichelter Verlauf in Bild 13) und (EXST) geht auf Low-Pegel. Dieser Vorgang wird jedoch abgebrochen, da bei Erreichen von  $-1,3$  V am Ausgang des DIFFERENZVERSTÄRKERS der Vorgang durch Rueckschalten von  $U_C$  auf  $U_{C0}$  abgebrochen wird, und  $U_C$  und (EXST) wieder die Werte der Ruhelage annehmen.

$U_C$  wird durch (EXEST) bestimmt. Dieses Signal entsteht wie folgt mit Hilfe des START-EX-FLIP-FLOPS.

Durch Ruecksetzen wird wegen D 207/7 = High (EXEST) auf High gesetzt. Im normalen Messablauf ist dieser Zustand zum Ruecksetzzeitpunkt bereits vorhanden. An D 209/13 liegt das Signal (EXST), welches in der Ruhelage den ECL-Mittenpegel von  $-1,3$  V fuehrt, damit waere auch der Ausgang D 209/14 pegelmaessig nicht definiert.

Um diesen Zustand zu vermeiden, wird (EXE ST) auf D 209/12 gefuehrt. Damit wird waehrend des Ruecksetzens an D 209/14 ein definiertes Low geschaffen (was natuerlich wegen der Oder-Verknuepfung mit D 207/7 erst nach Ende des Ruecksetzens wirksam wird) und auch nach Ruecksetzen durch D 210/14 = High aufrechterhalten wird. Trifft ein zu dehnender Impuls (TI ST) an D 210/10 ein, wird das Flip-Flop umgekippt, (EXE ST) wird Low. Damit entsteht kurzzeitig an D 209/14 wieder ein nicht definierter Zustand, der aber durch die beginnende C-Entladung durch (EX ST) = High sofort wieder aufgehoben wird. Nach Ende des Impulses (TI ST) verbleibt das Flip-Flop wegen Low an D 210/7, hervorgerufen durch (EX ST) = High, in der Lage (EXE ST) = Low. Mit Beendigung der Aufladephase fuer C geht (EX ST) von High auf Low ueber und an D 210/7 entsteht High-Pegel, der das Setzen des Flip-Flops auf (EXE ST) = High bewirkt. Damit wird auch wegen High an D 209/12 an D 210/14 ein von der Lage von (EX ST) unabhangiger Low-Pegel erzeugt. Die Ruecksetzlage ist damit wieder hergestellt. Der Low-High-Uebergang von (EXE ST) definiert den Zeitpunkt fuer das Ende des gedehnten Intervalles (TI ST), der Beginn des gedehnten Intervalles wird durch das zeitsynchronisierte Startsignal an D 206/3 festgelegt und ist als (EXB ST) bezeichnet. Der High-Low-Uebergang dieses Signales definiert den Beginn des gedehnten Intervalles (TI ST). Er faellt mit dem Ende von (TI ST) zusammen. Nach Bild 13 gilt fuer die Entladephase

$$C = \frac{(I_0 - I_1) \times t_1}{U}$$

und fuer die Aufladephase

$$C = \frac{I_1 \times t_1^*}{U} = 100 \frac{I_1 \times t_1}{U}$$

Damit erhaelt man

$$I_0 / I_1 = 101.$$

Wichtig ist, dass das Stromverhaeltnis  $I_0 / I_1$  konstant bleibt. Der Kondensator C und auch die Absolutwerte der Stroeme  $I_0$ ,  $I_1$  spielen in dieser vereinfachten Darstellung keine Rolle. Die Stromquellen  $I_0$ ,  $I_1$  sind im *STROMSCHALTER* enthalten.  $I_0$  wird dabei durch eine uebliche Stromquelle mit V 309 erzeugt. Die Stromquelle  $I_1$  wird von V 317 gebildet und wird am Eingang 10 von V 217 vom Operationsverstaerker N 303, Ausgang 1 gesteuert. Als Mass fuer die Groesse von  $I_0$  wird der Spannungsabfall an R 337 genutzt, da dieser Widerstand unter Vernachlaessigung von  $I_1$  und des Basisstromes von V305, V307 staendig von  $I_0$  durchflossen wird. Der Strom  $I_1$  hingegen fliesst durch R 405, R 345, R 343. Beide Spannungsabfaelle werden ueber die Eingaenge 2 und 3 von N 303 gleich gross gehalten, dadurch, dass jeder Abweichung sofort ueber N 303/1 eine Aenderung von  $I_1$  entgegenwirkt. Damit gilt:

$$I_0 / I_1 = (R 343 + R 345 + R 405) / R 337.$$

Die Zeitdehnung sollte theoretisch unabhangig von C sein. Praktisch wird dieses Verhalten mit R 407 abgeglichen.

## 1.8. HF-ZAEHLER (FG 8)

Diese Funktionsgruppe beinhaltet

- den hochfrequenten Teil des Zaehlregisters  $y$  (100 MHz), einschliesslich Torung
- den ZAEHLER  $\Delta x$  (einschliesslich Torung) zum Auszaehlen des gedehnten Intervalles und
- drei Bustreiber, die die Information der Zaehler auf die Datenbusleitungen (D 10) bis (D 17) schalten.

### 1.8.1. $y$ -Torung und HF-ZAEHLER $y$

Die  $y$ -Torung ist im Bild 14 prinzipiell dargestellt. Das zu torende Signal wird dabei durch eines der Zaehlsignale (A CT), (B CT) oder (C/CK CT) gebildet. Nach Ruecksetzen ist (GCL) = Low und (GOP) = High. Damit gelangt das zu torende Signal auf den HF-ZAEHLER  $y$  (D 203/6, 11). Es wird dort jedoch nicht wirksam, da die Takteingaenge der Flip-Flops ueber D 203/9 zunaechst durch (GOP) = High gesperrt sind. Mit Beginn des Messintervalles geht (GOP) auf Low und der Zaehlvorgang beginnt.

Mit Ende des Messintervalles wird (GCL) = High und die Impulsfolge an D 201/3 wird abgebrochen.

Ueber V 227 wird das Torschluss-Signal ( $\overline{TS}$ ) gewonnen. V 227 ist nur durchgesteuert bei (GCL) und (GOP) = High, also von Ende des Messintervalles bis zum naechsten Ruecksetzen.

Das Torschluss-Signal wird ueber D 216/8, 3 dem Mikroprozessor zugefuehrt. Er erkennt daraus, dass ein Messzyklus beendet worden ist.

Die  $y$ -Torung arbeitet bei den Betriebsarten FREQ 100 MHz, CT A(B) by B(A), CT A(B) by D asynchron, d.h. bei der Torung entsteht der Quantisierungsfehler  $\pm 1$  digit. In allen anderen Betriebsarten arbeitet die  $y$ -Torung synchron; es entsteht an dieser Stelle kein Quantisierungsfehler.

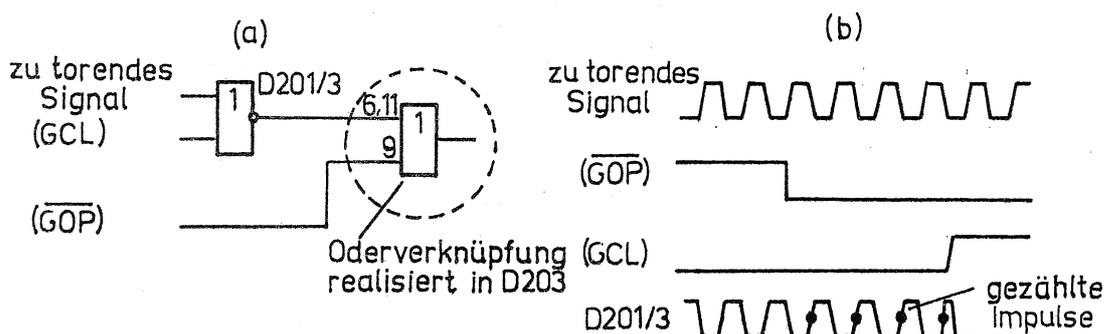


Bild 14: Prinzip der  $y$ -Torung (a) und Signalverlaeuft (b)

Der *HF-ZAEHLER y* teilt das Zaehlsignal durch 256. Von seiner letzten Stufe D 210/7 wird ueber D 216/6 das geteilte Zaehlsignal (CY) ausgekoppelt und dem NF-Teil des y-Zaehregisters (CTC y auf FG 10) zugefuehrt. Der Uebertrag (CY) kommt mit jedem 256. Impuls des Zaehlsignales. Die ersten beiden Stufen arbeiten so, dass bei jedem eitreffenden Zaehlimpuls jeweils nur ein Flip-Flop seine Lage aendert (siehe Bild 15).

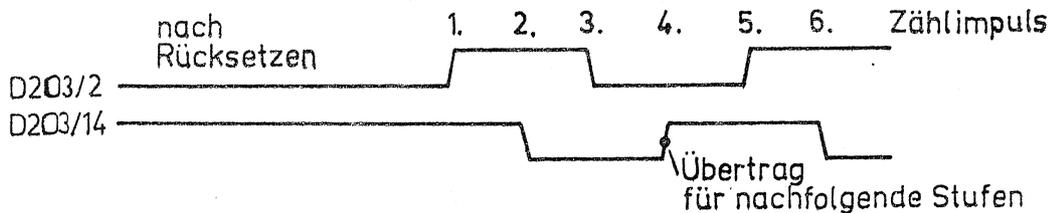


Bild 15: Arbeitsweise der ersten beiden Stufen des HF-ZAEHLERS y

Von 203/14 wird das 4 : 1 geteilte Signal ueber einen als Trigger geschalteten Differenzverstaerker des K500 LP 116 (D 207) ausgekoppelt und als Uebertrag zwei weiteren Flip-Flops D 204 zugefuehrt, die als 4 : 1 -Binaerteiler arbeiten. Der Uebertrag wird von D 204/14 abgenommen und ueber den Pegelumsetzer K500 PU 125 (D 208/15) dem Binaerzaehler DL 193 (D 210) zugefuehrt.

Die Ausgaenge der ersten 3 der mit ECL-Flip-Flops aufgebauten Teilerstufen werden ueber die als Pegelumsetzer wirkenden Transistoren V 224 - V 226, Ausgaenge und Eingang des DL 193 werden direkt dem *TREIBER y* zugefuehrt.

Der Mikroprozessor kann durch das Lesesignal ( $\overline{EY}$ ) = Low diesen Bustreiber aktivieren und damit ueber die Datenbusleitungen (D 10) bis (D 17) den Zaehlerstand im HF-ZAEHLER y auslesen.

Welche Signale in den HF-ZAEHLER y bei den einzelnen Betriebsarten einlaufen, zeigt Tabelle 7.

#### 1.8.2. HF-ZAEHLER x und VORZEICHEN-FLIP-FLOP

Der *HF-ZAEHLER x* wird durch eines der getorten Zaehlsignale (GRAT), (GCKU) oder (GCKD) angesteuert. Welches dieser Signale gerade wirksam ist, zeigt Tabelle 7 in Abhaengigkeit von der Betriebsart.

Bei negativem Messintervall (Stoppsignal kommt frueher als Startsignal) ist (GCKD) wirksam, dessen erste negative Flanke (erster Zaehlimpuls) das *VORZEICHEN-FLIP-FLOP* auf Low an Ausgang D 202/2 kippt.

Der HF-ZAEHLER x besitzt insgesamt ein Teilungsverhaeltnis von 20 : 1. Die erste Stufe (D 202/14, 15) arbeitet als Binaerteiler. Nach Pegelwandlung von ECL auf TTL mit V 222, V 223 folgt ein 5 : 1 Teiler (Eingang D 209/1). Das ECL-Flip-Flop und der 5 : 1 Teiler des DL 090 bilden zusammen einen 10 : 1 Teiler, der BCD-kodiert arbeitet. Dessen Ausgang D 209/11 wird nochmals einem 2 : 1 Binaerteiler zugefuehrt (D 209/14).

Betriebsart	Zaehlsignal fuer	
	HF-ZAEHLER x	HF-ZAEHLER y
CHECK	(GCKU)	(C/CK CT), fuehrt Zeitimpulse 100 ns
FREQ A	(GCKU)	(A CT)
FREQ B 100 MHz		(B CT)
FREQ A 40 MHz, PER A	(GCKU)	(A CT)
RPM B		(B CT)
FREQ C	(GCKU)	(C/CK CT), fuehrt frequenzgeteiltes Mess-Signal C
RATIO A/B	(GRAT), fuehrt Startsignal von Kanal B	(A CT)
RATIO B/A	(GRAT), fuehrt Startsignal von Kanal A	(B CT)
TI, PW, PH, DUTY oder 2. Messzyklus von +/-PH	(GCKU)	-
+/-TI oder 1. Messzyklus von +/-PH	(GCKU) bei posi- tivem Messinter- vall, (GCKD) bei negativem Messin- tervall	-
CT A by B, CT A by D	(GCKU)	(A CT)
CT B by A, CT B by D		(B CT)
TIME D	(GCKU)	(C/CK CT), fuehrt Zeitimpulse 100 ns

(GCKU), (GCKD) fuehren Zeitimpulse 100 ns

Tabelle 7: Ansteuerung der HF-ZAEHLER x, y in Abhaengigkeit von der Betriebsart

Der Uebertrag des HF-ZAEHLERS x wird von der letzten Teilerstufe D 209/12 abgenommen und als Signal (CX) ueber D 216/11 der CTC x auf FG 10 zugefuehrt. Die CTC x bildet den niederfrequenten Teil des Zaehlregisters x.

Der Uebertrag ist die positive Flanke von (CX). Er kommt nach jedem 20. Impuls des Zaehlsignales.

Die Ausgaenge des HF-ZAEHLERS x und die Information ueber das Vorzeichen werden dem TREIBER x zugefuehrt. Der Mikroprozessor kann durch das Lesesignal (EX) diesen Bustreiber aktivieren und damit ueber die Datenbusleitungen (D 10) - (D 17) den jeweiligen Zaehlerstand auslesen.

### 1.8.3. Torung $\Delta x$ und ZAEHLER $\Delta x$

Zur Erhoehung der Aufloesung verwendet der G-2005.500/510 die bei der Zeitsynchronisation auf FG 7 entstehenden Restintervalle (TI ST), (TI STP) und verlaengert deren Dauer  $t_1$ ,  $t_2$  um Faktor 100. Die so entstehenden gedehnten Intervalle sind begrenzt durch Anfang (EXB ST), (EXB STP) und Ende (EXE ST), (EXE STP). Diese Signale werden nun zunaechst der *TORSTEUERUNG EXTI* zugefuehrt. Ihre Aufgabe ist es, in Verbindung mit den *TOREN EXTI* die Vorwaerts- bzw. Rueckwaerts-Zaehlimpulse fuer den ZAEHLER  $\Delta x$  bereitzustellen. Bild 16 zeigt dies an 3 Beispielen.

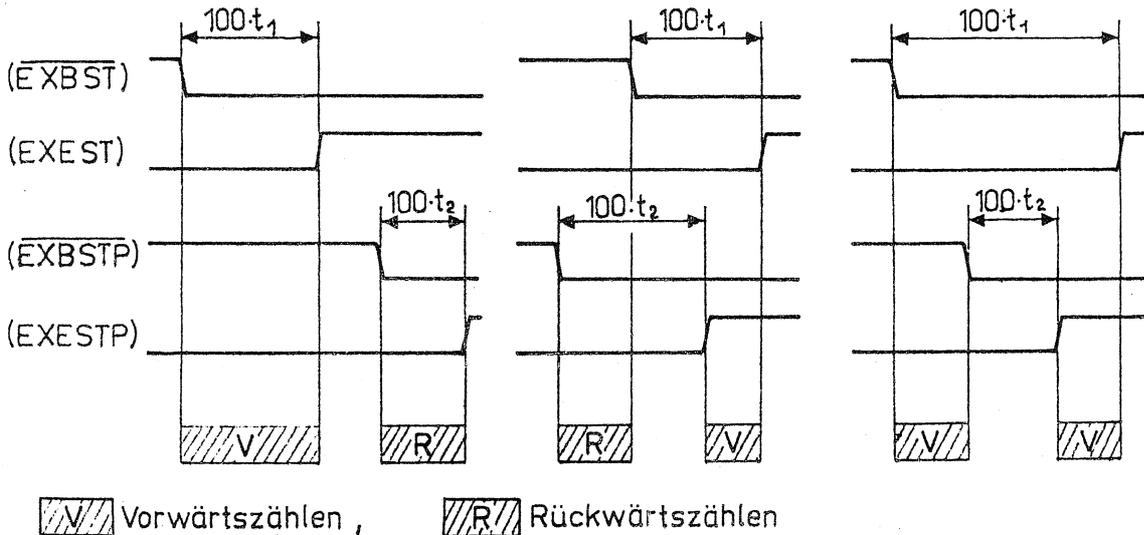


Bild 16: Vorwaerts- und Rueckwaertszaehlphasen fuer ZAEHLER  $\Delta x$

Dabei wird die Vorwaertszaehlphase durch (EXB ST) und (EXE ST) eingegrenzt, die Rueckwaertszaehlphase liegt durch (EXB STP) und (EXE STP) fest. Fallen beide Zaehlphasen zusammen, wird nicht gezahlt. Auf diese Weise wird die Differenzbildung  $t_1 - t_2$  erreicht.

Flip-Flop D 205 synchronisiert die ankommenden Signale (EXB ST, STP) und (EXE ST, STP) mit dem Zaehlsignal fuer den ZAEHLER  $\Delta x$  (CK 20M) und stellt die eigentlichen Torsignale fuer das Vorwaerts- und Rueckwaertstor (D 206) bereit, die dann die Vorwaerts- und Rueckwaertsimpulse fuer den ZAEHLER  $\Delta x$  erzeugen (siehe Bild 17).

Beim Auszaehlen der gedehnten Intervalle entsteht wiederum ein Quantisierungsfehler, der durch die Synchronisation in der *TORSTEUERUNG EXTI* verursacht wird (siehe Bild 18).

Fuer Vorwaertszaehlen gilt:

$$t_1^* = t_{11}^* + (m_1 - 1) T_0^* + t_{12}^*$$

und fuer das Rueckwaertszaehlen

$$t_2^* = t_{21}^* + (m_2 - 1) T_0^* + t_{22}^*.$$

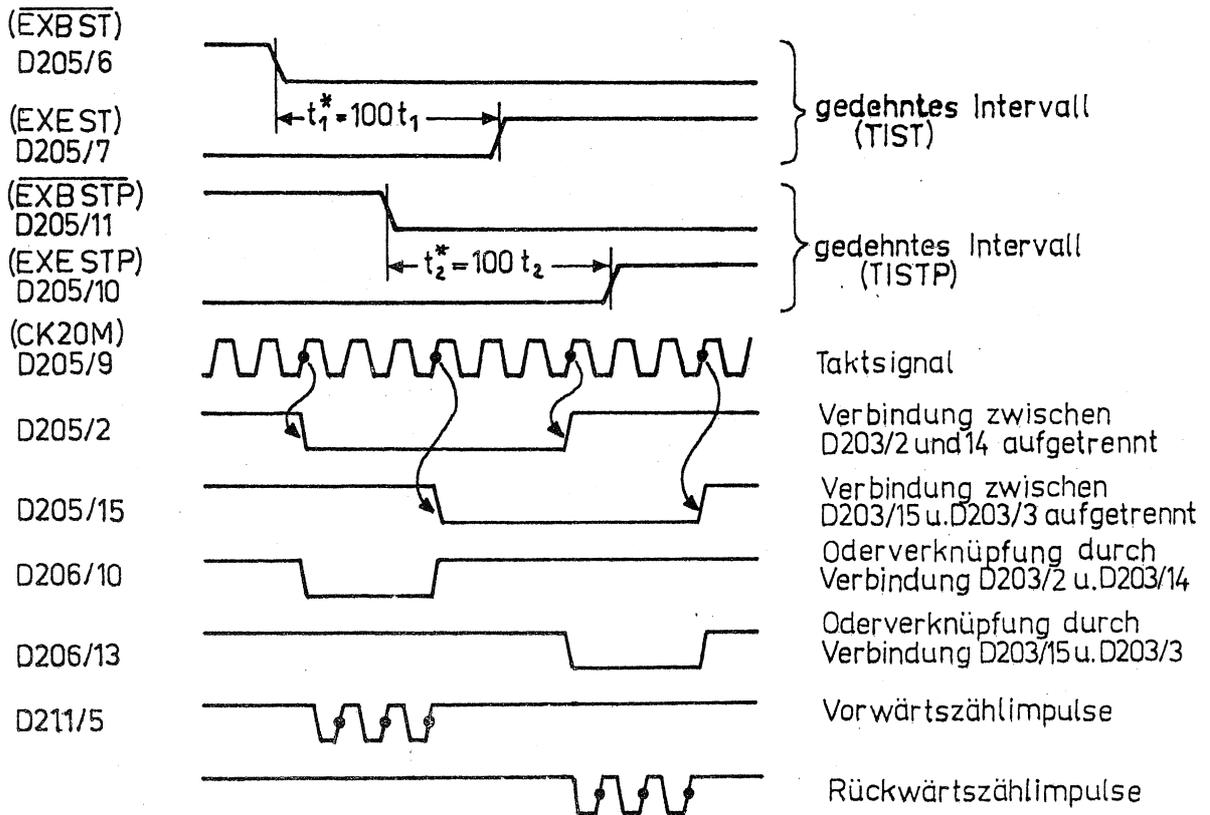


Bild 17: Zeitabläufe fuer Zaehler  $\Delta x$

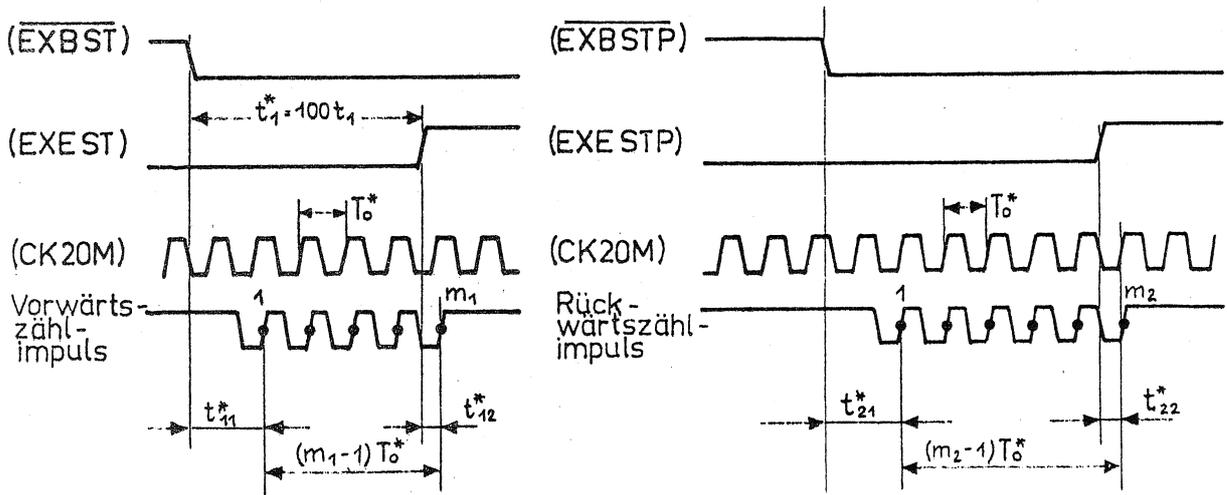


Bild 18: Entstehung des Quantisierungsfehlers in der Torsteuerung EXTI

Da (EXB ST) mit dem Ende von (TIST) kommt und damit zu den internen Zeitimpulsen synchron liegt, von denen auch (CK 20M) abgeleitet ist, ist  $t_{11}^*$  immer gleich  $t_{12}^*$  und damit wird der Restfehler der Zeitsynchronisation

$$t_1 - t_2 = (m_1 - m_2) \frac{T_0^*}{100} + \frac{t_{12}^* - t_{22}^*}{100},$$

wobei  $t_{12}^* - t_{22}^*$  zwischen  $-T_0^*$  und  $+T_0^*$  liegen kann. Beim G-2005.500/510 ist  $T_0^* = 50$  ns. Damit erhaelt man schliesslich:

$$t_1 - t_2 = (m_1 - m_2) \times 0,5 \text{ ns} \pm 0,5 \text{ ns}.$$

Der Restfehler der Zeitsynchronisation  $t_1 - t_2$ , der  $\pm 100$  ns betrug, wird also mit Hilfe des ZAEHLERS  $\Delta x$  mit einem Fehler von  $\pm 0,5$  ns genau ermittelt.

Zur Vermeidung eines Laufzeitabgleiches zwischen Start- und Stopppkanal auf FG 7 wird vor jeder Messung, die mit Zeitdehnung arbeitet, ein Eichzyklus durchgefuehrt. Der Eichzyklus entspricht der Betriebsart  $\pm TI$ , wobei Start- und Stoppsignal an FG 7 identisch sind und durch die internen Zeitimpulse gebildet werden. Dabei wird im Eichzyklus die Zeit  $\Delta t_E$  und im Messzyklus die Zeit  $t_M$  gemessen. Fuer die tatsaechlich gemessene Zeit  $t$  gilt dann

$$\begin{aligned} t &= t_M \pm 0,5 \text{ ns} - (\Delta t_E \pm 0,5 \text{ ns}) \\ &= t_M - \Delta t_E \pm 1 \text{ ns}. \end{aligned}$$

Der Quantisierungsfehler fuer die Zeitmessung ist damit insgesamt  $\pm 1$  ns.

Der ZAEHLER  $\Delta x$  arbeitet als Binaerzaehler und ist mit drei DL 193 (D 211 - D 213) aufgebaut. Da  $t_1$  und  $t_2$  maximal 200 ns betragen koennen, wird bei einer Aufloesung von 0,5 ns eine Zaehlkapazitaet von  $> 400$  Impulsen erforderlich.

Mit D 211, D 212 und der ersten Stufe  $QA$  im DL 193 hat man 511 Impulse. Die restlichen drei Stellen im D 213 werden zur Erkennung des Vorzeichens und eines eventuellen Ueberlaufes im Fehlerfall genutzt (siehe Tabelle 8).

Zaehlweise	Impulszahl	Ausgangspegel an D 213		
		QA	QB	QC
vorwaerts	< 512	Low	Low	Low
	>= 512	High	Low	Low
rueckwaerts	< 512	High	High	High
	>= 512	Low	High	High

Tabelle 8: Information der letzten 3 Stellen des ZAEHLERS  $\Delta x$

Fuehren die Ausgaenge  $Q_A$  und  $Q_C$  von D 213 unterschiedliche Pegel, so ist das das Zeichen fuer Ueberlauf. Das erste Mal tritt diese Konstellation nach dem 512. Impuls auf. Uber D 215, D 214 werden dann die Takteingaeuge D 213/4, 5 gesperrt, so dass zwar D 211, D 212 weiterzaehlen koennen, D 213 verbleibt aber in der Ueberlage. Das Ueberlaufsignal (OVDX) ist dann High.

Ausgang  $Q_A$  wird zur Erkennung des Vorzeichens genutzt. Bei Zaehlergebnissen  $< 0$  ist  $Q_A = \text{High}$ . Das Zaehlergebnis steht dann als Komplement im ZAEHLER  $x$ .

Vorzeichensignal (SNDX) und Ueberlaufsignal (OVDX) gelangen auf den *TREIBER*  $x$  wo sie zusammen mit dem Zaehlerstand im HF-ZAEHLER  $x$  gelesen werden koennen. Erkennt der Mikroprozessor dabei einen Ueberlauf, wird an der Messwertanzeige ERROR 1 angezeigt. Der Zaehlerstand  $x$  wird ueber *TREIBER*  $\Delta x$  vom Mikroprozessor gelesen. Dabei wird die Leseleitung (EDX) = Low und *TREIBER*  $\Delta x$  schaltet damit die Ausgaenge von D 211, D 212 auf die Datenleitungen (D 10) - (D 17).

Der Ausgang  $Q_A$  von D 213 braucht nicht ausgewertet werden, da nach dem Vorwaerts-Rueckwaerts-Zaehlvorgang der verbleibende Endwert  $|t_1 - t_2| < 100 \text{ ns}$  ist, also mit 256 digit dargestellt werden kann.

Der ZAEHLER  $\Delta x$  wird in Verbindung mit dem Eichzyklus zur Erhoehung der Aufloesung genutzt bei:

CHECK, FREQ 40 MHz, FREQ C, PER, TI, +/-TI, PW, PH, +/-PH, DUTY.

Der ZAEHLER  $\Delta x$  laeuft mit, wird aber nicht in Verbindung mit dem Messergebnis ausgewertet, bei:

CT A(B) by B(A), CT A(B) by D und TIME D.

In Betriebsart RATIO sind die TORE EXTI immer zu, da die Zeitdehnung ausser Betrieb gesetzt ist, der ZAEHLER  $\Delta x$  wird nicht benutzt.

#### 1.8.4. Die Ausgabeports

Die Ausgabeports sind die 3 Zaehler selbst in Verbindung mit den zugehoerigen Treibern. Die Tabellen 9 bis 10 geben die zugehoerige Belegung an.

Daten- leitung	Bezeich- nung	Bedeutung
(D 17)	-	Stelle $\times 2^7$ , lowaktiv \
(D 16)	-	Stelle $\times 2^6$ , lowaktiv
(D 15)	-	Stelle $\times 2^5$ , lowaktiv   des
(D 14)	-	Stelle $\times 2^4$ , lowaktiv > HF-Zaehlers y,
(D 13)	-	Stelle $\times 2^3$ , highaktiv   binaer kodiert
(D 12)	-	Stelle $\times 2^2$ , lowaktiv
(D 11)	-	Stelle $\times 2^1$ , lowaktiv /
(D 10)	-	bildet bei Uebereinstimmung mit (D 11) die Stelle $2^0$ des HF-ZAEHLERS y

Tabelle 9: Belegung des y-PORTS

Daten- leitung	Bezeich- nung	Bedeutung
(D 17)	(OVDX)	Low: Überlauf im ZAEHLER $\Delta x$ High: normales Ergebnis im ZAEHLER $\Delta x$
(D 16)	(SNDX)	Low: ZAEHLER $\Delta x$ enthaelt ein negatives Ergebnis in Komplementdarstellung. High: ZAEHLER $\Delta x$ enthaelt ein positives Ergebnis.
(D 15)	(SNX)	Low: Das Ergebnis im HF-ZAEHLER x ist negativ. High: Das Ergebnis im HF-ZAEHLER x ist positiv.
(D 14)	-	Stelle $\times 10^1$ des HF-ZAEHLERS x, lowaktiv
(D 13)		Stelle $\times 2^3$ \
(D 12)		Stelle $\times 2^2$ \ des HF-ZAEHLERS x,
(D 11)		Stelle $\times 2^1$ / BCD-kodiert, lowaktiv
(D 10)		Stelle $\times 2^0$ /

Tabelle 10: Belegung des x-PORTS

Daten- leitung	Bezeich- nung	Bedeutung
(D 17)	(D 1)	Stelle $2^7$ \
(D 16)	(C 1)	Stelle $2^6$
(D 15)	(B 1)	Stelle $2^5$
(D 14)	(A 1)	Stelle $2^4$ \ des ZAEHLERS x, binär ko-
(D 13)	(D 0)	Stelle $2^3$ / diert, lowaktiv
(D 12)	(C 0)	Stelle $2^2$   Negative Zahlenwerte werden
(D 11)	(B 0)	Stelle $2^1$   im Komplement dargestellt.
(D 10)	(A 0)	Stelle $2^0$ /

Tabelle 11: Belegung des  $\Delta x$ -PORTS

### 1.9. TRIGGERPEGEL (FG 9)

Diese Funktionsgruppe stellt die Triggerpegelspannungen fuer die Kanäle A und B ueber D/A-Wandler bereit.

Beide D/A-Wandler sind gleich aufgebaut. Die Beschreibung erfolgt nur fuer die Triggerpegelerzeugung Kanal A.

#### 1.9.1. Der D/A-Wandler

Die Einstellung des Triggerpegels erfolgt digital. Der einzustellende Wert wird vom Mikroprozessor in das Eingabeport D 201, D 203 eingeschrieben. Der Zahlenwert umfasst den Bereich 0, 1, ..., 255 und ist binär auf den 8 Portausgangsleitungen kodiert. Diese Leitungen gehen auf die Eingänge D 205/17 - 24. D 205 ist der eigentliche D/A-Wandler. Der C 5658 ist prinzipiell ein 12-bit-Wandler, der aber von der Genauigkeit her nur eine Ausnutzung bis zu 8 bit erlaubt. Deshalb sind die Eingänge D 205/13 - 16 auf Masse gelegt.

Der C 5658 besitzt eine eigene Referenzspannung, die an Ausgang 4 verfuegbar ist. Diese Referenz wird als Bezugsspannung fuer den D/A-Wandler genutzt (Eingang D 205/6).

Der C 5658 erzeugt an Ausgang 9 einen Strom  $I_Z$ , der in den Ausgang hinein fliesst und der der an D 205/17 - 24 liegenden digitalen Information entspricht. Dieser Strom erzeugt am Ausgang von N 209/6 eine Spannung der Groesse  $U_Z$ . Es gilt:

$$U_Z = I_Z \times (R 215 + R 217 + R 219).$$

Mit R 215 und R 219 erfolgt der Endwertabgleich.

R 239 gleicht ueber den C 5658 die Offsetspannung von N 209 aus, und wird so eingestellt, dass bei Binaerzahl 0 an D 205/17 - 24 an N 209/6 ebenfalls genau 0 V stehen. Bezugspunkt ist dabei die Leitung (TLA LO). Sie liegt in FG 2 auf Masse. Die Spannung  $U_Z$  ist stets positiv. Um auch negative Triggerpegelspannungen zu erhalten, wird  $U_Z$  einem weiteren Operationsverstaerker zugefuehrt, der wahlweise Verstaerkung +1 oder -1 realisiert.

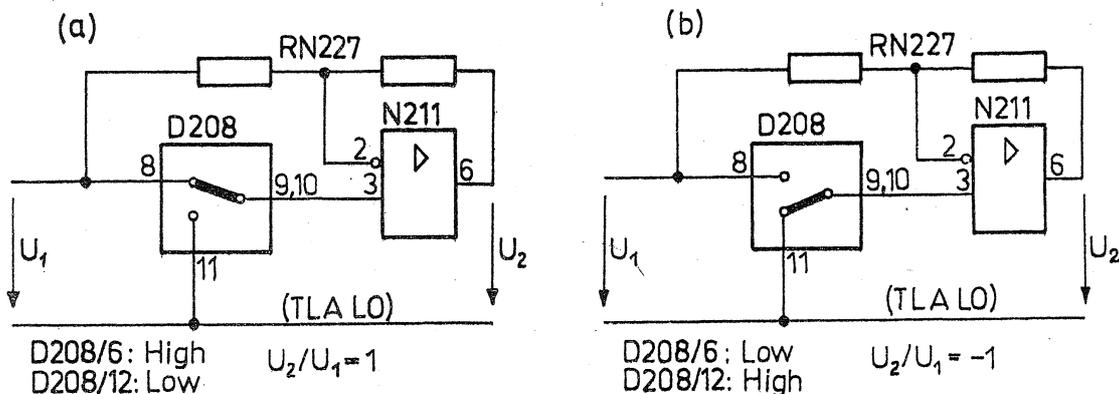


Bild 19: Prinzip der Polaritaetsumkehr

Dabei haengt es von der Lage des in Bild 19 eingezeichneten Umschalters ab, ob der Operationsverstaerker die Polaritaet umkehrt oder nicht. Dieser Schalter ist mit V 4066 realisiert. Die erforderlichen Steuersignale fuer die beiden Schalterstellungen werden D 208/6 und D 208/12 zugefuehrt. Die notwendigen Pegel sind in Bild 19 angegeben.

Diese Steuerinformation wird vom TLS-PORT geliefert. Hier steht das Vorzeichen des im TLA-PORT stehenden Zahlenwertes.

Dabei ist zu beachten, dass eine Triggerpegelinstellung von z.B. 1,5 V im Kanal A eine Triggerpegelspannung (TLA HI) von -1,5 V erfordert.

Bei positiver Triggerpegelinstellung (positives Vorzeichen im TLS-PORT) muss  $U_Z$  negativ sein und umgekehrt.

Der Wert Null ist dabei immer mit positivem Vorzeichen versehen, d.h. bei 0 V Triggerpegel arbeitet N 211 als Inverter.

Bei negativem Triggerpegel wird ueber die Datenleitung (D 27) in D 207/5 ein Low eingeschrieben und N 211 arbeitet entsprechend Bild 19a ohne Polaritaetsumkehr. Bei positiven Triggerpegelwerten (oder 0) wird D 207/5 High und N 211 arbeitet nach Bild 19b als Inverter.

Mit R 229 wird die Offsetspannung von N 211 ausgeglichen und zwischen (TLA HI) und (TLA LO) genau 0 V eingestellt, wenn der Triggerpegelwert 0 ist.

Die Triggerpegel-einstellung ist hysteresekompensiert. Die Hysteresis betraegt etwa 20 mV. Das bedeutet, dass bei einer Triggerpegel-einstellung von 0 V der tatsaechliche Triggerpunkt fuer die positive Flanke bei +10 mV liegt und fuer die negative Flanke bei -10 mV. Um dies auszugleichen, wird der digitale Einstellwert fuer den Triggerpegel bei positiver Flanke um 1 bit verringert, bei negativer Flanke um 1 bit erhoehrt.

Beispiel: Bei einer Triggerpegel-einstellung von 0 V, positive Flanke, ist der digitale Einstellwert -1 und die Triggerpegelspannung am Ausgang (TLA HI) +10 mV.

Bei einer Triggerpegel-einstellung von +0,5 V, negative Flanke, ist der digitale Einstellwert +51 und die Triggerpegelspannung an (TLA HI) betraegt -0,51 V.

### 1.9.2. Die Belegung der Eingabeports

Die Funktionsgruppe besitzt 3 Eingabeports:

- eines fuer den Einstellwert des Triggerpegels Kanal A,
- eines fuer den Einstellwert des Triggerpegels Kanal B und
- eines fuer das Vorzeichen der Einstellwerte fuer Kanal A und B.

Die Belegung ist in den Tabellen 12 - 14 angegeben.

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	-	Stelle $\times 2^7$ \
(D 26)	-	Stelle $\times 2^6$
(D 25)	-	Stelle $\times 2^5$
(D 24)	-	Stelle $\times 2^4$ \
(D 23)	-	Stelle $\times 2^3$ / fuer den Triggerpegel-ein- stellwert Kanal A, binaer kodiert, highaktiv
(D 22)	-	Stelle $\times 2^2$
(D 21)	-	Stelle $\times 2^1$
(D 20)	-	Stelle $\times 2^0$ /

Tabelle 12: Belegung des Eingabeports TLA-PORT

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	-	High: Der Einstellwert fuer Triggerpegel A ist positiv oder null. Low: Der Einstellwert fuer Triggerpegel A ist negativ.
(D 26)	-	High: Der Einstellwert fuer Triggerpegel B ist positiv oder null. Low: Der Einstellwert fuer Triggerpegel B ist negativ.

||  
∨

Daten- leitung	Bezeich- nung	Bedeutung
(D 25)	-	\
(D 24)	-	
(D 23)	-	\
(D 22)	-	/
(D 21)	-	
(D 20)	-	/

Diese Bits sind beliebig, sie werden auf FG 9 nicht benutzt.

Tabelle 13: Belegung des Eingabeports TLS-PORT

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	-	Stelle $\times 2^7$ \
(D 26)	-	Stelle $\times 2^6$
(D 25)	-	Stelle $\times 2^5$
(D 24)	-	Stelle $\times 2^4$ \ fuer den Triggerpegelein-
(D 23)	-	Stelle $\times 2^3$ / stellwert Kanal B, binar
(D 22)	-	Stelle $\times 2^2$   kodiert, highaktiv
(D 21)	-	Stelle $\times 2^1$
(D 20)	-	Stelle $\times 2^0$ /

Tabelle 14: Belegung des Eingabeports TLB-PORT

Die Einschreibsignale fuer die 3 Ports sind:

- $(\overline{ETLA})$  fuer das TLA-PORT,
- $(\overline{ETLB})$  fuer das TLB-PORT und
- $(\overline{ETLS})$  fuer das TLS-PORT.

Das Einschreiben erfolgt mit der Low-High-Flanke dieser Signale

## 1.10. DIE MIKROPROZESSORSTEUERUNG (FG 10)

Diese Funktionsgruppe beinhaltet:

- den Mikroprozessor selbst,
- die niederfrequenten Stellen der Zaehregister x und y als CTC x bzw. CTC y,
- den externen Datenspeicher (1 Kbyte RAM),
- den Programmspeicher (10 Kbyte ROM)
- sowie Adress-Speicher und Adressdekodierung.

### 1.10.1 Mikroprozessor und TAKTERZEUGUNG

Als Mikroprozessor wird der UB 883 verwendet. Er uebernimmt

- die Steuerung der Multiplexanzeige auf FG 1 und die Abfrage der Eingabetastatur ueber Port 2 und Port 3;
- die Steuerung des Messablaufes und das Laden der Eingabeports in FG 2, 3, 5, 6 entsprechend den auszufuehrenden Mess- oder Eichzyklen;

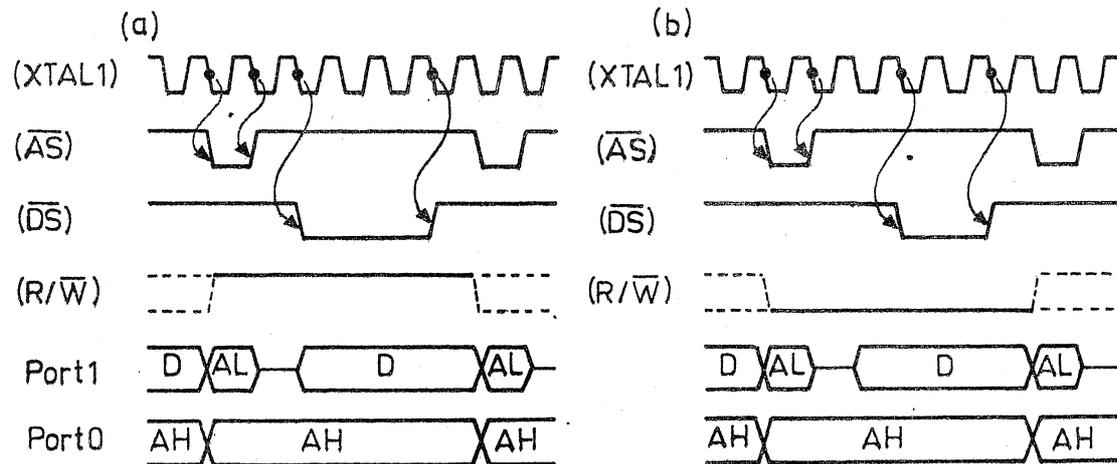
- das Auslesen der Zaehlgeregister x und y und die Berechnung des Messergebnisses;
- die Eingabe und Anzeige der Betriebsart und anderer Funktionen (Triggerpegel, Torzeit, Konstanten c, d u.ae.) und
- die Abwicklung der Datenaus- und Dateneingabe ueber den Interfaceschaltkreis KR 581 WA 91 auf FG 12.

Port 2 wird zur Ausgabe der Segmentinformation, P 34 - P 37 werden zur Ausgabe der Stelleninformation fuer die Multiplexanzeige benutzt. P 31 und P 33 lesen die Information der Eingabetastatur. Ueber P 32 erkennt der Mikroprozessor, wenn ein Messzyklus beendet worden ist (Torschluss-Signal  $\overline{TS}$ ).

P 30 = Low verursacht einen Interrupt. Damit meldet sich der Interfaceschaltkreis, wenn dieser die Nachricht SDC oder DCL empfangen hat. Der Mikroprozessor veranlasst daraufhin den Abbruch einer eventuell laufenden Messung und das Loeschen der Register u und t und des Ergebnisses.

Der Mikroprozessor nutzt den internen ROM-Bereich nicht, sondern arbeitet nur mit externem Programmspeicher. Port 1 wird zur Ausgabe des niederwertigen Teils der Adresse und zur Datenuebertragung benutzt (Adress-Daten-Multiplex). Port 0 liefert den hoeherwertigen Teil der Adresse.

Bild 20 zeigt den Ablauf des Datenlesens und -schreibens.



AH: hoeherwertiger Adresteil, AL: niederwertiger Adresteil, D: Daten

Bild 20: Lesezyklus (a) und Schreibzyklus (a) des Mikroprozessors

Dabei ist es gleichgueltig, ob die Daten vom Programmspeicher (Befehle) oder vom RAM oder von externen Eingabe- bzw. Ausgabeports stammen. Eine Ausnahme bilden lediglich die CTC x und y. Hier wird der Schreibzyklus um 2 Takte von (XTAL 1) verlaengert, so dass (DS) dann 4 Takte breit ist. Die Verlaengerung wird softwaremaessig programmiert.

Die Leitungen von Port 1 bilden den Adress-Daten-Bus. Von diesem Bus aus werden durch den Mikroprozessor geschrieben oder gelesen:

- der PROGRAMMSPEICHER ueber den ROM-TREIBER,
- der Datenspeicher (RAM) ueber den RAM-TREIBER,
- die CTC x und y sowie das DELAYPORT (D 210) direkt,
- die Ports auf FG 2, 3, 5, 6 und 8 ueber den HF-TREIBER und
- die Triggerpegelports auf FG 9 sowie die Interfaceports auf FG 12 ueber den IF/TL-TREIBER.

( $\overline{AS}$ ) uebernimmt mit der positiven Flanke den niederwertigen Adressteil in den ADRESSENSPEICHER. Damit stehen die Adressen fuer den gesamten Zyklus zur Verfuegung.

Waehrend ( $\overline{DS}$ ) = Low werden die Daten auf den Adress-Daten-Bus (Port 1) gelegt.

( $R/\overline{W}$ ) = High kennzeichnet, dass Daten vom Mikroprozessor gelesen werden, bei ( $R/\overline{W}$ ) = Low werden Daten vom Mikroprozessor auf den Adress-Daten-Bus gelegt.

( $\overline{RESET}$ ) = Low setzt den Mikroprozessor in die Ausgangslage zurueck. Wird ( $\overline{RESET}$ ) = High springt der Mikroprozessor auf die Anfangsadresse 0B12H. Hier steht der erste Befehl des Programmspeichers.

Port 0 und Port 1 sowie die 4 Steuerleitungen ( $\overline{AS}$ ), ( $\overline{DS}$ ), ( $R/\overline{W}$ ) und ( $\overline{RESET}$ ) gehen auf den Steckverbinder X 38 und sind dort fuer Pruefzwecke verfuegbar.

( $\overline{RESET}$ ) wird von FG 12 geliefert. Es ist bei Einschalten der Betriebsspannung +5 V zunaechst Low und geht erst auf High, nachdem die Betriebsspannung ihren Sollwert nahezu erreicht hat.

Mit ( $\overline{RESET}$ ) = Low wird auch das *PON-FLIP-FLOP* gesetzt; (pon) ist dann High und sperrt auf FG 1 die Segmenttreiber. Dadurch wird ein undefiniertes Leuchten der Multiplexanzeige im Einschaltmoment verhindert. Rueckgesetzt wird dieses Flip-Flop waehrend der Einschalttroutine, wenn die Triggerpegel-Ports auf FG 9 geladen werden. Dann ist ( $\overline{ETL}$ ) = Low und (pon) geht ebenfalls auf Low.

Das Taktsignal wird dem Mikroprozessor ueber Eingang XTAL 1 zugefuehrt. Die Frequenz ist 3,33 MHz und wird in der *TAKTERZEUGUNG* gewonnen. Ausgangspunkt ist der mit einem 10 MHz-Quarz (C 262) gebaute Taktgenerator, dessen Frequenz in einem nachfolgenden Teiler 3 : 1 geteilt wird (Bild 21a).

Die 3 : 1-Teilung wird erreicht durch die Rueckfuehrung von D 206/5 ueber D 205/8 auf den Ruecksetzeingang D 206/13.

Das Taktsignal wird vom Ausgang D 206/5 abgenommen und ueber D 207/11 fuer den Mikroprozessor verwendet. Am Ausgang D 206/9 wird ueber D 207/3 das Taktsignal fuer die CTC x und y (C CTC) bereitgestellt. Beide Taktsignale sind bezueglich der wirksamen Flanke gegenphasig (Bild 21b).

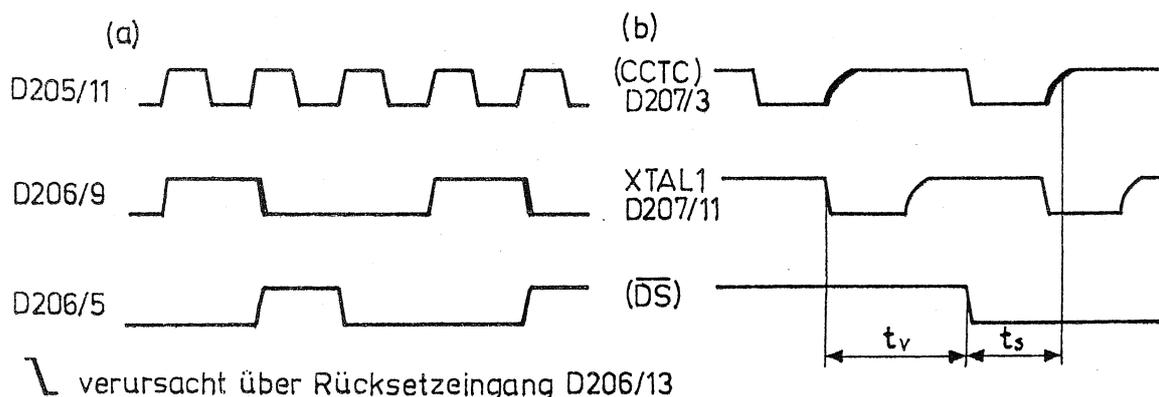


Bild 21: Takterzeugung (a) und Taktsignale fuer Mikroprozessor und CTC (b)

( $\overline{DS}$ ) wird vom Mikroprozessor als Folge einer negativen Flanke an (XTAL 1) geliefert. Es ist gegenüber dieser Flanke um die Zeit  $t_{\#}$  verzögert. Zwischen der positiven Taktflanke für die CTC und der High-Low-Flanke von ( $\overline{DS}$ ) wird eine bestimmte Setzzeit  $t_s$  gefordert. Normalerweise ist diese Bedingung für die dargestellte Phasenlage von (XTAL 1) zu (C CTC) erfüllt. Sollte dies nicht der Fall sein, kann die Phasenlage von (XTAL 1) verändert werden, dadurch, dass der Mikroprozessortakt nicht von D 206/5, sondern von D 206/9 oder von D 206/6 abgeleitet wird.

### 1.10.2. Die Adresskodierung

Der gesamte Adressbereich umfasst 65536 Adressen (0000H bis FFFFH). Dieser Bereich wird durch den *HAUPTDEKODER* zunächst in Teilbereiche von jeweils 8 Kbyte Länge aufgeteilt. Der HAUPT-DEKODER liefert dabei für jeden Teilbereich ein "Enable"-Signal, das durch Verknüpfung der Adressleitungen mit ( $\overline{DS}$ ) gewonnen wird und welches die dem jeweiligen Adressbereich zugeordneten Speicher oder Ports aktiviert.

Dabei sind:

- der Bereich 0000H - 3FFFH für den Programmspeicher ( $\overline{EROM}$  1), ( $\overline{EROM}$  2),
- der Bereich 4000H - 5FFF ( $\overline{EHF}$ ) für die Eingabe- und Ausgabeports auf FG 2, 3, 5, 6 und 8,
- der Bereich 6000H - 7FFF ( $\overline{ECTC}$ ) für CTC x, y und DELAYSTEUERUNG,
- der Bereich 8000H - AFFFH ( $\overline{ERAM}$ ) für den Datenspeicher,
- der Bereich A000H - BFFFH ( $\overline{ETL}$ ) für die Triggerpegel Eingabeports auf FG 9 und
- der Bereich C000H - DFFFH ( $\overline{EIF}$ ) für die zum Interface (FG 12) zugehörigen Eingabe- und Ausgabeports

reserviert.

Der letzte Bereich E000H - FFFFH wird nicht genutzt.

Durch ROM-DEKODER, CTC/TL-DEKODER UND HF-DEKODER werden die "Enable"-Leitungen ( $\overline{EROM}$  1, 2), ( $\overline{ECTC}$ ), ( $\overline{ETL}$ ) und ( $\overline{EHF}$ ) weiter aufgeteilt. ( $\overline{EIF}$ ) wird ebenfalls aufgeteilt, jedoch ist diese Aufteilung FG 12 zugeordnet.

Die Adressdekodierung bezüglich Eingabe- und Ausgabeports ist redundant, d.h. ein bestimmtes Port kann über mehrere Adressen angesprochen werden.

Der HF-DEKODER (auf A 209 angeordnet) teilt ( $\overline{EHF}$ ) mit den Adressleitungen (A0), (A1) und (A2) auf acht Schreib- bzw. Leseleitungen für die Ports auf FG 2, 3, 5, 6 und 8 auf. Damit ist beispielsweise ( $\overline{EARM}$ ) bei Adresse 4001H aktiv. Da höherwertige Adressleitungen (A3, A4...) für den HF-DEKODER nicht benutzt werden, wird ( $\overline{EARM}$ ) auch bei 4009H, 4011H... 5FF9H aktiviert. Das Programm benutzt jedoch nur die jeweils niedrigste der möglichen Adressen. Adressangaben in den Stromlaufplänen oder anderen Unterlagen beziehen sich in der Regel auf die niedrigste Adresse.

Tabelle 15 gibt einen Überblick über die Aufteilung des gesamten Adressbereiches.

Adresse	Zugehoeriger Speicher oder zugehoeriges Port	R	W	Aktiver Treiber
0000H bis 01FFH	Interner ROM-Bereich, wird nicht benutzt	-	-	-
0800H bis 2FFFH	PROGRAMMSPEICHER (ROM 1 - ROM 5)	*	-	ROM-TREIBER
3000H bis 3FFFH	nicht belegt	-	-	ROM-TREIBER
4000H 4001H 4002H 4003H 4004H 4005H 4006H 4007H 4008H bis 5FFFH	REFERENZPORT (FG 6) ARMINGPORT (FG 5) PORT SLOPE A (FG 2) PORT SLOPE B (FG 3) PORT A/B-MODE (FG 2, 3) $\Delta$ x-PORT (FG 8) x-PORT (FG 8) y-PORT (FG 8) Wiederholung 4000H bis 4007H	- - - - - * * * *	* * * * * - - *	HF-TREIBER
6000H 6001H 6002H 6003H 6004H 6005H 6006H 6007H 6008H 6009H bis 600BH 600CH 600DH bis 600FH 6010H bis 7FFFH	CTC y, Kanal 0 CTC y, Kanal 1 CTC y, Kanal 2 CTC y, Kanal 3 CTC x, Kanal 0 CTC x, Kanal 1 CTC x, Kanal 2 CTC x, Kanal 3 DELAYPORT (D 210) Wiederholung von 6008H  Ruecksetzen von CTC und DELAY- STEUERUNG (Daten werden nicht benutzt) durch (RESC) Wiederholung von 600CH  Wiederholung 6000H bis 600FH	* * * * * * * * - - - - *	* * * * * * * * * * * * *	
8000H bis 83FFH 8400H bis 9FFFH	Datenspeicher (RAM)  Wiederholung 8000H bis 83FFH	*  *	*  *	RAM-TREIBER

||  
∨

Adresse	Zugehoeriger Speicher oder zugehoeriges Port	R	W	Aktiver Treiber
A000H A001H bis A003H	TLA-PORT (FG 9) Wiederholung A000H	-	*	IF/LF TREIBER
A004H A005H bis A007H	TLS-PORT (FG 9) Wiederholung A004H	-	*	IF/TL- TREIBER
A008H A009H bis A00BH	TLB-PORT (FG 9) Wiederholung A008H	-	*	
A00CH bis A00FH	nicht belegt	-	-	
A010H bis BFFFFH	Wiederholung A000H bis A00FH	-	*	
C000H bis C007H C008H	Eingabe- und Ausgaberegister des KR 580 WA 91 (FG 12)	*	*	
C009H bis C00FH C010H	bei Lesen: ADRESSPORT (FG 12); bei Schreiben: Ruecksetzen des PW-DN-FLIP-FLOPS auf FG 12 (Daten werden nicht benutzt) Wiederholung C008H	*	*	IF/TL- TREIBER
C011H bis C017H C018H	bei Lesen: nicht belegt bei Schreiben: Start des Signalge- bers auf FG 12 zur akustischen Rueckmeldung fuer eine betaetigte Eingabetaste Wiederholung C010H	-	*	
C019H bis C01FH C020H bis DFFFFH	bei Lesen: HILFSPORT (FG 12); bei Schreiben: Ruecksetzen des PW-OFF-FLIP-FLOPS auf FG 12 (Daten werden nicht benutzt) Wiederholung C018H	*	*	
E000H bis FFFFH	Wiederholung C000H bis CC1FH nicht benutzt	-	-	-

R: Lesen; W: Schreiben

Tabelle 15: Aufteilung des Adressbereiches

### 1.10.3. Programm- und Datenspeicher

Der *PROGRAMMSPEICHER* besteht aus ROM 1 bis ROM 5, von denen jedes 2048 Bytes zu je 8 bit aufnehmen kann. Sie sind ueber den *ROM-TREIBER* D 221 mit dem Adress-Daten-Bus des Mikroprozessors verbunden. D 221 wird durch die Signale (EROM 1) oder (EROM 2) aktiviert (D 221/9 = Low).

Der Bustreiber D 221 kann staendig hochohmig gemacht werden, wenn die Basisanschluesse der Transistoren V 233, V 234 auf Masse gelegt werden. Dies kann ueber den Pruefsteckverbinder X 38/A 10 erfolgen. Es besteht dann die Moeglichkeit ueber diesen Pruefsteckverbinder das Mikroprozessorsystem mit einem anderen Programm (externes Pruefprogramm) laufen zu lassen.

Der Datenspeicher ist durch D 225, D 226 realisiert. Er erhaelt seine Betriebsspannung (+5 V B) vom Kollektor von V 238.

Dieser ist ueblicherweise durchgesteuert, so dass die RAM-Betriebsspannung praktisch mit der allgemeinen Versorgungsspannung (+5 V D) identisch ist. Im Falle, dass der G-2005.500/510 ueber den Netzschalter ausgeschaltet ist, verschwindet (+5 V D).

(+5 V B) kann jedoch durch die Hilfsspannung (UBUF) auf groesser 2 V gehalten werden. Dadurch wird der Erhalt der im RAM befindlichen Information auch bei abgeschaltetem Geraet gesichert. Dies hat Bedeutung fuer die Betriebsartenspeicher, deren Information dadurch auch nach Ausschalten und Wiedereinschalten bestehen bleibt.

Dies gilt allerdings nur solange wie der G-2005.500/510 auch waehrend des Ausschaltens nicht vom Netz getrennt wird, denn (UBUF) wird von der Versorgungsspannung des Thermostaten abgeleitet (FG 13, FG 12), die durch den Netzschalter nicht mit ausgeschaltet wird.

Im Datenspeicher sind unter anderem

- die 8 Betriebsartenspeicher,
- die Speicherregister u und t,
- das Ergebnisregister sowie
- die Speicher fuer c, d und u

untergebracht.

#### 1.10.4. Die CTC

Die CTC x und die CTC y verwirklichen den niederfrequenten Teil der Zaehregister x und y. Die Arbeitsweise in beiden Registern ist gleich, weshalb sich die folgenden Erlaeuterungen auf die CTC x beziehen.

Die CTC x wird fuer Zaehlbetrieb mit externem Takteingang programmiert. Interrupt wird bei Erreichen des Zaehlerstandes 0 im Kanal 3 gegeben. Die anderen Kanale liefern keinen Interrupt. Das Teilungsverhaeltnis fuer die Kanale 0 bis 3 ist 256 : 1. Alle 4 Kanale sind hintereinandergeschaltet, d.h. Kanal 1 zaehlt die Uebertraege von Kanal 0, Kanal 2 zaehlt die von Kanal 1 und Kanal 3 zaehlt die von Kanal 2. Das Zaehlsignal fuer Kanal 0 ist (CX). Die CTC x soll einen voreinstellbaren Zaehler realisieren, der z.B. bei einem Voreinstellwert von 22 sofort nach Eintreffen des 22. Impulses ein entsprechendes Signal liefern muss. Dieses Signal ist ( $\overline{\text{DEL}}$ ) an D 204/6.

Wird zum Beispiel bei FREQ eine Torzeit von 1 ms eingestellt, bedeutet dies, dass der Voreinstellwert fuer die CTC so gewaehlt wird, dass ( $\overline{\text{DEL}}$ ) = Low genau 1 ms nach Beginn des Zaehlvorganges kommt. Die in die CTC x einlaufenden Impulse (CX) haben dabei einen Abstand von 2  $\mu\text{s}$  ( $20 \times 100 \text{ ns}$  entsprechend dem Teilungsfaktor fuer HF-ZAEHLER x auf FG 8). Folglich ist der Voreinstellwert fuer 1 ms 500. Von diesem Wert aus wird abwaerts gezaehlt bis der Zaehlwert 0 erreicht ist. Dazu werden genau 500 Impulse benoetigt. An Bild 22 soll nun erklart werden, bei welchem Zaehlerstand der CTC ( $\overline{\text{DEL}}$ ) den High-Low-Uebergang vollzieht.

Dabei muss die *DELAYSTEUERUNG* mit betrachtet werden. Sie besteht wesentlich aus 2 J-K-Flip-Flops (D 212). Das erste Flip-Flop wird vom Zaehlsignal (CX) getaktet (D 212/13), das zweite vom negierten Uebertrag des Kanales 0 der CTC x (D 212/1). Die Ausgaenge des DELAYPORTES D 210/14, 11 und 6 sollen High sein, ebenso D 210/3. Dann stellt sich mit Ruecksetzen die in Bild 22 gegebene Ausgangslage ( $\overline{\text{DEL}}$ ) = High, D 212/5 = Low und D 204/8 = Low (kein Interrupt) ein.

Der Zaehlimpuls 0 (positive Flanke von CX) bewirkt im Kanal 0 den Kanalzaehlerstand 00H, als Folge davon kommt der Uebertrag von Kanal 0 und bewirkt, dass auch Kanal 1 auf den Kanalzaehlerstand 00H springt und seinerseits einen Uebertrag liefert. Dies setzt sich fort bis Kanal 3 auf 00H springt und damit den Interrupt bewirkt. Damit geht D 204/8 auf High. Dies alles spielt sich als Folge des Zaehlimpulses 0 ab. Der naechste Zaehlimpuls (Impuls 1) bewirkt im Kanal 0 den Kanalzaehlerstand FFH. Die folgenden Impulse zaehlen Kanal 0 weiter abwaerts bis dieser schliesslich beim Impuls 256 wieder den Stand 00H erreicht und einen Uebertrag liefert.

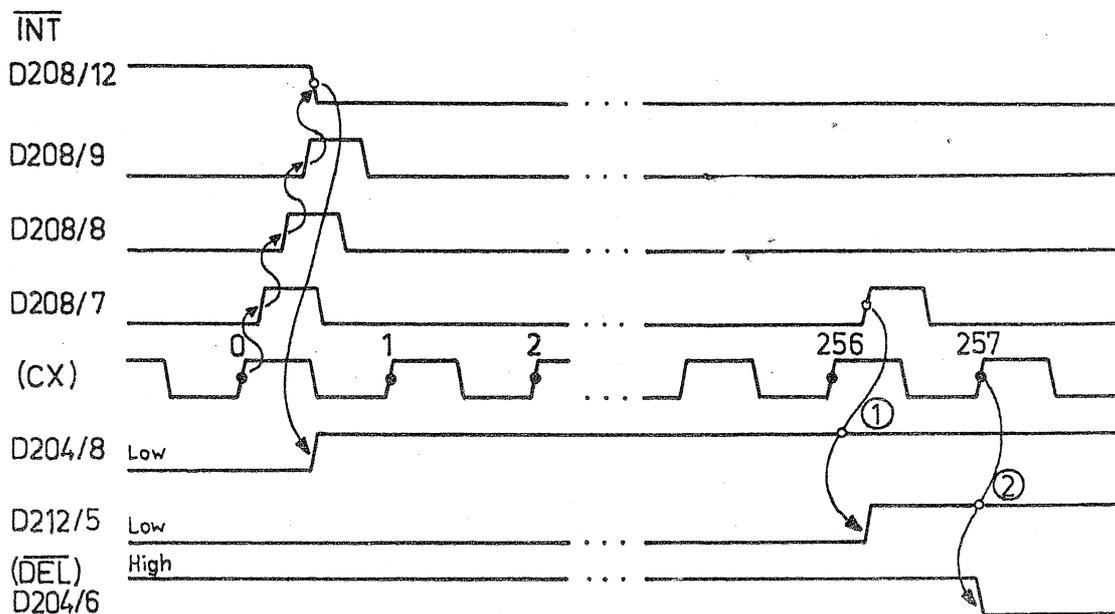


Bild 22: Signale der CTC x und der DELAYSTEUERUNG

Dieser Uebertrag bewirkt einerseits den Kanalzaehlerstand FFH im Kanal 1 und - wegen D 204/8 = High - das Kippen des zweiten Flip-Flops D 212/5 auf High. Damit kann der naechste eintreffende Zaehlimpuls (CX) das erste Flip-Flop kippen und damit  $(\overline{DEL}) = \text{Low}$  bewirken. Dies entspricht dem Erreichen des Zaehlwertes 0. Bildet man zu den einzelnen Kanalzaehlerstaenden das Komplement und schreibt diese Komplemente hintereinander auf, kann die so entstandene 8stellige Hex-Zahl als Zaehlerstand der gesamten CTC interpretiert werden. In Tabelle 16 sind Kanalzaehlerstaende und Gesamtzaehlerstaende (im folgenden nur noch als Zaehlerstand bezeichnet) fuer die Impulse 0 bis 257 entsprechend Bild 22 eingetragen. Ausserdem ist der zugehoerige Zaehlwert angegeben. Zaehlwert 0 ist dabei definitionsgemaess erreicht wenn  $(\overline{DEL}) = \text{Low}$  erreicht wird.

Tabelle 16 laesst in der Spalte Zaehlerstand erkennen, dass die CTC in diesem Betriebsfall einen Binaerzaehler darstellt, der vorwaerts zaehlt, d.h. der Zaehlerstand erhoecht sich mit jedem Zaehlimpuls um 1.

Impuls	Kanalzaehlerstand im Kanal				Zaehlerstand		Zaehlwert dezimal
	3	2	1	0	hex	dezimal	
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
-1	01	01	01	01	FF FF FF FF	-1	258
0	00	00	00	00	00 00 00 00	0	257
1	00	00	00	FF	00 00 00 01	1	256
2	00	00	00	FE	00 00 00 02	2	255
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
255	00	00	00	01	00 00 00 FF	255	2
256	00	00	FF	00	00 00 01 00	256	1
257	00	00	FF	FF	00 00 01 01	257	0
258	00	00	FF	FE	00 00 01 02	258	-1
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.

Tabelle 16: Zaehlweise der CTC

Der Zusammenhang zwischen Zaehlerstand und Zaehlwert ist also

$$\text{Zaehlerstand} = 257 - \text{Zaehlwert}.$$

Fasst man die einzelnen Kanalzaehlerstaende begrifflich zu einem CTC-Zaehlerstand zusammen, gilt:

$$\begin{aligned} \text{CTC-Zaehlerstand} &= \text{byteweises Komplement des Zaehlerstandes} \\ &= \text{byteweises Komplement von } (257 - \text{Zaehlwert}). \end{aligned}$$

Zu Beginn muss die CTC so geladen werden, dass sich ein bestimmter Voreinstellwert ergibt. Der zu dem Voreinstellwert gehoerende CTC-Zaehlerstand ist der CTC-Ladewert:

$$\text{CTC-Ladewert} = \text{byteweises Komplement von } (257 - \text{Voreinstellwert}).$$

Fuer einen Voreinstellwert von 500 gilt beispielsweise:

$$\begin{aligned} \text{CTC-Ladewert} &= \text{byteweises Komplement von } (257 - 500) \\ &= \text{byteweises Komplement von } (\text{FF FF FF 0D}) \\ &= 01 01 01 \text{ F3}. \end{aligned}$$

Die Kanalladewerte sind fuer Kanal 3 bis 1 01H und fuer Kanal 0 F3H.

Die eingelaufenen Impulse erhaelt man zu:

$$\begin{aligned} \text{Impulszahl} &= \text{Voreinstellwert} - \text{Zaehlwert} \text{ oder} \\ \text{Impulszahl} &= \text{Voreinstellwert} + \text{Zaehlerstand} - 257. \end{aligned}$$

Der Zaehlerstand wird durch Auslesen der Kanalzaehlerstaende und deren Komplementbildung nach Ende der Messung bestimmt. Bild 22 ist fuer Voreinstellwerte  $\geq 258$  gezeichnet. Fuer Voreinstellwert 0 wird (DEL) = Low von vornherein ueber D 210/14 = Low erfuehlt.

Fuer Voreinstellwert 1 wird durch Low an D 210/14 die Bedingung 2 in Bild 22 (D 212/5 = High) von vornherein erfuehlt.

Fuer Voreinstellwerte zwischen 2 und 257 wird Bedingung 1 in Bild 22 durch Low an D 210/6 von vornherein erfuehlt.

Die DELAYSTEUERUNG arbeitet entweder in Zusammenhang mit der CTC x, wie hier beschrieben, oder mit der CTC y. In diesem Fall ist D 210/2 High und an die Takteingaenge von D 212 gelangen ueber D 211 nun das negierte Taktsignal (CY) und der negierte Uebertrag von Kanal 0 der CTC y.

Tabelle 17 gibt einen Ueberblick, bei welchen Betriebsarten eine Voreinstellung von CTC x, y erfolgt.

Betriebsart	Voreinstellwert fuer CTC x	Voreinstellwert fuer CTC y
TI, +/-TI, FW, CT A(B) by B(A), CT A(B) by D, TIME D, PH, +/-PH, DUTY	0	0
FREQ, CHECK, PER, RPM bei Torzeit 2 us bis 254 s	entsprechend eingestellter Torzeit	0
FREQ, CHECK, PER, RATIO, RPM bei externer Torzeit	0	0
FREQ 40 MHz, FREQ C, CHECK, PER, RPM bei Torzeit auto	entsprechend vorgewaehlter Stellenzahl	0
FREQ 100 MHz, RATIO bei Torzeit auto	0	entsprechend vorgewaehlter Stellenzahl
FREQ 40 MHz, PER, RATIO, RPM bei Torzeit 1 Periode	0	0

Tabelle 17: Voreinstellung von CTC x und y in Abhaengigkeit der Betriebsart und der Torzeit

#### 1.10.5. Die Eingabe- und Ausgabeports

Eingabe- und Ausgabeports dieser Funktionsgruppe sind

- die mikroprozessoreigenen Ports P 2, P 3,
- das DELAYPORT D 210 sowie
- die Kanale 0 bis 3 der CTC x und der CTC y.

Die Belegung der einzelnen Ports ist in den Tabellen 18 bis 21 angegeben.

Port- leitung	Bezeich- nung	Bedeutung
P 20	( $\overline{SA}$ )	\ / Segmentleitungen fuer Multiplexanzeige lowaktiv
P 21	( $\overline{SB}$ )	
P 22	( $\overline{SC}$ )	
P 23	( $\overline{SD}$ )	
P 24	( $\overline{SE}$ )	
P 25	( $\overline{SF}$ )	
P 26	( $\overline{SG}$ )	
P 27	( $\overline{SH}$ )	

Tabelle: 18 Belegung des Mikroprozessor-Ausgabeports P 2

Port- leitung	Bezeich- nung	Bedeutung
P 30	( $\overline{IF INT}$ )	Low: Der Interfaceschaltkreis KR 580 WA 91 hat die Nachricht DCL oder SDC erkannt. Der High-Low-Uebergang erzeugt im Mikroprozessor einen Interrupt. High: Die Nachrichten SDC, DCL wurden nicht erkannt
P 31	( $\overline{TAS 0}$ ) 1)	Low: Es ist eine Taste aus Zeile 0 der Eingabetastatur gedruickt. High: In Zeile 0 der Eingabetastatur ist keine Taste gedruickt.
P 32	( $\overline{TS}$ ) 2)	Low: Das Messintervall ist beendet. High: waehrend der Messung oder nach Ruecksetzen
P 33	( $\overline{TAS 1}$ ) 1)	wie P 31, nur fuer Zeile 1 der Eingabetastatur

- 1) Diese Bits werden alle 16 ms im Rhythmus des Multiplexzyklus vom Mikroprozessor abgefragt.
- 2) Dieses Bit wird vom Mikroprozessor laufend abgefragt, nachdem dieser einen Messzyklus eingeleitet hat und bis er ( $\overline{TS}$ ) gleich Low erkannt hat.

Tabelle 19: Belegung des Mikroprozessor-Eingabeports P 30 - P 33

Daten- leitung	Bezeich- nung	Bedeutung
P 34	(NA)	Stelle $\times 2^0$ \ der Stelleninformation
P 35	(NB)	Stelle $\times 2^1$ \ fuer die Multiplexanzeige,
P 36	(NC)	Stelle $\times 2^2$ / highaktiv, binar kodiert
P 37	(ND)	Stelle $\times 2^3$ /

Tabelle 20: Belegung des Mikroprozessor-Ausgabeports P 34 - P 37

Daten- leitung	Bezeich- nung	Bedeutung
(A/D 0)	(DEL 0)	Low: Der Voreinstellwert fuer die CTC x oder y ist 0. High: in allen anderen Faellen
(A/D 1)	(DEL 1)	Low: Der Voreinstellwert fuer die CTC x oder y ist 1. High: in allen anderen Faellen
(A/D 2)	(DEL 2)	Low: Der Voreinstellwert fuer die CTC x oder y liegt zwischen 2 und 257. High: in allen anderen Faellen
(A/D 3)	(DEL X)	Low: Die Information auf (A/D 0) bis (A/D 2) gilt fuer die CTC x. Der Voreinstellwert fuer CTC y ist 0. High: Die Information auf (A/D 0) bis (A/D 2) gilt fuer die CTC y. Der Voreinstellwert fuer CTC x ist 0.
(A/D 4) bis (A/D 7)	-	nicht benutzt

Tabelle 21: Belegung des Ausgabeports D 210 (DELAYPORT)

CTC x und CTC y werden vor jeder Messung durch (RESC) = Low rueckgesetzt. Danach werden fuer jeden Kanal Kanalsteuerwort und Zeitkonstante eingeschrieben.

Der Interruptvektor wird nicht benutzt und folglich auch nicht eingeschrieben.

Die Zeitkonstante entspricht dem Kanalladewert nach Abschnitt 10.4. Belegung fuer Kanalsteuerwort und Zeitkonstante sind in Tabelle 22 und 23 angegeben, soweit sie fuer den vorliegenden Anwendungsfall von Interesse sind.

Daten- leitung	Bezeich- nung	Bedeutung
(A/D 7)	Bit 7	High: Interrupt frei Low: Interrupt gesperrt Ist fuer die Kanale 0 bis 2 immer Low, fuer Kanal 3 immer High.
(A/D 6)	Bit 6	High: Betriebsart Zaehler Low: Betriebsart Zeitgeber Dieses Bit ist immer High.
(A/D 5)	Bit 5	Dieses Bit ist immer Low.

II  
V

Daten- leitung	Bezeich- nung	Bedeutung
(A/D 4)	Bit 4	High: Zaehler zaehlt positive Flanken Low: Zaehler zaehlt negative Flanken Dieses Bit ist immer High.
(A/D 3)	Bit 3	Dieses Bit ist immer Low.
(A/D 2)	Bit 2	Dieses Bit ist immer High, d.h. das naech- ste Steuerwort ist die Zeitkonstante.
(A/D 1)	Bit 1	High: Die Zeitkonstante wird sofort in den Zaehler uebernommen. Low: Die Zeitkonstante wird bei jedem Nulldurchgang des Zaehlers in diesen uebernommen.
(A/D 0)	Bit 0	Bit 0 ist immer High

Tabelle 22: Belegung des Kanalsteuerregisters fuer die Kanale  
0 bis 3 fuer die CTC x und y

Daten- leitung	Bezeich- nung	Bedeutung
(A/D 7) bis (A/D 0)	Bit 7 bis Bit 0	Stelle $\times 2^7$ \ der Zeitkonstante, bis > binar kodiert, highaktiv Stelle $\times 2^0$ /

Tabelle 23: Belegung des Zeitkonstantenregisters fuer die Kanale  
0 bis 3 der CTC x und der CTC y

Jeder Kanal der CTC x, y muss voreingestellt werden und auf Teilungsverhaeltnis 256 programmiert werden. Dazu muessen zunaechst Kanalsteuerwort mit Bit 1 = High und nachfolgender Zeitkonstante (entsprechend dem Kanalladewert) geladen werden und anschliessend ist das Kanalsteuerwort mit Bit 1 = Low und darauffolgender Zeitkonstante 0, die jetzt das Teilungsverhaeltnis bestimmt, zu laden.

### 1.11. INTERFACE IMS-2 (FG 12)

Diese Funktionsgruppe beinhaltet

- die Erzeugung des Ruecksetzsignales fuer den Mikroprozessor bei Einschalten,
- einen Signalgeber als Rueckmeldung fuer eine betaetigte Taste der Eingabetastatur,
- das PW-ON-FLIP-FLOP, welches anzeigt, ob der G-2005.500/510 vom Netz getrennt war,
- das PW-OFF-FLIP-FLOP, welches das Auftreten kurzer Netzeinbrueche signalisiert und als Hauptaufgabe
- die Abwicklung der gesamten Zusammenarbeit mit dem Interfacebus (Datenausgabe, Programmierung usw.).

### 1.11.1. Die PON-ERZEUGUNG und der SIGNALGEBER

Um einen definierten Start des Mikroprozessors zu erhalten, wird der RESET-Eingang am Mikroprozessor (FG 10) erst dann freigegeben, wenn die Betriebsspannung nach dem Einschalten ihren Nennwert praktisch erreicht hat.

Dazu wird ein Trigger benutzt (A 302 D). Die Mitte des Hysteresebereiches dieses Triggers liegt etwa bei der halben Betriebsspannung (Bild 23).

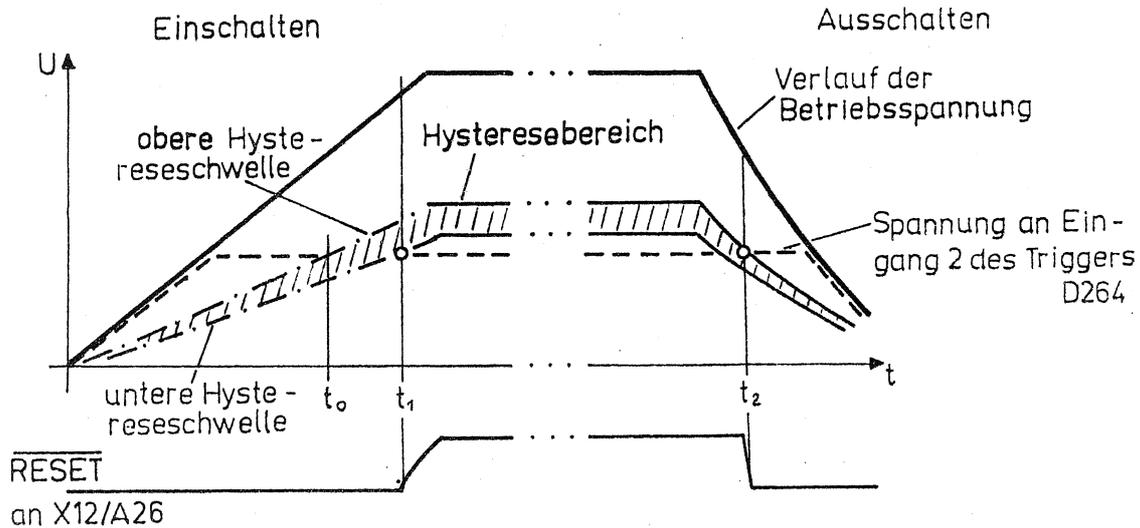


Bild 23: Prinzip der PON-ERZEUGUNG

Aus Bild 23 entnimmt man, dass fuer Zeiten  $< t_0$  die Eingangsspannung fuer den Trigger immer oberhalb der oberen Hystereschwelle liegt, was bedeutet, dass Ausgang 4 des Triggers gesperrt ist (der Ausgang ist eine Open-Kollektor-Stufe). Damit wird V 268 ueber R 287, R 288 durchgesteuert und es ist (RESET) = Low. Wenn die Betriebsspannung nahezu ihren vollen Wert erreicht hat, schaltet der Trigger in die andere Lage (Zeitpunkt  $t_1$ ), da zu diesem Zeitpunkt die Eingangsspannung die untere Hystereschwelle unterschreitet. Transistor V 268 wird gesperrt und der Ruecksetz-zustand wird aufgehoben. Die Eingangsspannung fuer den Trigger wird mit 2 Referenzdioden zu je 1,24 V auf etwa 2,5 V stabilisiert. Solange die Betriebsspannung noch unterhalb dieses Wertes liegt, sind diese Dioden gesperrt und die Eingangsspannung folgt zunaechst der Betriebsspannung. Wird diese groesser als 2,5 V, begrenzen N 273, N 274 die Eingangsspannung des Triggers und halten diese konstant.

Beim Ausschalten faellt die Betriebsspannung ab. Zum Zeitpunkt  $t_2$  ueberschreitet die Eingangsspannung die obere Hystereseschwelle und der Trigger kippt um. Ausgang 4 von D 264 ist dann wieder gesperrt und Transistor V 268 ist durchgesteuert. Der Ruecksetzzustand ist wieder vorhanden.

Erkennt der Mikroprozessor eine Taste der Eingabetastatur als betaetigt, aktiviert dieser die Schreibleitung (EAL).

Dadurch wird ein monostabiler Multivibrator angesteuert, der an seinem Ausgang D 322/4 einen etwa 20 ms langen High-Impuls liefert. Dieser gibt einen Oszillator frei, an dessen Ausgang ein piezoelektrischer Schwinger einen kurzen 2,3 kHz-Ton (entsprechend der Resonanzfrequenz des Schwingers) erzeugt.

Die Schwingungen entstehen infolge der Rueckfuehrung des piezoelektrischen Schwingers auf D 322/8.

#### 1.11.2. PW-OFF- und PW-ON-FLIP-FLOP

Das PW-OFF-FLIP-FLOP ist ein RS-Flip-Flop, welches mit der NETZ-KONTROLLE (FG 14) zusammenarbeitet.

Bei zu niedriger Netzspannung liefert diese ueber einen Open-Kollektor-Ausgang ein Low an D 205/12 und setzt damit den Ausgang D 205/3 auf Low. Da D 205 mit +12,6 V Betriebsspannung arbeitet, sperrt V 269 bei High an D 205/3 und verhindert so ein Durchgreifen dieser Spannung auf die nachfolgende Schaltung. Der Ausgang des PW-OFF-FLIP-FLOPS geht auf das HILFSPORT, welches vom Mikroprozessor nach jeder Messung gelesen wird. Erkennt er dann, dass das PW-OFF-FLIP-FLOP gesetzt ist (D 205/3 = Low), war die letzte Messung nicht in Ordnung und anstelle des Messwertes wird Error 7 angezeigt. Vor jeder Messung wird das PW-OFF-FLIP-FLOP durch den Mikroprozessor durch Aktivieren der Enable-Leitung (RES PW OFF) zurueckgesetzt. Transistor V 265 realisiert in Verbindung mit R 277 den High-Pegel fuer D 205/1.

Das PW-ON-FLIP-FLOP wird in Verbindung mit der Stuetzspannung fuer den RAM-SPEICHER (FG 10) genutzt. Diese Stuetzspannung (UBUF) wird aus der Spannung (+12,6 V) ueber Vorwiderstand R 275 und Diode V 272 erzeugt. Die Spannung (+12,6 V) wird bei Ausschalten des G-2005.500/510 nicht mit abgeschaltet. Sie verschwindet erst, wenn man den Netzstecker zieht. Damit wird erreicht, dass der RAM-Inhalt bei Ausschalten nicht verloren geht und insbesondere die Betriebsartenspeicher ihre Information behalten.

Sie duerfen deshalb bei Wiedereinschalten nicht neu geladen werden. Wird der G-2005.500/510 nun aber vom Netz getrennt, verschwindet die Spannung (+12,6 V) und damit geht auch der RAM-Inhalt verloren. Um definierte Verhaeltnisse beim Wiedereinschalten zu bekommen, muessen nun die Betriebsartenspeicher waehrend der Einschalttroutine geladen werden.

Das PW-ON-FLIP-FLOP ist ueber V 271 mit dem ADRESSPORT (D 216/12) verbunden und wird ueber dieses vom Mikroprozessor waehrend der Einschalttroutine gelesen.

Wenn die Betriebsspannung (+12,6 V) verschwindet, wird C 292 ueber V 270 entladen. Beim Wiedereinschalten wird deshalb Eingang D 205/8 zunaechst Low-Pegel fuehren, und damit waehrend des "Hochlaufens" der 12,6 V das PW-ON-FLIP-FLOP auf Low an D 205/4 setzen. Dies ist das Zeichen dafuer, dass die Betriebsartenspeicher neu geladen werden muessen. Anschliessend setzt der Mikroprozessor das PW-ON-FLIP-FLOP ueber die Enable-Leitung (RES PW ON) zurueck, als Zeichen dafuer, dass nun die Betriebsartenspeicher geladen sind.

### 1.11.3. Der Interfaceschaltkreis

Der KR 580 WA 91 beinhaltet alle zur Realisierung des IMS-2-Interfaces erforderlichen Interfacefunktionen.

Er ist ueber den IF-TREIBER mit dem Datenbus (D 20) - (D 27) verbunden, ueber den der Mikroprozessor Zugriff zu 8 Schreibregistern und zu 8 Leseregistern im KR 580 WA 91 hat.

Die Auswahl der Register erfolgt ueber die Adressleitungen (A0) bis (A2), die an D 204/21, 22, 23 liegen, in Verbindung mit dem Lese- oder Schreibsignal an D 204/9, 10.

Schreib- und Lesesignal des KR 580 WA 91 werden ueber den IF-DEKODER erzeugt. Die Register des KR 580 WA 91 werden ueber Adresse C000H bis C007H angesprochen (siehe auch FG 10, Tabelle 15).

Die Zuordnung der einzelnen Register zu den Adressen entnimmt man Tabelle 24.

Adresse	Lesen	Schreiben
C000 H	Data in Register	Data out Register
C001 H	Interrupt status 1 Register	Interrupt enable 1 Register
C002 H	Interrupt status 2 Register	Interrupt enable 2 Register
C003 H	Serial poll status Register	Serial poll mode Register
C004 H	Address status Register	Address mode Register
C005 H	Command pass through Register	Aux mode Register
C006 H	Address 0 Register	Address 0/1 Register
C007 H	Address 1 Register	EOS Register

Tabelle 24: Adresszuordnung zu den Registern des KR 580 WA 91

Die Register werden wie folgt benutzt:

- Das Data in Register enthaelt Programmdate, die der KR 580 WA 91 vom Interfacebus empfangen hat.
- Die Register Interrupt status 1 und 2 enthalten die Informationen, die der KR 580 WA 91 ueber den Interfacebus erhalten hat, und die an den Geratekern weitergegeben werden muessen. Solche Informationen sind beispielweise "der Befehl GET wurde empfangen" oder "in das Data in Register wurde ein neues Byte geschrieben". Der Mikroprozessor fragt die Interrupt status 1, 2 Register laufend ab, sofern nicht gerade eine Messung laeuft, und fuehrt die uebermittelten Anweisungen aus.

- Das Seriell poll status Register wird nicht benutzt.
- Das Address status Register zeigt an, ob der G-2005.500/510 als Talker oder Listener adressiert ist. Der Mikroprozessor liest dieses Register, wenn an der Messwertanzeige der Adressierungszustand aufgerufen ist.
- Das Command pass through Register wird nicht benutzt.
- Das Address 0 Register wird zusammen mit dem Address status Register gelesen. Der Mikroprozessor erkennt daraus die fuer den G-2005.500/510 wirksame Adresse.
- Das Address 1 Register wird nicht benutzt.
- Das Data out Register wird vom Mikroprozessor mit dem auszugehenden Messdatenbyte geladen.
- Die Interrupt enable 1 und 2 Register legen fest, welche der im Interrupt status 1, 2 Register gespeicherten Informationen einen Interrupt (D 204/11 = High) erzeugen. Der Mikroprozessor laedt diese Register in der Einschalt routine so, dass nur der Empfang von DCL oder SDC einen Interrupt erzeugt. Durch Interrupt enable 2 wird festgelegt, dass der Ausgang DREQ (D 204/6) eine ueber den Interfacebus kommende Aufforderung zur Datenausgabe (Talker aktiv und angeschlossene Listener lesebereit) mit DREQ = High meldet. DREQ wird durch den Mikroprozessor durch Lesen von Leitung (D 7)' (D 216/13) des Adressports zusammen mit den Registern Interrupt status 1, 2 abgefragt. DREQ wird wieder Low, wenn der Mikroprozessor in das Data out Register ein neues Byte geschrieben hat.
- In das Serial poll mode Register schreibt der Mikroprozessor das Statusbyte ein. Ist das rsv-Bit dabei gesetzt, wird durch den KR 580 WA 91 automatisch SRQ gesendet. SRQ verschwindet wieder, nachdem das Statusbyte ueber den Interfacebus ausgelesen wurde. Mit Verschwinden von SRQ wird auch das rsv-Bit wieder rueckgesetzt.
- In das Address mode Register wird die Adressierungsart eingeschrieben. Der G-2005.500/510 arbeitet mit einer Primaeradresse zwischen 0 und 30. Die Moeglichkeit der Erweiterung des Adressbereiches durch Sekundaeradressen wird nicht genutzt.
- Durch das Aux mode Register werden bestimmte Betriebsweisen des KR 580 WA 91 festgelegt, z.B. das Senden der Nachricht END in Zusammenhang mit dem EOS Register. Der Mikroprozessor laedt das Aux mode Register waehrend der Einschalt routine.
- In das Address 0/1 Register wird die mit dem Adress-Schalter eingestellte Geraeteadresse eingeschrieben. Der Mikroproaessor laedt dieses Register waehrend der Einschalt routine und bei Betaetigen der Taste RESET.
- In das EOS Register schreibt der Mikroprozessor das ISO-7-bit-Kode-Zeichen LF (Zeilenruecklauf) ein. Immer wenn nun dieses Byte ueber das Data out Register auf den Interfacebus erscheint, sendet der KR 580 WA 91 gleichzeitig EOI = wahr und realisiert somit die Nachricht END.

An Eingang 3 des D 204 wird eine Taktfrequenz zwischen 1 MHz und 8 MHz gelegt. Dieses Taktsignal realisiert die Verzoegerungszeit  $T_1 (> 2 \mu s)$ , die zwischen dem Erscheinen neuer Daten auf dem Interfacebus und dem Senden von DAV = wahr liegen muss.

Der Taktgenerator besteht aus 3 zu einem Ring zusammengeschalteten Invertern von D 216. Diese Schaltung schwingt mit einer Periodendauer, die der doppelten Laufzeit der 3 hintereinander geschalteten Inverter entspricht. Die Schwingfrequenz liegt hier um 4,5 MHz.

#### 1.11.4. Die Empfaenger-/Treiberstufen

Der Interfaceschaltkreis liefert von der Logik und der Funktion her bereits die Signale des IMS-2-Interfacebusses. Nur die Lastbedingungen werden vom KR 580 WA 91 nicht erfuehlt. Deshalb sind entsprechende Treiberstufen erforderlich.

Fuer die Datenleitungen sind dies die 2 bidirektional wirkenden Treiberschaltkreise D 206, D 207. Die Leitung (DIO 8) wird nicht auf den Bustreiber gefuehrt, da nur 7-bit-Informationen uebertragen werden. Am Interfacebus liegt diese Leitung ueber R 236, R 252 staendig auf High. Da auf dem Interfacebus negative Logik gilt, bedeutet dies, dass (DIO 8) 1) immer logisch 0 fuehrt.

Die verbleibende freie Leitung an D 207 wird zur Uebertragung von (EOI) genutzt.

Der DATEN-EMPFAENGER/TREIBER arbeitet bidirektional.

Welche Richtung erforderlich ist, bestimmt der KR 580 WA 91 mit seinem Anschluss T/R 1 (D 204/1). Ist dieser Ausgang High, dann arbeiten D 206, D 207 als Treiber, bei Low als Empfaenger.

Nach TGL 42093 (IMS-2-Interface) wird in Zusammenhang mit dem Signal (ATN) die Einhaltung bestimmter Zeitbedingungen gefordert. So muessen z.B. bei Empfang von (ATN) = Low die Datenleitungen (DIO 1 bis (DIO 8) innerhalb von 200 ns hochohmig werden. Dies erfolgt hier dadurch, dass D 206 und D 207 auf Empfangsrichtung - bezogen auf den Interfacebus - gehen.

Normalerweise wuerde dies ueber D 210/6 durch (T/R 1) = Low an D 210/4, 5 geschehen.

Der Signalweg ist folgender: (ATN) = Low an X 22/12 ist Ausgangspunkt, es folgen 2 Trigger D 214/3, D 213/11, der KR 580 WA 91, Gatter D 210/6 und schliesslich die Treiberschaltkreise selbst, an denen sich letztlich (ATN) = Low auswirkt. Da die Verzoegerungszeit des KR 580 WA 91 bereits 155 ns betragen darf, ist die Einhaltung der Zeitbedingungen von 200 ns nicht sicher garantiert. Deshalb wird der Weg von (ATN) zu den (DIO)-Leitungen verkuerzt, indem der KR 580 WA 91 umgangen und (ATN) direkt ueber C 326 auf die Chip select-Eingaenge von D 206, D 207 eingespeist. Damit werden die Ausgaenge von D 206, D 207 schneller hochohmig als ueber den "normalen" Weg durch (TALK) = High.

Eine aehnliche Problematik ergibt sich beim *DAV-EMPFAENGER/TREIBER*. Hier muss (DAV) innerhalb 200 ns nach (ATN) = Low inaktiv werden (siehe Bild 24b). Deswegen wird dem Gatter D 211/9 (ATN) zugefuehrt. Wird es Low, wird sofort der Open-Kollektor-Ausgang D 211/8 hochohmig.

Bei (TALK) = Low arbeitet der G-2005.500/510 als Sprecher. In diesem Fall ist X 12/C 9 Ausgang und (DAV) wird vom KR 580 WA 91 an D 209/5 und weiter ueber D 211/10 auf den Interfacebus gegeben.

1) Die mit  versehenen Signalbezeichnungen gelten fuer negative Logik. Sie beziehen sich immer auf den Interfacebus.

Arbeitet der G-2005.500/510 als Listener, dann ist (TALK) = High, und X 12/C 9 ist Eingang. Der Ausgang D 211/8 ist in diesem Fall hochohmig wegen D 209/6 = High. Dafuer ist aber der Weg X 12/C 9 - D 209/8, 9 - D 208/8 durch High an D 208/9 freigegeben. (DAV) vom Interfacebus wird dann zum DAV-Anschluss des KR 580 WA 91 gefuehrt.

Beim NDAC-EMFFAENGER/TREIBER ist die Empfangsrichtung durch Low an D 209/11 von X 12/C 11 ueber D 209/12 - D 208/12, 13 - D 208/11 gegeben. Bei Adressierung als Listener muss (NDAC) vom G-2005.500/510 gesendet werden. (TALK) ist dann High und sperrt ueber D 209 den Empfangsweg, wogegen High an D 211/12 den Ausgangstreiber fuer (NDAC) freigibt. Der Signalfluss geht dann vom KR 580 WA 91, Anschluss 38, ueber D 210/9 - D211/13 an X 12/C 11. An D 210/11 liegt ein Low, wenn ATN und RFD wahr sind. Das bedeutet, dass mit Erfuellen dieser Bedingung (NDAC) auf Low geht. Damit wird die Zeitbedingung fuer den Uebergang vom Zustand AIDS in ACRS 1) realisiert (siehe Bild 24a).

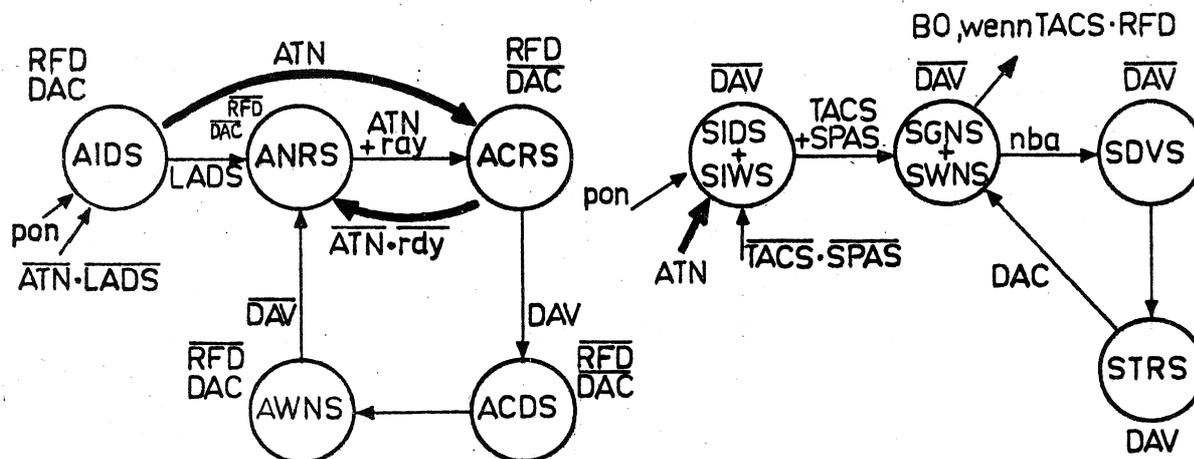


Bild 24: Zustandsgraphen fuer den Acceptor-Handshake (a) und den Source-Handshake (b), wie sie im KR 580 WA 91 realisiert sind

Auch beim NRFD-EMFFAENGER/TREIBER erfolgt die Richtungsumschaltung wie beim NDAC-EMFFAENGER/TREIBER durch das Signal (TALK) an D 211/5 und D 209/2. Ueber Eingang D 212/9, 10 wird der schnelle Uebergang von ACRS nach ANRS im Bild 24a bezueglich des Ausgangssignales (NRFD) realisiert.

- 1) Genaugenommen geht es nicht um die Zustandsaenderung, sondern um die Aenderung des Ausgangssignales DAC bzw. NDAC auf dem Bus. Die Zustandsaenderung vollzieht sich nur im KR 580 WA 91, sie folgt der (vorweggenommenen) Aenderung von DAC nach.

Da das Signal rdy ausserhalb des KR 580 WA 91 nicht verfuegbar ist, wird der High-Low-Uebergang von (ATN) benutzt, um (NRF) fuer kurze Zeit auf Low zu legen. Dazu liefert D 212/6 mit der positiven Flanke von (ATN) einen negativen Impuls von ungefaehr 500 ns Dauer, wenn D 210/8 (NDAC) High ist. Falls nun rdy nicht wahr ist, vollzieht der KR 580 WA 91 die entsprechende Zustandsaenderung und liefert selbst (NRF) = Low. Der Impuls an D 212/6 braucht deshalb nur so lang zu sein, bis der KR 580 WA 91 mit (NRF) = Low nachgefolgt ist. Ist aber rdy wahr, wird der KR 580 WA 91 nicht mit (NRF) = Low nachfolgen, weshalb (NRF) nach Ende des Impulses an D 212/6 wieder High wird. Nach aussen wirkt diese kurzzeitige Wegnahme der Lesebereitschaft durch (ATN) nicht wahr so, als waere rdy erst kurz nach dem Low-High-Uebergang von (ATN) wahr geworden.

#### 1.11.5. Belegung der Eingabe- und Ausgabeports

Die Belegung der Ports ist in den Tabellen 25 bis 39 angegeben. Die Pegelangaben beziehen sich auf die Datenleitungen (D 20) bis (D 27), die zum Mikroprozessor fuehren. Die internen Register des KR 580 WA 91 (siehe auch Abschnitt 1.11.3.) sind dabei nur soweit aufgefuehrt wie sie im G-2005.500/510 genutzt werden.

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	-	wird nicht benutzt
(D 26)	-	wird nicht benutzt
(D 25)	(PW OFF M)	High: Fehler bei der Netzspannung (zu niedrig oder kurzzeitiger Einbruch) Low: Netzspannung in Ordnung
(D 24)	E	/ \ reserviert fuer Sonderfunktionen
(D 23)	D	
(D 22)	C	
(D 21)	B	
(D 20)	A	High: Kennung fuer Variante G-2005.500 Low: Kennung fuer Variante G-2005.510

Tabelle 25: Belegung des HILFSPORTS (nur Lesen, Schreiben setzt PW-OFF-FLIP-FLOP zurueck)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	(DREQ)	High: Es ist keine Datenausgabe gefordert. Low: Der G-2005.500/510 ist aktiver Talker, RFD ist wahr. Der KR 580 WA 91 wartet darauf, dass der Mikroprozessor ein neues Datenbyte in das Data out Register einschreibt. Wenn dies erfolgt ist, wird DREQ wieder High. DREQ wird anstelle von B0 im Interrupt Status 1 Register (Tabelle 28) verwendet.
(D 26)	(PW ON M)	High: Der G-2005.500/510 war vom Netz getrennt und ist wieder eingeschaltet worden. Die Betriebsartenspeicher werden geladen (11.2.) Low: Der G-2005.500/510 war nicht vom Netz getrennt.
(D 25)	(ton)	High: Die vom Adress-Schalter gelieferte Geraetenachricht ton ist wahr. Low: Die Geraetenachricht ton ist nicht wahr.
(D 24)	(ADD 4)	Stelle $\times 2^4$ \
(D 23)	(ADD 3)	Stelle $\times 2^3$   der mit dem Adress-
(D 22)	(ADD 2)	Stelle $\times 2^2$ > Schalter eingestellten
(D 21)	(ADD 1)	Stelle $\times 2^1$   Geraeteadresse, binar
(D 20)	(ADD 0)	Stelle $\times 2^0$ / kodiert, highaktiv

Tabelle 26: Belegung des ADRESSENPORTS (nur Lesen, Schreiben bewirkt Ruecksetzen des PW-ON-FLIP-FLOPS)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	DI 7	Diese Leitung wird beim G-2005.500/510 nicht ausgewertet. Sie ist immer Low wegen R 254.
(D 26)	DI 6	(D 26) bis (D 20) beinhalten die Programm- daten, die der KR 580 WA 91 vom Interface- bus empfangen hat. Der Mikroprozessor liest das Data in Register nach Aufforde- rung durch BI = High (Interrupt Status 1 Register). (D 26) bis (D 20) sind alpha- numerische Zeichen im ISO-7-bit-Kode, highaktiv und entsprechen den negierten Bussignalen <u>DIO 7</u> bis <u>DIO 1</u> .
(D 25)	DI 5	
(D 24)	DI 4	
(D 23)	DI 3	
(D 22)	DI 2	
(D 21)	DI 1	
(D 20)	DI 0	

Tabelle 27: Belegung des Data in Register im KR 580 WA 91 (nur Lesen)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27) (D 26)	CPT APT	Die Bits CPT und APT werden vom G-2005.500/ 510 nicht benutzt.
(D 25)	GET	High: Der KR 580 WA 91 hat die GET-Nachricht empfangen. Der Mikroprozessor reagiert darauf mit Auslösen einer Messung. Low : 1)
(D 24)	END	High: Der KR 580 WA 91 hat die Nachricht END (EOI mit letztem Datenbyte) empfangen. Der Mikroprozessor erkennt daraus das Ende der letzten Programmdateizeile. Low : 1)
(D 23)	DEC	High: Der KR 580 WA 91 hat die Interface- nachricht DCL oder SDC erkannt und sendet einen Interrupt zum Mikropro- zessor. Dieser reagiert darauf mit Ruecksetzen der Register u, t und des Ergebnisregisters und Abbruch einer laufenden Messung. Die Betriebsarten und andere Funktionseinstellungen bleiben davon unberuehrt. Low : 1)
(D 22)	ERR	High: Eine geforderte und durch Laden des Data out Registers durch den Mikro- prozessor eingeleitete Datenausgabe kann nicht beendet werden, weil kein aktiver Listener angeschlossen ist. Low : 1)
(D 21)	BO	High: Der G-2005.500/510 ist aktiver Talker und auf dem Interfacebus ist Lesebe- reitschaft durch <u>NRFD</u> = High ange- zeigt. Der G 2005.500/510 benutzt dieses Bit nicht. Er verwendet stattdessen den DREQ-Ausgang D 204/6 (Tabelle 26).
(D 20)	BI	High: Der KR 580 WA 91 zeigt an, dass er ein neues Programmdateinbyte in das Data in Register eingeschrieben hat. Der Mi- kroprozessor ist aufgefordert, das Data in Register zu lesen. Low: 1)

1) alle Bits werden auf Low gesetzt, nach dem der Mikroprozessor das Interrupt status 1 Register gelesen hat. Dies erfolgt laufend ausserhalb der Messung. Waehrend der Messung reagiert der Mikroprozessor nur auf DEC = High ueber die Interruptleitung.

Tabelle 28: Belegung des Interrupt status 1 Registers im KR 580 WA 91.

Daten- leitung	Bezeich- nung	Bedeutung
(D 27) (D 26)	INT SPAS	INT und SPAS werden vom G-2005.500/510 nicht benutzt.
(D 25)	LLO	High: Der KR 580 WA 91 signalisiert damit, dass die Rueckkehr aus dem Fernsteuerzustand durch die Geraetenachricht rtl = wahr (Taste IMS-2 rtl) nicht moeglich ist. Low : Die Rueckkehr aus dem Fernsteuerzustand ist mit Taste IMS-2 rtl moeglich.
(D 24)	REM	High: Der KR 580 WA 91 signalisiert den Empfang der Interfacenachricht REM und MLA und fordert die Herstellung des Fernsteuerzustandes. Low : Es ist Handsteuerung gefordert. Der Mikroprozessor liest das REM-Bit zusammen mit dem Interrupt status 1 Register laufend wenn nicht gerade eine Messung laeuft.
(D 23) (D 22)	SPASC	SPASC und LLOC werden beim G-2005.500/510 nicht benutzt.
(D 21)	REMC	High: Das REM-Bit ist veraendert worden. Low : Das REM-Bit ist nicht veraendert worden. REMC wird Low, nachdem der Mikroprozessor REMC = High gelesen hat. Der Mikroprozessor benutzt dieses Bit um das Aufheben des Fernsteuerzustandes zu erkennen.
(D 20)	ADSC	Dieses Bit wird beim G-2005.500/510 nicht benutzt.

Tabelle 29: Belegung des Interrupt status 2 Registers im KR 580 WA 91 (nur Lesen)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	ton	High: Der KR 580 WA 91 hat die Geraetenach- richt ton empfangen. Low : Die Geraetenachricht ton wurde nicht erkannt. Der Mikroprozessor liest dieses Bit zur Anzeige des Adressierungszustandes.
(D 26)	lon	\ Diese Bits werden beim G-2005.500/510 / nicht benutzt.
(D 25)	EDI	
(D 24)	LPAS	
(D 23)	TPAS	
(D 22)	LA	High: Der G-2005.500/510 ist als Listener adressiert. Low : Der G-2005.500/510 ist nicht als Listener adressiert. Der Mikroprozessor liest dieses Bit zur Anzeige des Adressierungszustandes.
(D 21)	TA	High: Der G-2005.500/510 ist als Talker adressiert. Low : Der G-2005.500/510 ist nicht als Talker adressiert. Der Mikroprozessor liest dieses Bit zur Anzeige des Adressierungszustandes.
(D 20)	MJMN	Dieses Bit wird nicht benutzt.

Tabelle 30: Belegung des Address status Registers im KR 580 WA 91  
(nur Lesen)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	-	nicht definiert
(D 26)	DT 0	DT 0 und DL 0 werden nicht benutzt.
(D 25)	DL 0	
(D 24)	AD 5-0	Stelle $\times 2^4$ \ der fuer den G-2005.500/510 Stelle $\times 2^3$   wirksamen Adresse, binaer Stelle $\times 2^2$ > kodiert, highaktiv. Der Stelle $\times 2^1$   Mikroprozessor liest diese Stelle $\times 2^0$ / Bits bei Anzeige des Adres- sierungszustandes
(D 23)	AD 4-0	
(D 22)	AD 3-0	
(D 21)	AD 2-0	
(D 20)	AD 1-0	

Tabelle 31: Belegung des Address 0 Registers im KR 580 WA 91  
(nur Lesen)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	DO 7	Dieses Bit wird nicht benutzt.
(D 26)	DO 6	\ Diese Bits bilden ein Messdatenbyte im   ISO-7-bit-Kode, highaktiv. Der Mikropro-   zessor schreibt ein neues Datenbyte in > das Data out Register, wenn er durch   DREQ = High dazu aufgefordert wird. Der   KR 580 WA 91 wickelt dann die Uebertra- / gung dieses Bytes auf dem Interfacebus mit Hilfe des Handshakes selbstaendig ab.
(D 25)	DO 5	
(D 24)	DO 4	
(D 23)	DO 3	
(D 22)	DO 2	
(D 21)	DO 1	
(D 20)	DO 0	

Tabelle 32: Belegung des Data out Registers im KR 580 WA 91  
(nur Schreiben)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	CPT	\ Diese Bits werden durch den Mikroprozes- \ sor waehrend der Einschalt routine auf / Low gesetzt. Die zugehoerigen Bits im / Interrupt status 1 Register verursachen keinen Interrupt.
(D 26)	APT	
(D 25)	GET	
(D 24)	END	
(D 23)	DEC	Dieses Bit wird durch den Mikroprozessor auf High gesetzt. Damit liefert DEC im Interrupt status 1 Register einen Interrupt.
(D 22)	ERR	\ > wie (D 27) bis (D 24) /
(D 21)	BO	
(D 20)	BI	

Tabelle 33: Belegung des Interrupt enable Registers 1 im  
KR 580 WA 91 (nur Schreiben)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27) (D 26)	- -	(D 27), (D 26) werden vom Mikroprozessor in der Einschalt routine mit Low belegt.
(D 25)	DMAO	Dieses Bit wird vom Mikroprozessor in der Einschalt routine mit High belegt und ermoe glicht die Datenausgabe mit Hilfe von DREQ.
(D 24)	DMAI	wie (D 27)
(D 23) (D 22) (D 21) (D 20)	SPASC LLOC REMC ADSC	\ \ / / Diese Bits werden vom Mikroprozessor in der Einschalt routine auf Low gelegt und verhindern damit, dass die zugehoerigen Bits im Interrupt status 2 Register einen Interrupt erzeugen.

Tabelle 34: Belegung des Interrupt enable 2 Registers im KR 580 WA 91 (nur Schreiben)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	S 8	ist immer Low
(D 26)	rsv	Mit Setzen von rsv = High fordert der G-2005.500/510 eine Bedienung an. Der KR 580 WA 91 sendet daraufhin die Nachricht SRQ = wahr. Ein Controller kann nun das Statusbyte ueber den Interfacebus lesen. Damit wird rsv wieder Low.
(D 25)	S 6	S 6 wird High gesetzt, wenn der Mikroprozes sor einen Geraetefehler (z.B. Ueberlauf) er- kannnt hat. Im Normalfall ist dieses Bit Low.
(D 24)	S 5	Dieses Bit ist waehrend der Messung High, sonst Low.
(D 23) (D 22) (D 21) (D 20)	S 4 S 3 S 2 S 1	\ \ / / Diese Bits spezifizieren den durch S 5, S 6 und rsv gegebenen Zustand.

Das Serial poll mode Register wird durch den Mikroprozessor geladen

- vor und nach jeder Messung,
- nach Ende der Datenausgabe,
- bei Ruecksetzen und bei
- Auftreten eines Geraetefehlers.

Tabelle 35: Belegung des Serial poll mode Registers im KR 580 WA 91 (nur Schreiben)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	TO	Durch dieses Bit uebermittelt der Mikroprozessor dem KR 580 WA 91 die Geraetenachrichton. Es wird High gesetzt, wenn ton wahr ist, sonst Low.
(D 26)	LO	\ /         /
(D 25)	-	
(D 24)	-	
(D 23)	-	
(D 22)	-	
(D 21)	ADM 1	Diese Bits werden beim G-2005.500/510 immer Low gesetzt.
(D 20)	ADM 0	Dieses Bit legt in Verbindung mit TO die Adressierungsart des KR 580 WA 91 fest. Es gibt zwei Moeglichkeiten:  - die Adressierung erfolgt durch die Geraetenachrichton; dabei ist TO = High und ADM 0 = Low oder - die Adressierung erfolgt durch die Interfacenachrichten MLA bzw. MTA; dann ist TO = Low und ADM 0 = High.

Tabelle 36: Belegung des Address mode Registers im KR 580 WA 91 (nur Schreiben)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	CNT 2	Der Mikroprozessor legt ueber dieses Register bestimmte Arbeitsweisen des KR 580 WA 91 fest. Dabei werden folgende Kommandos eingegeben.
(D 26)	CNT 1	
(D 25)	CNT 0	
(D 24)	COM 4	000 00000    Aufheben der Verriegelung fuer pon 000 01101    Setzen von rtl 000 00101    Ruecksetzen von rtl 100 01000    Senden der Interfacenachricht END, wenn die Inhalte von EOS Register und Data out Register uebereinstimmen  0 = Low, 1 = High
(D 23)	COM 3	
(D 22)	COM 2	
(D 21)	COM 1	
(D 20)	COM 0	

Tabelle 37: Belegung des Aux mode Registers im KR 580 WA 91 (nur Schreiben)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27)	ARS	Dieses Bit wird Low gesetzt, d.h., es wird die erste Primaeradresse benutzt.
(D 26)	DT	DT und DL werden Low gesetzt, d.h., die Adresse kann Talker- als auch Listener- adresse sein.
(D 25)	DL	
(D 24)	AD 5	Die Bits AD 5 bis AD 1 werden entsprechend der Gerateadresse, die am Adressenschalter eingestellt ist, auf High oder Low gesetzt.
(D 23)	AD 4	
(D 22)	AD 3	
(D 21)	AD 2	
(D 20)	AD 1	

Das Address 0/1 Register wird vom Mikroprozessor waehrend der Einschalt routine oder bei Betaetigen von Taste RESET geladen, wobei in der Einschalt routine die 2. Primaeradresse durch Laden des Address 0/1 Registers mit ARS = DT = DL = High gesperrt wird.

Tabelle 38: Belegung des Address 0/1 Registers im KR 580 WA 91  
(nur Schreiben)

Daten- leitung	Bezeich- nung	Bedeutung
(D 27) bis (D 20)	EC 7 bis EC 0	Das EDS Register wird durch den Mikropro- zessor in der Anfangsroutine mit dem ISO-7-Bit-Steuerzeichen LF geladen, high- aktiv. EC 7 ist dabei immer Low.

Tabelle 39: Belegung des EDS Registers im KR 580 WA 91  
(nur Schreiben)

### 1.12. NETZEINGANG (FG 13)

Diese Funktionsgruppe

- stellt die Betriebsspannung +/-16 V fuer den Thermostaten (FG 16) bereit;
- beinhaltet die Ansteuerung fuer ein Relais, welches die Netzspannung fuer das Analogregelteil (FG 14) und das Schaltregelteil (FG 15) zu- oder abschaltet
- und beinhaltet eine Ueberwachungsschaltung fuer den Luefter auf FG 14.

### 1.12.1. Die Betriebsspannung $\pm 16$ V

Der Thermostat arbeitet immer, wenn der G-2005.500/510 an das Netz angeschlossen ist, unabhängig davon, ob dieser mit dem Netzschalter eingeschaltet oder ausgeschaltet ist.

Transformator T 235 liegt deshalb ueber eine Netzverdrosselung (L 231, C 232) direkt am Netzeingang X 40.

Sekundaerseitig schliesst sich die GLEICHRICHTUNG THERMOSTAT an, die jeweils eine Zweiweggleichrichtung fuer die Betriebsspannungen  $\pm 16$  V und  $-16$  V umfasst.

### 1.12.2. Die Relaissteuerung (A 219)

Nach der Netzverdrosselung werden beide Phasen der Netzspannung ueber die Relaiskontakte von K 210/6, 7 bzw K 210/3, 4 gefuehrt und weiter zu FG 15 und FG 14 geleitet.

Zur Steuerung fuer das Relais K 210 wird die Thermostatbetriebsspannung  $+16$  V auf  $+12,6$  V stabilisiert. Dies geschieht mit Hilfe eines Regelteiles, dessen Hauptbestandteile der Operationsverstaerker N 201 und der Laengstransistor V 202 sind. Die Ausgangsspannung wird ueber einen Teiler R 217, R 218, R 220 abgegriffen und als IST-Wert dem nichtinvertierenden Eingang N 201/3 zugefuehrt. Der SOLL-Wert wird durch die Z-Diode V 209 erzeugt, die von einem durch R 219 von der Ausgangsspannung abgeleiteten Strom durchflossen wird. Im Einschaltmoment weare deshalb auch der SOLL-Wert Null und das Regelteil koennte nicht "anlaufen".

Deshalb wird ueber C 224 waehrend des "Hochlaufens" der Betriebsspannung  $+16$  V im Einschaltmoment eine Spannung auf den SOLL-Eingang des Operationsverstaerkers gegeben, wodurch die Spannung an N 201/2 eindeutig positiv gegenueber der an N 201/3 ist und V 202 wird durch den nach "unten" gehenden Ausgang N 201/6 durchgesteuert. Damit entsteht am Kollektor V 202 eine Spannung, die nun ihrerseits auch den SOLL-Wert aufrechterhaelt.

Das Relais ist einseitig mit  $+12,6$  V verbunden. Ueber die Thermo-sicherung F 228 und den Netzschalter S 315 auf A 212 kann die andere Seite auf Masse gelegt werden, das Relais zieht an und schaltet somit die Netzspannung fuer FG 14, 15 ein.

Die Spannung  $+12,6$  V wird ausserdem noch als Stuetzspannung fuer den RAM-SPEICHER auf FG 10 genutzt.

### 1.12.3. Luefterueberwachung (A 223)

Zur besseren Waermeabfuhr ist der G-2005.500/510 mit einem Luefter (M 242 auf FG 14) versehen.

Um Schaeden am Geraet durch zu hohe Temperaturen bei stillstehendem Luefter zu vermeiden, wird bei Luefterstillstand die Thermosicherung F 228 auf A 219 durch die Heizwicklung R 226 auf A 219 auf ueber  $96$  Grad C erwaermt und die Sicherung spricht an, d.h. der Relaisstromkreis wird unterbrochen, das Relais faellt ab und schaltet so das Geraet aus (bis auf den Thermostaten).

Der Luefter ist mit einer in Sektoren aufgeteilten Scheibe versehen, wobei die einzelnen Sektoren einfallendes Licht abwechselnd gut und schlecht reflektieren. Diese Scheibe wird von einer Infrarotdiode B 201 angestrahlt. Die reflektierte Strahlung wird von dem Fototransistor B 202 empfangen. Bei sich drehendem Luefter entsteht dadurch an B 202/K eine Impulsfolge, die ueber C 208 dem Schaltkreis N 203 zugefuehrt wird. Dieser Schaltkreis liefert an seinem Ausgang N 203/10 ohne Eingangssignal (N 203/3 liegt durch R 207 auf High) - also bei stehendem Luefter - Low-Pegel, wodurch das Aufheizen der Thermosicherung bewirkt wird. Dreht sich der Luefter, erscheinen an B 202/K Impulse, die den Eingang N 203/3 auf Low ziehen. N 203/10 schaltet auf High. Die Wirkung von N 203 besteht darin, dass mit Ende des Impulses an N 203/3 der Ausgang erst nach einer durch C 209 bestimmten Verzoegerungszeit wieder auf Low geht. Jeder Eingangsimpuls loest diese Zeit erneut aus. Wenn nun die Eingangsimpulse so schnell hintereinander auftreffen, dass jeder neue Impuls in die Verzoegerungszeit des vorhergehenden faellt, dann bleibt der Ausgang N 203/10 staendig auf High, Transistor V 227 auf A 219 ist gesperrt, die Thermosicherung wird nicht beheizt. Dies ist der normale Betriebsfall. Die Funktion von N 203 ist aehnlich der eines retriggerbaren Multivibrators.

### 1.13. ANALOGREGELTEIL (FG 14)

Diese Funktionsgruppe stellt die Betriebsspannungen +15 V, -15 V, und -5,2 V zur Versorgung analoger Schaltungen und zur Speisung von ECL-Schaltkreisen bereit.

#### 1.13.1. Transformator und Gleichrichtung

Der Transformator T 244 liegt primaerseitig an der von FG 13 gelieferten Netzspannung (LINE 1, 2). Eine Mittelanzapfung versorgt den Luefter mit 110 V.

Die Sekundaerseite von T 244 speist die Gleichrichtung auf A 215. Alle Gleichrichterschaltungen sind als Graetzschaltungen ausgefuehrt. Die drei Gleichspannungen sind ueber die Sekundaerwicklungen galvanisch getrennt.

#### 1.13.2. Das REGELTEIL +15 V

Das Prinzip ist in Bild 25 dargestellt.

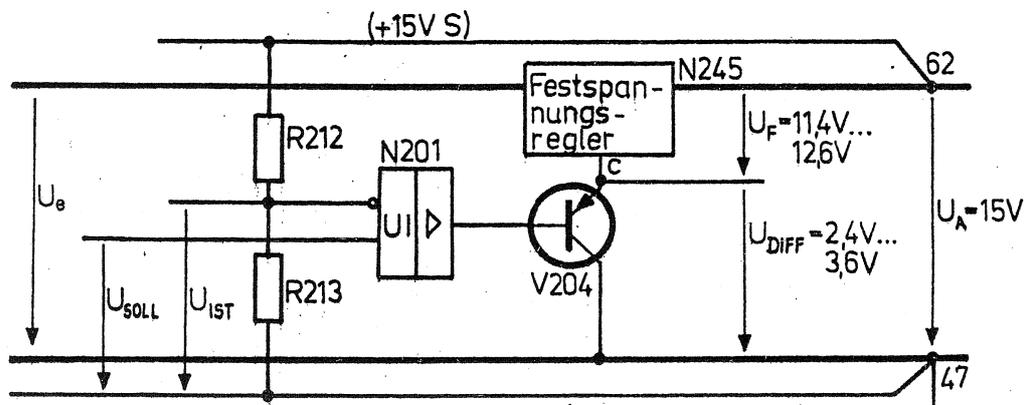


Bild 25: Prinzip des REGELTEILES +15 V

Das Regelteil besteht aus einem Festspannungsregler N 245, der nicht wie ueblich gegen Masse geschaltet ist, sondern dessen Bezugspunkt C auf eine Spannung  $U_{DIFF}$  arbeitet. Diese Spannung wird durch den Operationsverstaerker N 201 so nachgeregelt, dass die Ausgangsspannung  $U_A$  immer konstant +15 V ist. Um den Einfluss der Leitungswiderstaende auszuschalten, wird die Ausgangsspannung vom Verteilungspunkt 62 aus ueber eine "Sense"-Leitung zurueckgefuehrt. Das gleiche gilt auch fuer die Masseleitung (GND SENSE). Ueber R 212, R 213 wird die Ausgangsspannung als IST-Wert dem Regelkreis zugefuehrt. Der SOLL-Wert wird von der Referenzdiode V 203 geliefert. Er wird mit R 210 so abgeglichen, dass sich  $U_A = +15 V$  einstellt. Eine Strombegrenzung im Kurzschlussfall realisiert der Festspannungsregler. Ueber V 261, V 262 und R 259 wird dabei sichergestellt, dass V 204 im Kurzschlussfall durchgesteuert ist und damit der Bezugspunkt C von N 245 praktisch auf Masse (GND +15 V) liegt.

#### 1.13.3. Das REGELTEIL -15 V

Dieses Regelteil arbeitet nach demselben Prinzip wie das +15 V-Regelteil. Der SOLL-IST-Vergleich erfolgt hier durch Addition der Ausgangsspannungen des +15 V- und des -15 V-Regelteiles an RN 216. Da Eingang 2 von N 201 ueber R 217 auf dem gemeinsamen Massepunkt liegt, wird sich die Ausgangsspannung des REGELTEILES -15 V so einstellen, dass die Spannung am Summenpunkt RN 216/2, 3 ebenfalls Null ist, d.h., die Ausgangsspannungen beider Regelteile sind betragsmaessig gleich gross. Ein gesonderter Abgleich ist deshalb fuer das -15 V Regelteil nicht erforderlich.

#### 1.13.4. Das REGELTEIL -5,2 V

Das Prinzip ist im Bild 26a dargestellt.

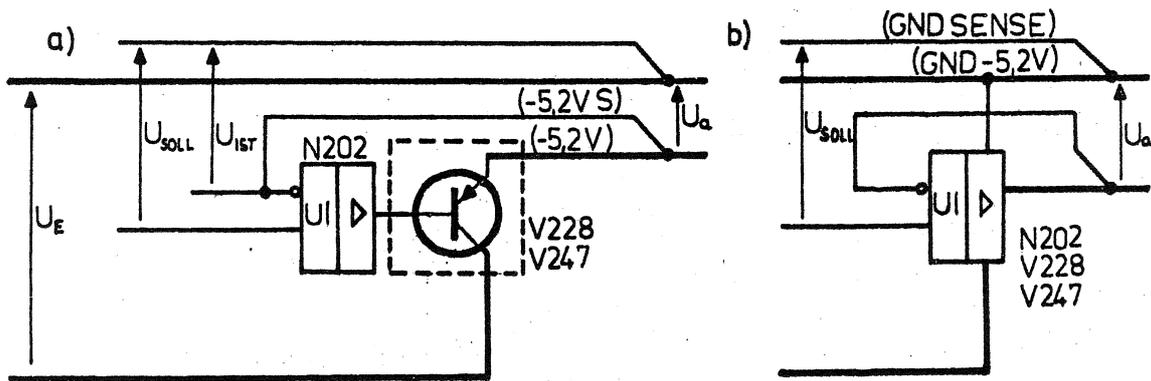


Bild 26: Prinzip des REGELTEILES -15 V (a) und weiter vereinfacht (b)

Die Kombination der Transistoren V 247 und V 228 kann als ein einziger pnp-Transistor aufgefasst werden, der dem Operationsverstärker N 202 als Emitterfolger nachgeschaltet ist. Der SOLL-IST-Vergleich wird hier wie beim +15 V-Regelteil direkt an den Eingängen 2 und 3 von N 202 ausgeführt. Auch die "Sense"-Leitungen werden in gleicher Weise benutzt. Der SOLL-Wert wird durch Spannungsteilung (R 231 - R 233) aus der Spannung -15 V gewonnen. Mit R 232 wird die Ausgangsspannung  $U_a$  auf -5,2 V eingestellt. Denkt man sich N 202 und V 228, 247 zu einem Operationsverstärker zusammengefasst, erkennt man unschwer, dass dieser (auf  $v = 1$  gegengekoppelt) wie ein einfacher Impedanzwandler bezüglich der Spannung  $U_{SOLL}$  wirkt (siehe Bild 26b). Anhand von Bild 27 soll die rücklaufige Strombegrenzung erklärt werden.

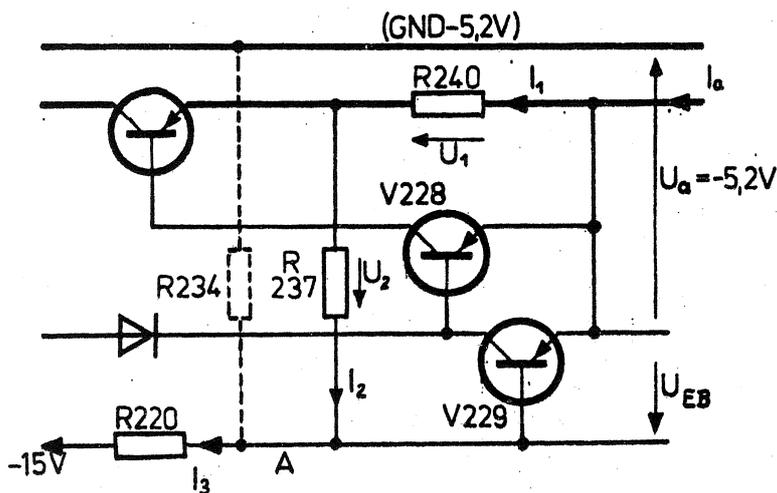


Bild 27: Prinzip der rücklaufigen Strombegrenzung beim REGELTEIL -5,2 V

Der Strombegrenzungswiderstand ist R 240. Er wird vom Strom  $I_1$  durchflossen, der etwa dem Ausgangsstrom  $I_2$  entspricht.  $I_1$  ruft an R 240 den Spannungsabfall  $U_1$  hervor. Dazu addiert sich der Spannungsabfall  $U_2$  ueber R 237. Wenn die Begrenzung wirksam ist, arbeitet V 229 im aktiven Bereich, d.h., seine Emitter-Basis-Spannung ist etwa konstant 0,7 V. Damit muss im Begrenzungsfall die Summe der Spannungsabfaelle  $U_1$  und  $U_2$  ebenfalls etwa konstant sein.

Zum einfacheren Verstaendnis denke man sich R 234 fort. Fuer diesen Fall gelten auch die in Bild 27 angegebenen Richtungen der Stroeme und Spannungsabfaelle.

Bei Kurzschluss am Ausgang wird die Spannung an dem Punkt A um 5,2 V positiver, so dass sich  $I_1$  in der angegebenen Richtung vergroessert. Damit vergroessern sich aber auch  $I_2$  bzw.  $U_2$ , so dass  $U_1$  wegen der Konstanz der Summenspannung abnehmen muss. Das geschieht dadurch, dass ein geringer Teil des Zuwachses von  $I_1$  als Basisstrom durch V 229 fliesst, wodurch dieser staerker durchsteuert und ein "Zuregeln" der Transistoren V 228 und V 247 bewirkt. Der Ausgangsstrom nimmt ab.

R 237 legt dabei zunaechst hauptsaechlich die Groesse des Kurzschluss-Stromes fest, R 234 hingegen bestimmt hauptsaechlich den Einsatzpunkt der Strombegrenzung im normalen Betriebsfall.

#### 1.13.5. Die NETZKONTROLLE

Bei zu kleiner Netzspannung koennen die Regelteile ihre Ausgangsspannung nicht halten. Es kommt zu erhoehten "Brummspannungen" und als Folge davon zu Fehlmessungen. Dieser Fall wird dem Mikroprozessor ueber das Signal (PW OFF) mitgeteilt (vergleiche Abschnitt 1.11.2.). Dieser reagiert darauf durch Anzeige einer Fehlermeldung anstelle des Messergebnisses.

N 249 ist als Trigger geschaltet. Der Eingang dieses Triggers ist Anschluss 6 von N 249. Hier liegt ueber dem Spannungsteiler R 252 bis R 254 die unregelmassige Spannung des +15 V-Regelteiles an. Diese Spannung wird als Mass fuer die Groesse der Netzspannung genutzt. Im normalen Betriebsfall (220 V +/- 22 V) liegt die Spannung an Anschluss 6 von N 249 immer so, dass die obere Hystereseschwelle des Triggers stets ueberschritten, die untere Hystereseschwelle jedoch nicht unterschritten wird.

Ausgang 7 von N 249 liegt damit staendig auf Low und V 251 ist gesperrt.

Bei zu starkem Absinken der Netzspannung wird die Spannung an N 249/6 kleiner und die untere Hystereseschwelle wird unterschritten. Ausgang 7 von N 249 geht auf High und V 251 wird durchgesteuert.

#### 1.14. SCHALTREGELTEIL (FG 15)

Diese Funktionsgruppe stellt die Betriebsspannung +5 V bereit. Die Betriebsspannung wird aufgeteilt und

- FG 2 bis FG 6, FG 8 als (+5 V HF),
- FG 1 als (+5 V MX),
- FG 13 als (+5 V L) fuer die Luefterabschaltung sowie
- FG 9, 10 und FG 12 als (+5 V D)

zugefuehrt.

### 1.14.1. Prinzip des Sperrwandlers

Das Schaltregelteil benutzt zur Umwandlung der gleichgerichteten Netzspannung in die Betriebsspannung +5 V einen Sperrwandler, der die galvanische Trennung zwischen Netzspannung und Betriebsspannung realisiert und der gleichzeitig in einen Regelkreis einbezogen ist, der ueber Aenderung des Tastverhaeltnisses die Ausgangsspannung +5 V konstant haelt. Das Prinzip dieses Sperrwandlers wird in Bild 28 erlaeutert.

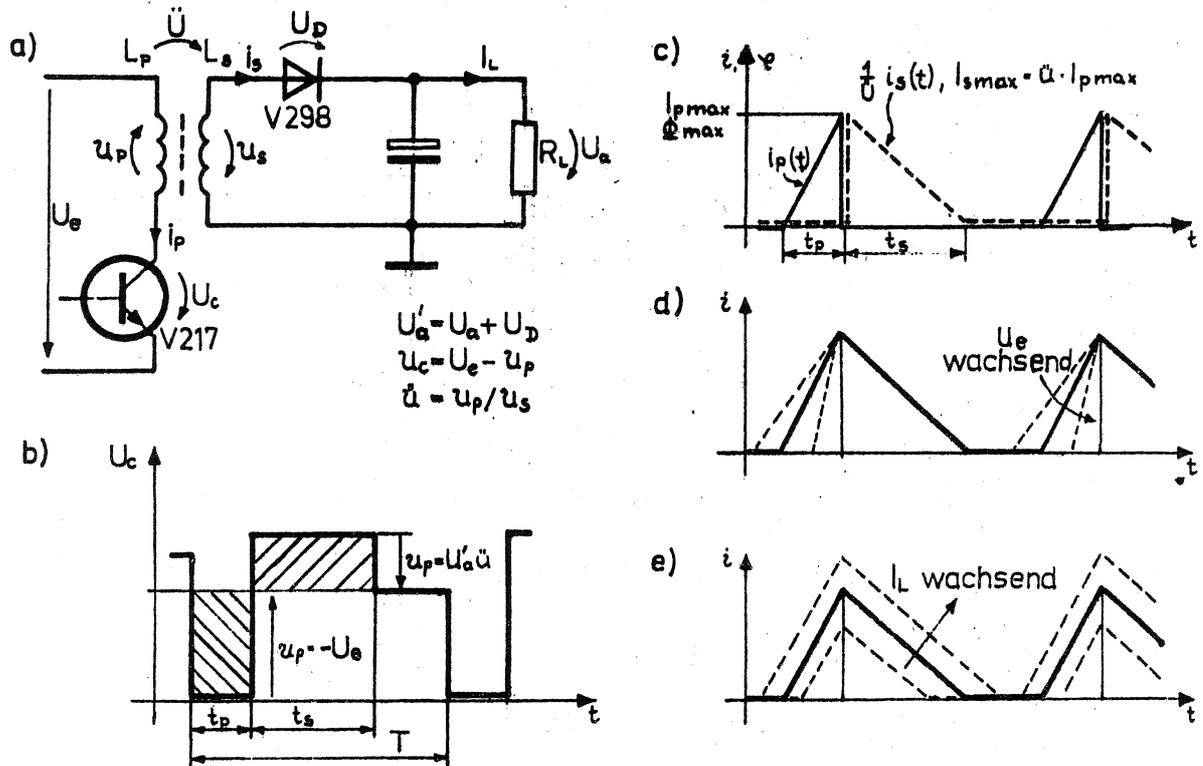


Bild 28: Prinzipschaltung (a), Kollektorspannung (b) und Stromverlaeufe (c) bis (e) beim Sperrwandler

Der Schalttransistor V 217 ist waehrend der Zeit t<sub>p</sub> durchgesteuert. Dann ist die Spannung an der Primaerwicklung von T 203 u<sub>p</sub> = -U<sub>e</sub>. Die Sekunduerspannung u<sub>s</sub> ist ebenfalls negativ und V 298 ist gesperrt.

Der Strom in der Primaerwicklung i<sub>p</sub> ist im ersten Moment Null und nimmt dann linear zu bis zu einem Wert I<sub>pmax</sub> (siehe Bild 28c). Zu diesem Zeitpunkt wird V 217 gesperrt. Der zu I<sub>pmax</sub> gehoerende magnetische Fluss im Kern φ<sub>max</sub> muss aufrechterhalten werden. Deshalb wird die Kollektorspannung von V 217 zunehmen, bis schliesslich bei einem Wert u<sub>p</sub> = U<sub>a</sub>' x u<sub>e</sub> die Sekunduerspannung so gross geworden ist, dass der Fluss φ<sub>max</sub> nun durch Stromfluss in der Sekunduerwicklung von T 203 ueber die bei u<sub>s</sub> = U<sub>a</sub>' in Flussrichtung arbeitende Diode V 298 aufrechterhalten werden kann. In dem Moment, wo der Primaerstrom von I<sub>pmax</sub> auf Null geht, springt der Sekunduerstrom von Null auf I<sub>smax</sub>. Damit dieser ebenfalls den Fluss φ<sub>max</sub> erzeugt, muss gelten:

$$I_{smax} = u_e \times I_{pmax} .$$

Danach wird der Fluss  $\Phi$  und damit auch  $i_s$  linear abgebaut, weil jetzt die Spannung ueber der Primaerwicklung positiv ist. Da ueber der Primaerwicklung die Gleichspannung Null sein muss, muessen die beiden im Bild 28b schraffierten Flaechen gleich gross sein:

$$U_e \times t_p = u_e \times U_a' \times t_s.$$

Haelt man die Bedingungen der Sekundaerseite konstant ( $U_a$ ,  $R_L$  = konstant) und veraendert  $U_e$ , dann veraendert sich das primaerseitige Stromdreieck, weil sich die Stromanstiegsgeschwindigkeit gemaess:

$$I_{pmax} / t_p = U_e / L_p$$

aendert (siehe Bild 28d).  $I_{pmax}$  bleibt konstant, weil sich die Leistung auf der Sekundaerseite voraussetzungsgemaess nicht veraendert hat. Bild 28e zeigt die Veraenderung des Stromdreiecks, wenn bei  $U_e$  und  $U_a' =$  konstant die uebertragene Leistung durch Aenderung des Lastwiderstandes oder des Laststromes  $I_L$  veraendert wird. Beide Dreiecke werden mit zunehmendem Laststrom  $I_L$  groesser. Die Anstiegsgeschwindigkeit des Primaerstromes bleibt konstant, weil sich  $U_e$  nicht aendert. Die Abfallgeschwindigkeit des Sekundaerstromes bleibt konstant, weil  $U_a$  sich voraussetzungsgemaess ebenfalls nicht aendern soll.

Der Laststrom  $I_L$  wird durch den Gleichstromanteil von  $i_s(t)$  gebildet, also durch die von  $i_s(t)$  eingeschlossene Flaechen. Bei konstanter Spannung  $U_a$  waechst offensichtlich die von  $i_s(t)$  gebildete Flaechen quadratisch mit Vergroessern von  $I_{pmax}$ . Folglich wird  $I_L$  proportional zu  $I_{pmax}^2$  sein und es wird gelten muessen

$$U_e \times t_p \sim \sqrt{I_L}, \text{ bzw. mit } t_p / T = k$$

$$k \sim \sqrt{I_L} / U_e,$$

immer unter der Voraussetzung, dass  $U_a'$  konstant gehalten wird. Dies ist Aufgabe des Regelteiles, da  $U_a' = U_a$  ist, wenn man die Diodenfluss-Spannung  $U_d$  vernachlaessigt.

Der Regelkreis wirkt einer Aenderung der Eingangsspannung  $U_e$  oder des Laststromes  $I_L$  dadurch entgegen, dass das Tastverhaeltnis entsprechend obiger Beziehung korrigiert wird und damit  $U_a'$  bzw.  $U_a$  konstant gehalten wird. Der groesste Wert fuer das Tastverhaeltnis ergibt sich bei kleinster Eingangsspannung und maximalem Laststrom.

#### 1.14.2. Die Primaerseite (A 218)

Die Netzspannung gelangt ueber eine Verdrosselung (L 243 auf A 217, C 233) auf die GLEICHRICHTUNG. Sie liefert die Gleichspannung  $U_e$  fuer die folgende Schaltstufe, die den oben beschriebenen Sperrwandler darstellt. Im Moment des Abschaltens tritt infolge der Streuinduktivitaet von T 203 eine erhebliche Spannungsspitze am Kollektor von V 217 auf. Diese wird mit C 205, R 207 und V 218 (SOAR-Beschaltung) auf einen fuer V 217 zulaessigen Wert begrenzt. Am Emitter von V 217 baut sich ueber R 208 eine Spannung auf, die naeherungsweise dem fliessenden Primaerstrom  $i_p$  proportional ist.

Diese Spannung wird ueber R 214, R 211 auf die Eingangsdiode des Optokopplers U 215 gegeben. Bei Erreichen eines bestimmten Wertes fuer den Primaerstrom wird schliesslich der Ausgangstransistor des U 215 leitend und die Spannung an U 215/5 wird von High auf Low uebergehen. Dadurch wird ueber N 201, V 202 und T 204 ein sofortiges Sperren von V 217 erreicht. Nach Ausschalten von V 218 veranlasst der Ansteuerschaltkreis N 201 ein langsames "Wiederanlaufen" der Schaltung (siehe Abschnitt 1.14.3.). Ueber T 204 wird der Leistungstransistor V 217 angesteuert.

### 1.14.3. Die Sekundaerseite

Der Sekundaerstrom  $i_s(t)$  nach Bild 28 fliesst ueber V 298 und laedt die Siebkondensatoren C 240 bis C 242 auf die durch die Re= gelung festgelegte Ausgangsspannung von +5 V auf. L 239, L 238 und C 242 wirken als zusaetzliches Siebglied, so dass die verbleiben- den Reste der Schaltfrequenz von 20 kHz hinreichend klein bleiben. Die STEUERSCHALTUNG beinhaltet im wesentlichen den Ansteuer- schaltkreis N 201. Er enthaelt die fuer die Spannungsregelung ueber das Tastverhaeltnis erforderlichen Schaltungsteile und re- alisiert verschiedene Schutzfunktionen.

Ueber den Spannungsteiler R 225 bis R 227 wird dem Schaltkreisein- gang N 201/3 ein Teil der Ausgangsspannung zugefuehrt. Die Aus- gangsspannung wird, um Regelkreisschwingungen zu vermeiden, vor der Drossel L 239, L 238 abgegriffen.

Zwischen N 201/3 und N 201/4 liegt ein Regelverstaerker, der ueber R 217, R 218 gegengekoppelt ist. C 235 erzeugt eine fuer stabiles Regelverhalten erforderliche Integratorwirkung.

N 201 enthaelt ausserdem einen Saegezahngenerator, dessen Frequenz der Schaltfrequenz des Schaltnetztes entspricht. Sie wird von C 234 und R 211, R 212 bestimmt und mit R 212 auf 20 kHz abgegli- chen.

Saegezahnspannung und Ausgangsspannung des Regelverstaerkers an N 201/4 werden schaltkreisintern verglichen, und daraus wird ein Rechtecksignal abgeleitet, dessen Tastverhaeltnis der Spannung an N 201/4 proportional ist und das folglich ueber Eingang N 201/3 gesteuert werden kann (siehe Bild 29).

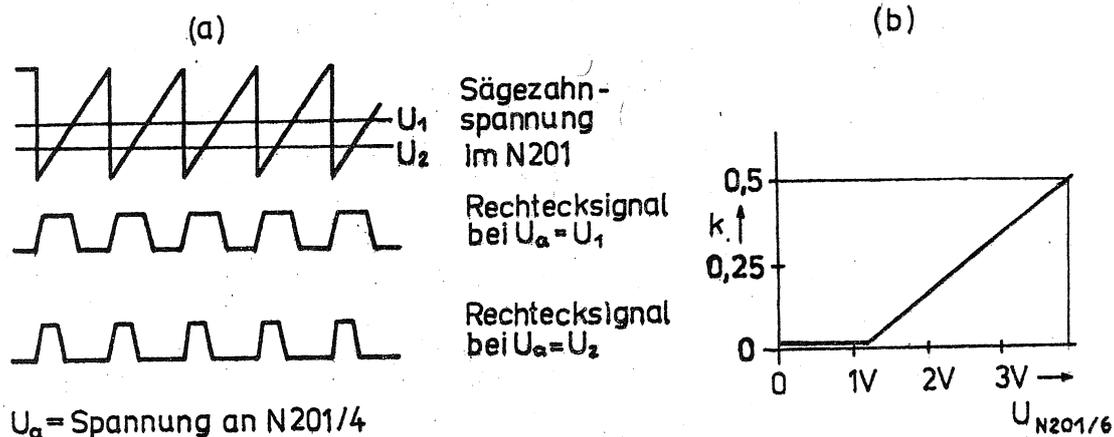


Bild 29: Prinzip der Erzeugung eines Rechtecksignals mit steuerbarem Tastverhaeltnis (a) und Beeinflussung des Tastverhaeltnisses ueber Eingang 6 (b) beim B 260

Wird die Eingangsspannung  $U_i$  an N 201/3 kleiner, wird das Tastverhaeltnis groesser. Damit wird die Ausgangsspannung des Schaltregelteiles groesser und  $U_i$  wird groesser, d.h. ueber den Regelkreis wird jeder Aenderung von  $U_i$  durch Aendern des Tastverhaeltnisses entgegengewirkt und damit die Ausgangsspannung konstant gehalten. Vergleichswert ist eine im Schaltkreis N 201 vorhandene Referenzspannung von etwa 3,6 V.

Mit R 214 bis R 216 wird das Tastverhaeltnis auf einen Maximalwert begrenzt. Das maximale Tastverhaeltnis haengt von der Spannung an N 201/6 ab (siehe Bild 29b). Es wird mit R 215 auf 0,5 eingestellt.

Im Einschaltmoment ist die Spannung an N 201/6 0 V. Sie kann nur langsam ihren Endwert erreichen, weil sich C 231 erst aufladen muss. Waehrend dieser Zeit ist das Tastverhaeltnis 0 bzw. laeuft langsam auf den Endwert 0,5 zu. Dieser Endwert wird praktisch meist nicht erreicht, da vorher der Regelkreis einsetzt, und das Tastverhaeltnis so einstellt, dass eine Ausgangsspannung von +5 V erreicht wird.

Die STROMBEGRENZUNG SEKUNDAER nutzt den Gleichspannungsabfall ueber der Drossel L 238, der ueber deren ohmschen Widerstand entsteht. Ueber R 223, R 224 wird an N 208/2 ein negativer Vergleichswert eingestellt. Der Spannungsabfall ueber L 238, der dem Ausgangsstrom proportional ist, wird dem Eingang N 208/3 zugefuehrt.

Wird dieser Spannungsabfall so gross, dass die Spannungen an N 208/2, 3 gleich gross werden, wird der Ausgang 6 von N 208 auf Spannung 0 zu gehen. Damit wird ueber V 206 und N 201/5 in den Pulsdauermodulator eingegriffen und das Tastverhaeltnis zurueckgenommen.

Die Strombegrenzung setzt bei etwa 4... 5 A ein. Im Kurzschlussfall fehlt die Spannung +5 V an R 247. Dadurch wird der Strombegrenzungseinsatz zu kleineren Werten hin verschoben (ruecklaufige Strombegrenzung).

### 1.15. THERMOSTAT (FG 16)

Diese Funktionsgruppe stellt die interne Referenzfrequenz 10 MHz fuer FG 6 bereit. Die Referenzfrequenz wird von einem Quarzoszillator erzeugt, der zur Erzielung einer geringen Temperaturabhaengigkeit in einem Thermostaten bei 70 Grad C arbeitet.

#### 1.15.1. Der Oszillatorteil (A 221)

Der *QUARZOSZILLATOR* arbeitet in  $\pi$ -Schaltung. Die den eigentlichen Resonanzkreis bildenden Schaltkreiselemente sind:

- ein Parallelkreis L 222, C 223, C 224, der auf etwa 3,5 MHz abgestimmt ist und der zur Unterdrueckung von Nebenresonanzen des Quarzes dient;
- Ziehspule L 225 und Ziehkondensator C 248, die beide fuer den Grobabweich (Ausgleich der Fertigungstoleranz des Quarzes) verwendet werden;

- die Kapazitaetsdioden V 230, V 231 in Verbindung mit C 227, die den Feinabgleich ueber das Wendepotentiometer R 232 auf A 220 ermoeglichen und die ueber (AFC HI) die Frequenzsynchronisation des Quarzoszillators in Zusammenhang mit dem Phasenregelkreis bei Betrieb mit externer Normalfrequenz bewirken (siehe Abschnitt 1.6.6.);
- der Quarz als wesentliches frequenzbestimmendes Element und
- der Kondensator C 228.

Der Quarz arbeitet etwas oberhalb der Serienresonanz und wirkt fuer die Schwingfrequenz des Oszillators wie eine Induktivitaet. Die Reihenschaltung von Ziehelementen, Quarz und Kapazitaetsdioden im Laengszweig ist insgesamt auch als Induktivitaet anzusehen. L 222, C 224, C 223 sind bei der Schwingfrequenz von 10 MHz kapazitiv. Der Quarz ist ein Oberwellenquarz, dessen Grundwelle bei etwa 3,3 MHz liegt. Bei dieser Frequenz ist der Parallelkreis L 222, C 223, C 224 induktiv und die Schwingbedingung ist nicht erfuehrt. Oberhalb von 10 MHz liegende Nebenresonanzen des Quarzes besitzen eine zu geringe Resonanzguete und lassen sich deshalb nicht anregen.

V 221 ist der Rueckkopplungstransistor. Seine Steilheit und damit die Groesse der in den Schwingkreis zurueckgefuehrten Energie kann durch den Kollektorstrom von V 213 beeinflusst werden.

Die Oszillatorspannung wird an C 228 durch einen Emitterfolger V 240 hochhoemig ausgekoppelt und in V 241 verstaerkt. Die Gegenkopplung ueber R 238 stabilisiert den Arbeitspunkt der aus V 240, V 241 bestehenden Verstaerkerstufe. Am Emitter von V 249 steht die verstaerkte Oszillatorspannung niederhoemig zur Verfuegung.

Die *AMPLITUDENREGELUNG* ist eine Spannungsverdoeplerschaltung mit V 216, V 215, die V 213 in Abhaengigkeit von der Oszillatorspannung steuert. Im Einschaltmoment ist diese zunaechst Null, V 213 ist ueber R 218 durchgesteuert. V 221 arbeitet dann mit maximaler Steilheit, so dass der Oszillator sicher anschwingt.

Mit zunehmender Oszillatorspannung entsteht an V 215/K eine positiver werdende Richtspannung. Der Strom in V 213 wird kleiner und damit auch die Steilheit von V 221. Die Oszillatorspannung stellt sich dabei so ein, dass die Steilheit von V 221 gerade ausreicht, damit die Schwingbedingung fuer den Oszillator erfuehrt ist. Die Oszillatorspannung wird auf diese Weise konstant gehalten. Die Groesse der Oszillatorspannung haengt von der Verstaerkung von V 241 ab. Sie wird mit R 246 abgeglichen. Die *AMPLITUDENREGELUNG* ermoeglicht es, ueber die Regelung der Spannung an C 228 auch den Schwingkreisstrom und damit den Quarzstrom/hinreichend klein und stabil zu halten. Dies ist fuer gute Frequenzstabilitaet wichtig. Ueber den auf A 220 befindlichen *TRENNVERSTAERKER* wird die Oszillatorspannung nochmals selektiv verstaerkt und ueber T 250 niederhoemig an FG 6 weitergeleitet.

#### 1.15.2. Der Aufbau des Thermostaten

Die Heizwicklung ist auf einen Aluminiumzylinder untergebracht, in dem der Thermistor R 239 als temperaturabhaengiges Bauelement eingelegt ist. Dadurch ergibt sich ein enger thermischer Kontakt zwischen Heizwicklung und Thermistor.

Um eine gute thermische Isolation zu erreichen, ist der Aluminiumzylinder in einem Thermosgefäß untergebracht. Im Innern des Kupferzylinders wird die Temperatur auf 70 Grad C konstantgehalten. Hier ist die Leiterplatte A 221 zusammen mit dem Schwingquarz C 238, einer Thermosicherung F 237 und einem temperaturabhängigen Widerstand R 236 angeordnet. Über R 236 kann die Temperatur im Innenraum des Zylinders kontrolliert werden.

### 1.15.3. Der Temperaturregelkreis

Der Thermistor ist elektrisch Teil einer *TEMPERATURBRÜCKE*. Die Brückenspannung wird einem Operationsverstärker mit nachfolgendem *LEISTUNGSVERSTÄRKER*, an den die Heizwicklung angeschlossen ist, zugeführt.

Jede Temperaturenderung macht sich deshalb an den Eingängen des Operationsverstärkers bemerkbar und hat eine Erhöhung bzw. Verminderung der Heizleistung zur Folge.

C 254 auf A 221 begrenzt die Verstärkung des Operationsverstärkers bei hohen Frequenzen und verhindert so Eigenschwingungen des aus N 209 auf A 221 und dem *LEISTUNGSVERSTÄRKER* auf A 220 bestehenden und mit A 221/R 207 auf eine Verstärkung von etwa 4000 gekoppelten Regelverstärkers.

In Reihe zur Heizwicklung liegt eine Thermosicherung F 237. Bei Überschreiten einer bestimmten Temperatur (96 Grad C) im Falle eines Defektes im Temperaturregelkreis unterbricht diese Sicherung den Stromfluss in der Heizwicklung, so dass ein weiteres Aufheizen vermieden wird.

Gleichzeitig wird über Transistor V 203 auf A 220 der gesamte Oszillatorteil durch Abschalten der Betriebsspannung +10 V stillgelegt.

Auf A 220 befindet sich noch eine *HEIZUNGSKONTROLLE*. Sie gewährleistet eine optische Kontrolle des Regelzustandes des Thermostaten durch eine FG 1 zugeordnete LED.

Im eingeschwungenen Zustand des Regelkreises liegt die Basis von V 212 auf etwa 0 V, die Heizwicklung selbst (V 218/E) auf etwa 7 V. Damit sind Diode V 219 und Z-Diode V 226 gesperrt, so dass Transistor V 227 ebenfalls gesperrt ist.

V 254 und V 255 sind dann wegen R 257 ständig durchgesteuert und die LED auf FG 1 leuchtet kontinuierlich. Damit wird signalisiert, dass der Regelzustand erreicht ist.

Im Fall des Anheizens liegen an der Basis von V 212 etwa 6 V. Dadurch wird V 227 über die Diode V 219 durchgesteuert. R 256 wird deshalb über den Kollektor von V 227 praktisch auf Masse gelegt. Nun arbeiten die Transistoren V 254, V 255 als astabiler Multivibrator. Die LED auf FG 1 blinkt und signalisiert, dass sich der Thermostat im Anheizzustand befindet.

Während des Anheizens ist die Spannung über der Heizwicklung grösser als 10 V, so dass sich in diesem Fall über V 226 die gleiche Wirkung wie über V 219 ergibt. V 226 bewirkt jedoch auch das Durchsteuern von V 227 im Fall eines Defektes im Regelkreis, z.B. bei Kurzschluss der Kollektor-Emitterstrecke von V 218, wo es sein kann, dass V 219 gesperrt ist.

## 2. FEHLERUEBERSICHT UND FEHLERERKENNUNG

### 2.1. ALLGEMEINES

Der Hauptabschnitt "Fehleruebersicht und Fehlererkennung" dient der systematischen Eingrenzung der Fehlerursache, ausgehend von bestimmten Fehlererscheinungen, die in den folgenden Abschnitten als Gliederungspunkte aufgefuehrt sind.

Die Abschnitte sind so geordnet, dass bei einer bestimmten Fehlererscheinung die davor liegenden Abschnitte als nicht in Frage kommend zu betrachten sind.

Der Pkt. 2. "Fehleruebersicht und Fehlererkennung" nimmt Bezug auf

- Pkt. 3. Pruefanleitung und
- die Funktionsgruppenstromlaufplaene, einschliesslich Oszillogramme (siehe Bedienungsanleitung).

Dabei wird die umfassende Kenntnis von Bedienung, Funktion und Pkt. 1. Wirkungsweise des G-2005 vorausgesetzt.

Die fuer die Reparatur erforderlichen Messmittel und Hilfsmittel sind im Pkt. 3. Pruefanleitung angegeben.

### 2.2. UEBERSICHT DER AUFGEFUEHRTEN FEHLER

Fehlererscheinung	Abschnitt
Fehler in der Stromversorgung (nach Einschalten)	2.3.1.
- Alles dunkel, keine Anzeige leuchtet	2.3.1.1.
- Es leuchtet nur Thermostatanzeige, Luefter steht still	2.3.1.2.
- Es leuchten Thermostatanzeige und Triggeranzeigen A, B, D, Luefter dreht sich	2.3.1.3.
- Es wird Error 7 angezeigt	2.3.1.4.
- Betriebsspannung +15 V fehlerhaft	2.3.1.5.
- Betriebsspannung -15 V fehlerhaft	2.3.1.6.
- Betriebsspannung -5,2 V fehlerhaft	2.3.1.7.
- Keine oder falsche Strombegrenzung bei -5,2 V	2.3.1.8.
- Betriebsspannung +5 V fehlerhaft	2.3.1.9.
Einschaltroutine falsch, Betriebsspannungen in Ordnung	2.3.2.
- Anzeige nach Einschalten dunkel	2.3.2.1.
- Zufaelliches Anzeigebild, es leuchtet eine Stelle sehr hell	2.3.2.2.
Fehler der Eingabetastatur/Multiplexanzeige	2.3.3.
- Eingabetastatur liefert keinen Signalton, die Funktion wird jedoch ausgefuehrt	2.3.3.1.
- Eingabetastatur loest keine Funktion aus	2.3.3.2.
- Die Multiplexanzeige ist falsch	2.3.3.3.

Fehlererscheinung	Abschnitt
Betriebsart CHECK: falscher Messablauf	2.3.4.
- Keine Startausloesung (START-Anzeige dunkel)	2.3.4.1.
- Keine Messfreigabe (ARM-Anzeige dunkel)	2.3.4.2.
- Tor geht nicht auf	2.3.4.3.
- Tor geht nicht wieder zu	2.3.4.4.
- Messablauf funktioniert, Torzeit praktisch Null	2.3.4.5.
- Nach Messausloesung erscheint Error 1	2.3.4.6.
Betriebsart CHECK: Messablauf prinzipiell in Ordnung falsches Ergebnis (GATE 1 s)	2.3.5.
- Fehler im Ergebnis $\geq 10^{-7}$ , Register t falsch ( $\geq 100$ ns)	2.3.5.1.
- Fehler im Ergebnis $\geq 10^{-7}$ , Register u falsch	2.3.5.2.
- Fehler im Ergebnis $\leq 2 \times 10^{-7}$ , Register t falsch ( $\leq 200$ ns), Register u korrekt	2.3.5.3.
Betriebsart TIME D: Messablauf nicht in Ordnung	2.3.6.
- ARM-Anzeige dunkel, Start vorhanden	2.3.6.1.
- ARM-Anzeige leuchtet, Tor geht nicht auf	2.3.6.2.
- Tor geht nicht wieder zu	2.3.6.3.
- Taste MAN funktioniert nicht	2.3.6.4.
Messfreigabe fehlt (CHECK, TIME D in Ordnung)	2.3.7.
- Messfreigabe A+, A- funktioniert nicht	2.3.7.1.
- Messfreigabe B+, B- funktioniert nicht	2.3.7.2.
- Messfreigabe D+, D- funktioniert nicht	2.3.7.3.
- Messfreigabe intern funktioniert nicht	2.3.7.4.
Tor geht nicht auf oder nicht zu (CHECK, TIME D in Ordnung)	2.3.8.
Stoppverzögerung oder interne Torzeit falsch (CHECK mit GATE 1 s in Ordnung)	2.3.9.
TriggerpegelEinstellung fehlerhaft	2.3.10.
Fehler Kanal A (FG 2)	2.3.11.
- Triggeranzeige funktioniert nicht	2.3.11.1.
- Fehler bei den Ausgangssignalen	2.3.11.2.
Fehler Kanal B (FG 3)	2.3.12.
- Triggeranzeige funktioniert nicht	2.3.12.1.
- Fehler bei den Ausgangssignalen	2.3.12.2.
Fehler Kanal C (FG 4)	2.3.13.
- Spannungsanzeige geht falsch	2.3.13.1.
- Ausgangssignal falsch	2.3.13.2.
Fehler Kanal D (FG 5)	2.3.14.
- Triggeranzeige funktioniert nicht	2.3.14.1.
- Falsche Ausgangssignale (ARM ST), (ARM STP)	2.3.14.2.

Fehlererscheinung	Abschnitt
Fehler im Referenzkanal	2.3.15.
- Umschaltung extern/intern geht nicht	2.3.15.1.
- Ausgabe interne Referenzfrequenz nicht in Ordnung	2.3.15.2.
- Falsche Ausgangssignale	2.3.15.3.
Fehlerhafte Triggerpegel­einstellung (FG 9)	2.3.16.
- (TLA HI) ist falsch	2.3.16.1.
- (TLB HI) ist falsch	2.3.16.2.
Fehler Interface (FG 12)	2.3.17.
- Adressierung als Talker oder Listener ist nicht moeglich	2.3.17.1.
- Der Handshake bei Empfang von Interfacenachrichten laeuft nicht ab	2.3.17.2.
- Ein Interfacekommando wird nicht ausgefuehrt	2.3.17.3.
- Die Datenausgabe funktioniert nicht	2.3.17.4.
- Bei Datenausgabe werden falsche Daten gesendet	2.3.17.5.
- Eingelesene Daten (Programm­daten) werden falsch interpretiert	2.3.17.6.
Fehler Thermostat	2.3.18.
- Thermostatanzeige ist dunkel	2.3.18.1.
- Thermostatanzeige blinkt dauernd, auch nach Anheizzeit	2.3.18.2.
- Ausgangsspannung an X 15 (10 MHz) fehlerhaft	2.3.18.3.
- Frequenz laesst sich nicht auf Sollwert abgleichen, interner Betrieb	2.3.18.4.
- Oszillator laesst sich bei externer Referenz nicht synchronisieren	2.3.18.5.

### 2.3. REPARATURSYSTEMATIK

Die folgende systematische Darstellung baut auf Entscheidungsfragen auf. Faellt eine solche Entscheidung positiv aus, wenn z.B. ein zu kontrollierendes Signal in Ordnung ist, wird im Text fortgefahren. Bei negativem Ausgang geht man zu der rechts angegebenen durch Abschnittsnummern oder in Klammern gesetzte Buchstaben gekennzeichneten Stelle.

Das schematische Vorgehen entsprechend nachfolgender Abschnitte fuehrt nicht immer zum Ziel, insbesondere auch dann nicht, wenn mehr als ein Fehler auftritt.

Die Reparatursystematik ist deshalb mehr als Orientierungshilfe zu verstehen.

### 2.3.1. Fehler in der Stromversorgung (nach Einschalten)

#### 2.3.1.1. Alles dunkel, keine Anzeige leuchtet

- Sind +16 V an A 224/3 vorhanden? (a)  
Fehler Thermostat: weiter bei 2.3.17.1.
- (a) Fehler FG 13: Sicherungen F 226, F 227, F 234,  
Netzverdrosselung, Transformator T 235, A 224

#### 2.3.1.2. Es leuchtet nur Thermostatanzeige, Luefter steht still

- +12,6 V an A 214/8 in Ordnung? (a)
- Liegen bei gedrucktem Netzschalter an A 214/19 Null Volt? (b)
- Liegen an A 219/9, 10 Null Volt? (c)
- Liegt zwischen T 244/1 und 21 Netzwechselspannung? (d)
- Dreht sich der Luefter? (e)
- Weiter bei 2.3.1.3.
- (a) Fehler FG 13: A 219, RELAISSTEUERUNG, N 201, V 202
- (b) Fehler FG 13: Netzschalter S 315 auf A 212 oder Verbindungsleitungen
- (c) Fehler Verbindung A 212 - A 219, falls A 219/10 nicht Null Volt fuehrt.  
Fehler A 219: Thermosicherung, falls A 219/9 nicht Null Volt ist.
- (d) Fehler FG 14: F 243 oder Verbindung FG 14 - FG 13 (LINE 1, 2)
- (e) Fehler FG 14: Luefter M 242, Sicherung F 241

#### 2.3.1.3. Es leuchten Thermostatanzeige und Triggeranzeigen A, B, D, Luefter dreht sich

- +15 V an X 27/3 in Ordnung? 2.3.1.5.
- -15 V an X 26/1 in Ordnung? 2.3.1.6.
- -5,2 V an X 26/6 in Ordnung? 2.3.1.7.
- +5 V an X 18/1 - 4 in Ordnung? 2.3.1.8.

#### 2.3.1.4. Es wird Error 7 angezeigt

- Ungeregelte Spannung fuer +15 V an A 215/10 kontrollieren. DC-Spannung: 18 V - 23 V je nach Netzspannung, AC-Spannung etwa 0,29 V? 2.3.1.5.(a)
- Ist Referenzspannung +8,4 V an A 216/M 1 in Ordnung? 2.3.1.5.(c)
- Fehler FG 16: A 216, NETZKONTROLLE

#### 2.3.1.5. Betriebsspannung +15 V fehlerhaft

Wenn +15 V fehlen, leuchten die Triggeranzeigen der Kanäle A, B und D (jeweils 1 LED). Die Anzeigen INT , EXT  sind dunkel. Es fehlen ebenfalls +5 V. Die -15 V sind bei Ausfall der +15 V etwa -12 V (Festspannungsregler). Die Spannung -5,2 V betraegt etwa -4,2 V.

Unstabiles Verhalten der Betriebsspannung kann verursacht sein durch Feinschluss C 222. Zu grosses Brummen deutet auf defekten Ladeelko oder defekten Festspannungsregler hin.

- Gleichgerichtete Spannung an A 215/10 18 V - 23 V DC und etwa 0,29 V AC? (a)
- COM-Anschluss von N 245 (Festspannungsregler fuer +15 V) auf Masse legen. Spannung an X 27/3 kontrollieren: +12 V +/- 5 %, netzspannungsunabhaengig? (b)
- Referenzspannung an V 201/5 etwa 7,5 V? (c)
- Fehler FG 14: Regelteil +15 V
  - (a) Fehler FG 14: Gleichrichtung +15 V auf A 215; Siebelko, Dioden, eventuell T 244
  - (b) Fehler FG 14: Festspannungsregler N 245; eventuell Kurzschluss am Ausgang +15 V?
  - (c) Fehler FG 14: A 216, V 203, R 208 - R 211

#### 2.3.1.6. Betriebsspannung -15 V fehlerhaft

Wenn -15 V fehlen, fehlen auch -5,2 V. Deshalb sind die Triggeranzeigen A, B, D dunkel. Messwertanzeige und Eingabetastatur sollten normal funktionieren.

Voraussetzung fuer die Reparatur ist, dass die Betriebsspannung +15 V stimmt.

Unruhe auf der Spannung -15 V bei sonst normalem Regelverhalten kann verursacht sein durch Feinschluss des Kondensators C 226 bzw. C 223 auf A 216. Zu grosse Brummspannung deutet auf defekten Siebelko oder Festspannungsregler hin.

- Gleichgerichtete Spannung zwischen A 215/7 und A 215/8 kontrollieren. DC-Spannung 18 V - 23 V, je nach Netzspannung; AC-Spannung etwa 0,25 V?
- X 16/8 mit X 16/7 verbinden. Spannung an X 26/1 (-15 V) kontrollieren: -12 V +/- 5 %, stabilisiert durch N 246? (b)
- Fehler FG 14: REGELTEIL -15 V
  - (a) Fehler FG 14: Gleichrichtung fuer -15 V auf A 215, eventuell T 244
  - (b) Fehler FG 14: Festspannungsregler N 246 defekt, eventuell Kurzschluss am Ausgang?

#### 2.3.1.7. Betriebsspannung -5,2 V fehlerhaft

Voraussetzung fuer die Reparatur ist, dass die Spannung -15 V stimmt, weil sie die Referenzspannung fuer -5,2 V bildet. Zu hohe Brummspannung deutet auf defekten Siebelko hin, Schwingen des Regelverstaerkers sind moeglich bei defektem C 242 auf A 216.

- Ungeregelte Spannung an A 215/4 gegen Masse kontrollieren. DC-Spannung: -7,5 V bis -11,5 V, je nach Netzspannung, AC-Spannung etwa 0,25 V? (a)
- DC-Spannung an N 202/3 etwa -5,2 V? (b)
- Basis-Emitter-Spannung von V 229 kleiner 0,5 V? (c)

- Bei betragsmaessig zu kleiner Ausgangsspannung muss an N 202/6 eine Spannung unterhalb -13 V liegen (Aussteuer-  
ergrenze des Operationsverstaerkers). Bei zu grosser  
Ausgangsspannung muss an M 4 eine Spannung positiver  
als die Ausgangsspannung liegen. Ist das so? (d)
- Fehler FG 14: Laengstransistor V 247, Treibertransistor  
V 228 und Umfeld auf A 216.
  - (a) Fehler FG 14: Gleichrichtung -5,2 V auf A 215,  
eventuell T 244
  - (b) Fehler FG 14: Spannungsteiler R 231 - R 233, C 242  
auf A 216
  - (c) Fehler FG 14: Strombegrenzungstransistor V 229 auf  
A 216 und Umfeld
  - (d) Fehler FG 14: Operationsverstaerker N 202 auf A 216

#### 2.3.1.8. Keine oder falsche Strombegrenzung bei -5,2 V

Siehe Pkt. 2.3.1.7.(c)

#### 2.3.1.9. Betriebsspannung +5 V fehlerhaft

Voraussetzung fuer die Reparatur ist, dass die Spannungen +15 V und -15 V stimmen. Die Spannung -15 V hat nur Einfluss auf die Kurzschluss-Strombegrenzung.

Zur Reparatur ist das Schaltregelteil auszubauen. Dabei werden Teile zugaenglich, die Spannungen > 42 V fuehren.

Zur Vermeidung von Gefaehrdungen sind die in der Pruefanleitung Pkt. 3.3.12. angegebenen Hinweise und Vorschriften unbedingt einzuhalten. Zur Reparatur wird die Anordnung nach Pruefanleitung Pkt. 3.2.14.4. zugrunde gelegt.

Allgemeine Fehlerhinweise: Zu grosse Brummspannung kann verursacht sein durch defekten Elko C 201 auf A 218. Regelkreisschwingungen werden hervorgerufen durch fehlerhafte C 235, C 236, eventuell auch C 240 - C 242 auf A 217.

Schaltet das Netzteil periodisch ein und aus liegt der Fehler in der STROMBEGRENZUNG PRIMAER, eventuell auch an einem defekten C 201 auf A 218.

- Ist Ausgangsspannung deutlich zu klein oder fehlt ganz? (h)
- Sind +14 V an N 201/1, -14,4 V an M 2 und 8,4 V an  
N 201/2 - gemessen gegen (GND S) - vorhanden? (a)
- Taktfrequenz an N 201/8, M 3 kontrollieren. Oszillo-  
gramm 15.1. (Schaltfrequenz 20 kHz) in Ordnung? (b)
- Sind die Impulse an A 218/2 in Ordnung (Oszillo-  
gramm 15.2.)? (c)
- Gleichgerichtete Spannung zwischen A 218/9 (Schirm-  
blech) und (GND P) kontrollieren. DC-Spannung etwa  
290 V bei 220 V Netzwechselfspannung? (d)
- Fehler FG 15: V 217, T 203, T 204 auf A 218
  - (a) Fehler FG 15: R 228, Dioden V 203, V 207 auf A 217.  
Falls 8,4 V fehlen N 201.
  - (b) Fehler FG 15: C 234, R 211, R 212, eventuell Schalt-  
kreis N 201 auf A 217.

- (c) Spannungen am B 260 D kontrollieren (gegen GND S).  
 N 201/10 etwa 8,4 V? (e)  
 N 201/5 > 5 V (f)  
 N 201/16, 13, 11, 12 = 0 V?  
 N 201/6 etwa 3,5 V? (g)
- Fehler FG 15: N 201 auf A 217
- (d) Fehler FG 15: GLEICHRICHTUNG auf A 218 oder L 243 auf A 217 einschliesslich Verbindungen
- (e) Fehler FG 15/A 218: Bei U < 3 V kann es sein, dass die Ausgangsimpulse an N 201/14, 15 abgeschaltet werden. Fehlerursache U 215 und Umfeld. Gegebenenfalls ist der Abgleich von R 214 nach Pruefanleitung Pkt. 3.3.12.1. durchzufuehren.
- (f) Bei Spannungen etwa unterhalb 1,5 V an N 201/5 wird die Ausgangsimpulsfolge vom B 260 D abgeschaltet.  
 Fehler FG : : STROMBEGRENZUNG SEKUNDAER
- (g) Falls die Spannung an N 201/6 zu klein ist, wird das Tastverhaeltnis auf zu kleine Werte begrenzt, oder die Impulse fehlen ganz.  
 Fehler FG 15/A 217: R 214 - R 216 und Umfeld.
- (h) Ist Tastverhaeltnisbegrenzung richtig eingestellt? Kontrolle nach Pruefanleitung Pkt. 3.3.12.3., gegebenenfalls Nachgleich. (i)
- Spannungsteiler R 225 - R 227 und Verbindung R 277/b zu N 201/3 pruefen.
- Ist Tastverhaeltnis etwa 0,5 und Ausgangsspannung zu klein? (j)
- Gleichgerichtete Spannung zwischen A 218/9 (Schirmung) und (GND P) kontrollieren. U etwa 290 V bei 220 V Netzwechselfspannung? (d)
- Fehler FG 15/A 218: T 203, V 217, T 204 und Umfeld, eventuell Diode V 298.
- (i) Falls kein Abgleich moeglich ist, Fehler FG 15/A 218: R 214 - R 216, C 231, eventuell N 201.
- (j) Fehler FG 15/A 218: Schaltkreis N 201, falls das Tastverhaeltnis etwa 0,5 (Maximalwert) ist, sonst STROMBEGRENZUNG SEKUNDAER, eventuell auch N 201.

### 2.3.2. Einschaltoutine falsch, Betriebsspannungen in Ordnung

Ursache ist wahrscheinlich ein Fehler im  $\mu P$ -System. In Frage kommen der  $\mu P$  selber, ADRESSENSPEICHER, ROM, RAM und die zugehoerigen Bustreiber und Adressdekoder. Die an der Anzeige beobachtete Fehlererscheinung kann jedoch auch andere Ursachen haben. Im folgenden wird der Kern des  $\mu P$ -Systems als fehlerlos vorausgesetzt. Zur Pruefung des  $\mu P$ -Systems und zur Fehlersuche stehen einige Pruefprogramme zur Verfuegung, auf die in Abschnitt 2.5. hingewiesen wird.

### 2.3.2.1. Anzeige nach Einschalten dunkel

- Signal (pon) auf FG 1 X 1/B 11 = Low? (b)
- Segmentinformation (SA) bis (SH) = High? (a)
- Fehler  $\mu$ P-System
  - (a) Fehler FG 1: SEGMENTTREIBER, Stellentreiber, Anzeigeelemente
  - (b) Ist (pon) auf FG 10 D 207/6 = Low? (c)
- Fehler Verbindung FG 1 nach FG 10
- (c) (RESET) am  $\mu$ P D 201/6, FG 10 in Ordnung? (d)
- Fehler FG 10: PON-FLIP-FLOP, HAUPTDEKODER, Leitung (ETL); (ETL) kann nach Pkt. 2.4.2. kontrolliert werden
- (d) Fehler FG 12: PON-ERZEUGUNG oder Verbindung FG 12 nach FG 10

### 2.3.2.2. Zufaelliches Anzeigebild oder eine Stelle sehr hell

Dies wird fast immer durch einen Fehler im  $\mu$ P-System verursacht, der zu einem Programmausbruch fuehrt. Ansonsten wie Pkt. 2.3.2.1.(a).

### 2.3.3. Fehler der Eingabetastatur/Multiplexanzeige

#### 2.3.3.1. Eingabetastatur liefert keinen Signalton, die Funktion wird jedoch ausgefuehrt

- (EAL) auf FG 12 D 203/12 vorhanden (Oszillogramm 12.1.)? (a)
- Fehler FG 12: SIGNALGEBER
  - (a) Ist Signal (EIF) an D 203/14, FG 12 vorhanden? (b)
- Fehler FG 12: IF-DEKODER, falls (W/R), (A 4), (A 3) an D 203 richtig anliegen, sonst (b)
- (b) Die fehlerhaften Leitungen bis zu ihrem Ursprung auf FG 10 zurueckverfolgen.

#### 2.3.3.2. Eingabetastatur loest keine Funktion aus

- Stellenleitungen (N 0) - (N 15) mit Oszillografen kontrollieren (Oszillogramme 1.4., 1.5.) (b)
- Sind die Signale (TAS 0) - (TAS 1) nach Oszillogramm 1.4., 1.5. in Ordnung? (a)
- Fehler FG 10: Verbindung von FG 1 zu FG 10, eventuell Mikroprozessor
  - (a) Fehler FG 1: Tipptasten S 326 - S 356, V 358 - V 387, R 306, R 307
  - (b) Stelleninformation (NA) - (ND) an X 1/B 7, A 7, B 8, A 8 in Ordnung? (c)
- Fehler FG 1: STELENDEKODER
- Fehler FG 10: Mikroprozessor oder Verbindung (NA) - (ND) zum Mikroprozessor

### 2.3.3.3. Die Multiplexanzeige ist falsch

Die Fehlersuche erfolgt zweckmaessig mit Unterstuetzung der Pruefprogramme P 10 - P 12 (siehe Pkt. 2.4.1.).

- Sind einzelne Segmente fehlerhaft? (b)
- Segmentinformation (SA) - (SH) an X 1 in Ordnung? (a)
- Fehler FG 1: SEGMENTTREIBER, Anzeigeelemente
  - (a) Fehler Verbindung, FG 1 - FG 10 der µP selbst
  - (b) Stellenleitungen (N 0) - (N 15) in Ordnung? 2.3.3.2.(b)
- Fehler FG 1: SEGMENTTREIBER, Stellentreiber, Anzeigeelemente

### 2.3.4. Betriebsart CHECK: falscher Messablauf

#### 2.3.4.1. Keine Startausloesung (START-Anzeige dunkel?)

- Wird die Messung trotzdem ausgeloeset? (a)
- Fehler FG 1: START-Anzeige defekt oder Fehler der Multiplexanzeige nach Pkt. 2.3.3.3.
  - (a) Fehler im µP-System

#### 2.3.4.2. Keine Messfreigabe (ARM-Anzeige dunkel)

Dieser Fall tritt auch bei normaler Geratfunktion auf, wenn eine Datenausgabe begonnen, aber nicht zu Ende gefuehrt wird. Gegebenenfalls ist auch die eingestellte Pause zu beachten. Die Fehlerursache ist auf FG 5 zu suchen.

- Ist (RES) an D 203/15 High? (a)
- Ist (BER) an D 203/10 Low? (a)
- Sind die 100 ns Zeitimpulse an A 205/5 vorhanden? (b)
- Ist Oszillogramm 5.10 an M 7 in Ordnung? (c)
- Mit dem Oszillografen und Tastkopf Spannung U an V 218/C bestimmen. U > 0,8 V? (f)
- Ist (ARM ST) an A 205/1 Low? (i)
- Fehler FG 5: ARMING-ANZEIGESTUFE, eventuell ARM-Anzeige auf FG 1
  - (a) ARMINGPORT mit Pruefprogramm P 20 kontrollieren. Gegebenenfalls sind die Bussignale (D 10) - (D 17) und das Schreibsignal (EARM) bis zum Mikroprozessor zurueckzuverfolgen.
  - (b) Die Verbindung FG 5 nach FG 6 bezueglich (C/CK ARM) kontrollieren. Falls sie in Ordnung ist, weiter bei Pkt. 2.3.15.3.
  - (c) Ist Signal (STEN) vorhanden? (d)
- Ist (BER E) an D 209/9 High? (e)
- Fehler FG 5: D 209

- (d) Falls (STEN) staendig Low ist, kann dies durch falsche Pegel (High) an D 208/9, 10 verursacht sein. Der Fehler muss dann nach Pkt. 2.3.11.2. bzw. Pkt. 2.3.12.2. gesucht werden.  
Bei (STEN) staendig High sind die Eingangspegel an D 207/12, 13, 10, 11 zu pruefen. (SLD+ E) und (SLD- E) muessen beide High sein. Ist dies nicht der Fall, muss das fehlerhafte Signal zunaechst bis zum ARMINGPORT und gegebenenfalls weiter bis zum Mikroprozessor zurueckverfolgt werden. Dazu kann das Pruefprogramm P 20 benutzt werden (vergleiche Pkt. 2.4.2.).
- (e) Fehler FG 5: D 205, D 209
- (f) Ist (RES E) High? (g)
- Tunnelodiode einseitig abloeten. Ist Oszillogramm 5.6. in Ordnung? (h)
- Fehler FG 5: Tunnelodiode V 240, eventuell V 218 und Umfeld
- (g) Fehler FG 5: TTL-ECL-ANPASSUNG, D 205
- (h) Fehler FG 5: V 214, C 325 und Umfeld
- (i) Fehler FG 5: D 211, V 215 und Umfeld

#### 2.3.4.3. Tor geht nicht auf

Der Fehler liegt vermutlich auf FG 7. Deshalb werden A 207 und A 208 zusammen ueber Reparaturkabel betrieben. Die folgenden Angaben beziehen sich auf die Leiterplatte A 207.

- Ist (ARM ST) an D 205/10, 6 Low? (f)
- Ist (C/CK ST/STP) an D 202/9, 7 vorhanden (100 ns Zeitimpulse)? (a)
- Ist (GOP) an D 205/2 Low und (GOP) an D 205/3 High? (b)
- Ist (GCL) an D 203/15 High und (GCL) an D 203/14 Low? (e)
- Fehler FG 7: GATE-ANZEIGESTEUERUNG, eventuell GATE-Anzeige auf FG 1 selbst
- (a) Verbindung FG 6 nach FG 7 bezueglich (C/CK ST/STP) ueberpruefen. Ist sie in Ordnung weiter bei 2.3.15.3.
- (b) Sind (RES E) an X 7/C 3 Low, (RES by D E) an X 7/C 8 Low und (by D E) an X 7/C 7 High? (c)
- Sind (A ST), (B ST) an D 202/10, 11 Low? (d)
- Fehler FG 7: D 202, D 205
- (c) Das fehlerhafte Signal bis zum ARMINGPORT auf FG 5 zurueckverfolgen und gegebenenfalls weiter bis zum Mikroprozessor auf FG 10. Dabei kann Pruefprogramm P 20 benutzt werden (vergleiche Pkt. 2.4.2.).
- (d) Die Verbindung von FG 7 zu FG 2, 3 kontrollieren (eventuell Masseschluss?); falls sie in Ordnung ist, weiter bei 2.3.11.2. oder 2.3.12.2.
- (e) Kommt ein Messablauf (mit Torzeit praktisch Null) zustande, geht man weiter zu 2.3.4.5., andernfalls sind die Signale (RES E), (RES by D E) = Low und (by D E) = High zu kontrollieren; in Ordnung? (c)
- Fehler FG 7: D 203

#### 2.3.4.4. Tor geht nicht wieder zu

- Sind die Zaehlimpulse fuer die CTC x (CX) an C 266 vorhanden (TTL-Pegel, 2 us Periode)? (h)
- Ist (DEL) an C 269 Low? (s)
- Ist (ARM STP) an X 7/B 1 Low? (a)
- Sind (A STP), (B STP) auf A 207/D 201/4, 5 Low? (g)
- Fehler FG 7: D 201, D 203, eventuell Verbindung X 7/3 nach D 201/7 oder falsche Pegel bei (RES by D E), (RES E), (by D). Trifft letzteres zu, weiter bei (f)
- (a) Ist (ARM STP) an A 205/3 Low? (b)
- Verbindung FG 5 nach FG 7 fehlerhaft
- (b) Das Signal (ARM STP) ist fehlerhaft, der Fehler liegt auf FG 5.
- Ist (DEL E) an D 210/9, 10 und D 211/10 = Low? (c)
- Ist (STPEN by D) an D 210/11 (10 MHz) in Ordnung? (d)
- Ist D 211/15 Low? (e)
- Fehler FG 5: D 211/7, 6
- (c) Fehler FG 5: D 205/1, R 311 oder Verbindung C 269 zu FG 5 (DEL).
- (d) Fehler FG 5: D 208/6, 7, R 300
- (e) Sind auf FG 5 (RES E) an D 208/4, 13 und (by D E) an D 208/12, D 210/4 Low und (TI/PW/by D E) an D 208/5, D 210/13 High? (f)
- Fehler FG 5: D 210, D 208/3, 15, V 249 und Umfeld
- (f) Das fehlerhafte Signal bis zum ARMINGPORT zurueckverfolgen, gegebenenfalls weiter bis zum Mikroprozessor auf FG 10. Dazu Pruefprogramm P 20 verwenden (vergleiche Pkt. 2.4.2.).
- (g) (A STP) oder (B STP) sind fehlerhaft. Falls nicht die Verbindung FG 2, 3 nach FG 7 die Ursache ist, weiter bei 2.3.11.2. bzw. 2.3.12.2.
- (h) Zaehlsignal (CX) ist an C 266 fehlerhaft.
- Ist (GCKU) an X 37/C 4 vorhanden? (p)
- Ist X 37/C 1 Low? (j)
- Ist X 37/C 5 Low? (l)
- Signalweg fuer (GCKU) auf FG 8 weiterverfolgen: M 1, M 2, M 3, D 209/12, X 8/B 1; in Ordnung? (i)
- Fehler FG 8: Verbindung X 8/B 1 von A 208 ueber A 213 zu C 266
- (i) Wenn (RES E) an D 202/5, 13 auf A 208 Low ist, ist der Fehler bei FG 8 D 201, D 202, V 222, V 223, D 209 und Umfeld zu suchen, sonst muesste die Verbindung FG 5 nach FG 8 bezueglich (RES E) fehlerhaft sein.
- (j) Ist (RATIO E) auf A 207/D 202/6 High? (k)
- Fehler FG 7: D 202/3
- (k) Das fehlerhafte Signal bis zum ARMINGPORT auf FG 5 zurueckverfolgen und gegebenenfalls weiter bis zum Mikroprozessor auf FG 10. Dabei kann das Pruefprogramm P 20 benutzt werden (vergleiche Pkt. 2.4.2.).
- (l) Ist D 204/14 auf A 207 High? (m)
- Fehler FG 7: TOR 2, D 208/6

- (m) Sind die Zeitimpulse 100 ns an D 204/9 (FG 7) in Ordnung? (n)
- Ist D 204/12 (FG 7) Low? (o)
- Da das Tor geoeffnet ist, sollte D 213/15, FG 7 auf Low sein und der Fehler liegt beim TI-FLIP-FLOP STOPP, D 204
- (n) Die Zeitimpulse (CK 10M) bis auf FG 6, A 206/5 zurueckverfolgen. Ist (CK 10M) an A 206/5 fehlerhaft, weiter bei 2.3.15.3.
- (o) Ist (RATIO E) an X 7/C 2 High? (k)
- Fehler FG 7: V 214 und Umfeld
- (p) sind die Zeitimpulse an D 206/9 und D 209/9, FG 7 vorhanden? (n)
- Sind auf FG 7 D 206/3, D 209/11 und D 209/10 Low? (q)
- Fehler FG 7: TOR 1
- (q) Ist D 206/12, 5 auf Low? (r)
- Fehler FG 7: TI-FLIP-FLOP START
- (r) Falls D 206/5 nicht Low ist, weiter bei (o).  
Falls D 206/12 nicht Low ist, weiter bei (k).
- (s) Das Signal (DEL) ist falsch, Fehlerursache ist FG 10.
- Das Signal (DEL) von C 269 aus zurueckverfolgen bis auf FG 10, D 212/9. Ebenso (CX) von C 266 aus bis auf FG 10, D 208/23, D 211/1.
- Sind D 210/14, 11, 6, 3 High und ist D 210/2 Low auf FG 10? (w)
- Die Ausgangssignale von D 210 bis zu ihren Endpunkten an D 212, D 211 weiterverfolgen.
- Ist (CX) an D 212/13 vorhanden? (v)
- Ist D 204/10 Low? (u)
- Ist (RES C) an D 212/14, 15 und D 208/17 High? (t)
- (Die Kontrolle sollte oszillografisch erfolgen, um auch kurze Low-Impulse erkennen zu koennen.)
- Fehler FG 10: D 212, D 204
- (t) Es liegt ein Fehler bei (RES C) vor. Das Signal ist unter Benutzung des Pruefprogrammes P 21 bis zum Mikroprozessor zurueckzuverfolgen (vergleiche Pkt. 2.4.2.).
- (u) Fehlerursache ist wahrscheinlich die CTC x. Zur Absicherung der Annahme kontrolliert man, ob an allen Anschluessen korrekte Signale liegen, z.B. Betriebsspannung, M 1, IEI = High usw. Die Kontrolle der Adress- und Bussignale erfolgt mit Hilfe des Pruefprogrammes P 21 (vergleiche Pkt. 2.4.2.).  
Auch ist zu kontrollieren, ob der Takt richtig anliegt und ob das Zaehlsignal an Anschluss 23 anliegt. Die Verbindung der Ausgaenge von Kanal 0, 1, 2 der CTC zu den Eingaengen der Kanale 1, 2, 3 sind ebenfalls zu kontrollieren.
- (v) Fehler FG 10: D 211/8
- (w) Ist die Ausgangsinformation des DELAYPORTS falsch, werden mit Unterstuetzung des Pruefprogrammes P 21 das Schreibsignal (EDEL) und die Datensignale (A/D 0) - (A/D 7) bis zum Mikroprozessor zurueckverfolgt (vergleiche Pkt. 2.4.2.).

#### 2.3.4.5. Messablauf funktioniert, Torzeit praktisch Null

- Ist ( $\overline{\text{DEL}}$ ) an C 269 falsch (staendig High oder undefinierter Pegel)? (d)
- Ist ( $\overline{\text{ARM STP}}$ ) auf FG 5 A 205/3 staendig High? (c)
- Das Signal ( $\overline{\text{ARM STP}}$ ) bis auf FG 7; D 203/7, 10 weiterverfolgen. Ist ( $\overline{\text{GCL}}$ ) an D 201/15 staendig High, also falsch? (a)
- Fehler FG 7: D 201, D 203; unter Umstaenden auch falsche Signale (RES by D E), (by D E), (RES E); in diesem Falle weiter bei 2.3.4.3.(c).
  - (a) Falls ( $\overline{\text{GCL}}$ ) im Messrhythmus zwischen High und Low wechselt, ist ( $\overline{\text{GCL}}$ ) vermutlich korrekt. Wechselt auch ( $\overline{\text{TS}}$ ) auf FG 8 V 227/C zwischen High und Low? (b)
- ( $\overline{\text{TS}}$ ) weiterverfolgen bis zu FG 10, D 201/12 (Mikroprozessor)
  - (b) Fehler FG 8: V 227 einschliesslich Umfeld
  - (c) Das von FG 10 gelieferte Signal sollte im Messrhythmus zwischen Low und High wechseln. Ist dies nicht der Fall, weiter bei (d). Sonst das Signal ( $\overline{\text{DEL}}$ ) von C 209 bis auf FG 5 weiterverfolgen. Ist ( $\overline{\text{DEL E}}$ ) an D 205/7, D 210/9, 10 in Ordnung?
- Fehler FG 5: STOPPFREIGABE BY D (D 210, D 211)
  - (d) Das Signal zurueckverfolgen bis auf FG 10, D 212/9.
- Sind D 210/14, 11, 6, 3 High und D 210/2 Low? 2.3.4.4.(w)
- Ist D 204/10 staendig High und ist das Signal an D 211/2 in Ordnung (staendig Low oder schmale positive Impulse 512  $\mu\text{s}$  Abstand)? (e)
- Fehler FG 10: D 211, D 204, D 212
  - (e) Falls D 208/12 staendig oder zeitweise Low ist, wahrscheinlich Fehler CTC x, weiter bei 2.3.4.4.(u).

#### 2.3.4.6. Nach Messausloesung erscheint Error 1

- Ist Signal ( $\overline{\text{EX}}$ ) an C 278 vorhanden (schmale Low-Impulse TTL)? (n)
- Oszillograf auf ( $\overline{\text{EX}}$ ) triggern und Signal an D 217/8 und D 217/12 auf FG 8 kontrollieren. Ist D 217/8 High und D 217/12 Low waehrend ( $\overline{\text{EX}}$ ) = Low? (e)
- Sind die Pegel an D 213/2, 6 unterschiedlich? (k)
- Zaehlsignale an M 10 und M 11 kontrollieren. Zu sehen sind Impulsgruppen, bestehend aus etwa 20 ns breiten Low-Impulsen. Die Zahl der Impulse, die zum Ueberlauf des ZAEHLERS  $\Delta x$  fuehren kann, ist  $> 500$ . Normalerweise kann die Impulsfolge bei CHECK nicht laenger als etwa 15  $\mu\text{s}$  dauern. Ist dies der Fall? (a)
- Es sind die Zaehlimpulse (CK 20M) an A 208/7 zu kontrollieren. Die Impulse muessen dem Oszillogramm 6.3. entsprechen, und sind gegebenenfalls nach Pruefanleitung Pkt. 3.3.5.3. neu abzugleichen. Ist Signal (CK 20M) in Ordnung? 2.3.15.3.
- Fehler FG 8: ZAEHLER  $\Delta x$  (D 211 - D 215). Die defekte Stufe findet man durch Ueberpruefen der Zaehlweise nach Pruefanleitung Pkt. 3.2.8.3., 1. bzw. Pkt. 3.2.8.3., 2.

- (a) Sind die Low-Breiten von (EXE ST) an X 37/C 3 und (EXE STP) an X 37/C 2 etwa 15  $\mu$ s? (b)
- Fehler FG 8: TORSTEUERUNG EXTI (D 205, D 206), vor-  
ausgesetzt (RESE) an D 205/5, 12 ist in Ordnung, an-  
dernfalls weiter bei 2.3.4.3.(c)
- (b) Fehler FG 7: Man kontrolliert am besten zuerst den  
Saegezahnimpuls an M 1 oder M 2, je nachdem ob der  
Start- oder Stoppkanal fehlerhaft ist, nach Oszil-  
logramm 7.11. Bei Oszillogramm 7.11. ist besonders  
auf die am Auslauf des Saegezahnes vorhandene kleine  
Zacke zu achten. Im folgenden wird nur die Fehler-  
suche im Stoppkanal betrachtet, da der Startkanal in  
gleicher Weise aufgebaut ist. Der Saegezahn dauert  
ca. 15  $\mu$ s. (c)
- Ist Oszillogramm vollstaendig in Ordnung?
- Es sollte eigentlich auch (EXE STP) in Ordnung sein,  
eventuell R 241 defekt?
- (c) Ist Oszillogramm an M 1 in Ordnung, nur fehlerhafte  
Dauer des Saegezahnes? (d)
- Sind (TI STP), (TI STP) in Ordnung (ECL-Pegel, Impuls-  
breite 150 ns)? (h)
- Fehler FG 7, Zeitdehnung Stopp: C 414, C 416, Strom-  
quelle mit SMY 60, B 082, eventuell STROMSCHALTER
- (d) Ist Oszillogramm an M 1 prinzipiell in Ordnung, nur  
die Zacke am Auslauf des Saegezahnes fehlt? (f)
- Abgleich R 406 nach Pruefanleitung Pkt. 3.3.6.1. und  
Pkt. 3.3.6.2. kontrollieren.
- Ist (EX STP) nach Oszillogramm 7.14. bis auf die  
negative Ausschwingspitze in Ordnung? (e)
- Fehler FG 7: STOPP-EX-FLIP-FLOP, D 208/3
- (e) Fehler FG 7: DIFFERENZVERSTAERKER, AUSTASTSTUFE,  
INTEGRATOR
- (f) Sind (TI STP), (TI STP) in Ordnung (150 ns breite  
Impulse, ECL Pegel)? (h)
- Stimmen DC-Arbeitspunkte ohne Aussteuerung an V 320/4  
und V 322/4? (g)
- Fehler FG 7: STROMSCHALTER (V 304, V 306, V 308 und  
Umfeld)
- (g) Fehler FG 7: DIFFERENZVERSTAERKER, AUSTASTSTUFE,  
INTEGRATOR, auch V 312, V 320, V 322 und Umfeld
- (h) Wechseln (ARM ST) bzw. (ARM STP) zwischen High  
und Low? (j)
- Sind die Zeitimpulse an Eingang 9 des TI-FLIP-FLOP's  
vorhanden?
- Sind die Zeitimpulse (C/CK ST/STP) am Anschluss 9 vom  
BY D/TOR-FLIP-FLOP vorhanden? (i)
- Ist das Ruecksetzsignal (RES E) vorhanden (High  
waehrend Ruecksetzen, sonst Low)? 2.3.4.4.(k)
- Ist (RATIO E) an D 204/12, D 206/15 Low? 2.3.4.4.(k)
- Ist (RES by D E) an D 203/5, D 205/12 Low und (byD E)  
an D 203/4, D 205/13 Low? 2.3.4.4.(k)
- Fehler FG 7: TI-FLIP-FLOP, BY D/TOR-FLIP-FLOP, D 208,  
D 209

- (i) Signal (C/CK ST/STP) bis auf FG 6, A 206/10 zurueckverfolgen. Fehlt es dort, weiter bei 2.3.15.3.
- (j) Fehlerhafte Signale (ARM ST), (ARM STP) koennen keinen Ueberlauf des  $\Delta x$ -Zaehlers verursachen. Es muss eine andere Fehlererscheinung, z.B. Freigabe fehlt, vorhanden sein.
- (k) Fehler FG 8: D 215, D 214
  - (l) Ist D 217/12 auf FG 8 High? (m)
  - Das Signal (D 17) ist weiter ueber A 214/1 bis auf A 210, D 224/19 (HF-TREIBER) und weiter als A/D 7 bis zum Mikroprozessor zu verfolgen.
  - (m) Fehler FG 8: TREIBER x oder Verbindung zu D 214/4
  - (n) Das Signal (EX) ist ueber A 209 bis zum Mikroprozessor auf FG 10 zurueckzuverfolgen. Dazu kann das Pruefprogramm P 22 benutzt werden (vergleiche Pkt. 2.4.2.).

2.3.5. Betriebsart CHECK: Messablauf prinzipiell in Ordnung, falsches Ergebnis (GATE 1 s)

2.3.5.1. Fehler im Ergebnis  $\geq 10^{-7}$ , Register t falsch ( $\geq 100$  ns)

- Sind Zaehlimpulse (CX) an C 266 in Ordnung (Periodendauer der Impulsfolge 2  $\mu$ s)? (a)
- Signal (EX) vorhanden (1mal nach Eichzyklus, 1mal nach Messende)? 2.3.4.6.(n)
- Die Pegel an D 217/8 - 1 auf FG 8 sind waehrend (EX) = Low zu kontrollieren. Beim Eichzyklus ist D 217/8 - 1 = 00 H ( $\Delta x$  positiv) oder 40 H ( $\Delta x$  negativ), nach Messende muss eine der Messzeit entsprechende Information anliegen, bei CHECK 1 s ist dies typisch 04 H (entspricht 400 ns), moeglich ist auch 03 H oder 05 H. Ist dies der Fall, werden die Pegel an D 217/8 - 1 als (D 17) - (D 10) bis zu (A/D 7) - (A/D 0) auf FG 10 weiterverfolgt. Wird dabei kein Fehler entdeckt, ist die Fehlerursache vermutlich die CTC x, deshalb weiter bei 2.3.4.4.(u).
- Ist D 217/8 - 1 bereits im Eichzyklus falsch, wird eine der Zaehlstufen vom HF-ZAEHLER x moeglicherweise nicht richtig rueckgesetzt. Das Signal (RES E) ist zu kontrollieren und gegebenenfalls bis zum ARMINGPORT (RES) zurueckzuverfolgen.
- (a) Zaehlimpulse von C 266 ueber X 8/B 1 auf FG 8 unter Beachtung der veraenderten Teilungsfaktoren bis zu X 37/C 4 zurueckverfolgen. Ist (GCKU) an X 37/C 4 in Ordnung? (b)
- Fehler FG 8: D 201, D 202, D 209, V 222, V 223 und Umfeld
- (b) Ist (CK 10M) an X 7/4 in Ordnung? 2.3.15.3.
- Fehler FG 7: D 207, D 209

2.3.5.2. Fehler im Ergebnis  $\geq 10^{-7}$ , Register u falsch

- Sind die Zaehlimpulse (CY) an C 267 in Ordnung (Periodendauer 25,6  $\mu$ s)? (d)
- Sind Zaehlimpulse (CX) an C 266 in Ordnung (Periodendauer 2  $\mu$ s)? 2.3.5.1.(a)
- Lesesignal ( $\overline{EY}$ ) fuer TREIBER y an C 280 kontrollieren. Schmale Low-Impulse, TTL, 1mal nach Messende? (c)
- Ist der Fehler im Register u  $< 25,6 \mu$ s? (a)
- Zaehlweise des HF-ZAEHLERS y kontrollieren. Dazu CT A by D einschalten, Tor oeffnen, ungespeicherter Betrieb. Die Information von ( $\overline{D 17}$ ) - ( $\overline{D 10}$ ) an C 270 - C 277 waehrend ( $\overline{EY}$ ) = Low bestimmen. Die Zaehlweise fuer ( $\overline{D 17}$ ) - ( $\overline{D 10}$ ) ist folgende:

Zaehlergebnis	0	1	2	3	4	5	6	7	8	9	10	11	12
( $\overline{D 17}$ ) - ( $\overline{D 10}$ ) Hex	F6	F7	F5	F4	F2	F3	F1	F0	FE	FF	FD	FC	FA
13 14 15 16	17 - 31	32 - 47	usw. bis 240 - 255				256 - 271						
FB F9 F8 E6	Ex	Dx	...				0x		Fx				
x wie bei 0 - 15													

- Bei falscher Zaehlweise weiter bei (b).  
 Bei korrekter Zaehlweise an ( $\overline{D 17}$ ) - ( $\overline{D 10}$ ) sind die Datenleitungen bis zu FG 10 (A/D 7) - (A/D 0) zu verfolgen.
- (a) Bei Fehlern  $\geq 25,6 \mu$ s im Register u verbleibt die CTC y als potentielle Fehlerquelle, vorausgesetzt (CY) war korrekt. Bevor man die CTC y als defekt ansieht, sind alle Anschuesse auf richtige Signalpegel zu pruefen. Man geht dabei in analoger Weise wie bei der CTC x, 2.3.4.4.(u) vor.
  - (b) Die fehlerhaften Busleitungen ( $\overline{D 17}$ ) - ( $\overline{D 10}$ ) auf FG 8 sind bis zu ihrem Ursprung zurueckzuverfolgen.
  - (c) ( $\overline{EY}$ ) ist ueber A 209 bis auf A 210 (EHF) zurueckzuverfolgen. Fehlerquelle ist wahrscheinlich D 277, D 278 auf A 209.
  - (d) Das Signal (CY) ist auf FG 8 von X 8/B 9 bis zum Zaehlereingang M 4 unter Beachtung des geaenderten Teilerverhaeltnisses zurueckzuverfolgen.
  - Ist Signal an M 4 falsch oder nicht vorhanden (getorte Impulse 100 ns)? (g)
  - ( $\overline{C/CK CT}$ ) an D 201/7, FG 8 vorhanden? (e)
  - ( $\overline{A CT}$ ) und ( $\overline{B CT}$ ) an D 201/4, 5 etwa -1,8 V (Low)? (f)
  - Fehler FG 8: D 201
  - (e) Das Signal ( $\overline{C/CK CT}$ ) bis auf FG 6, A 206/8 zurueckverfolgen. Falls kein Fehler gefunden wurde, also ( $\overline{C/CK CT}$ ) an A 206/8 auch falsch ist, weiter bei 2.3.15.3.
  - (f) Das fehlerhafte Signal bis auf FG 2, 3 zurueckverfolgen. Ist ( $\overline{A CT}$ ) an A 202/5 falsch, weiter bei 2.3.11.2., ist ( $\overline{B CT}$ ) an A 203/5 falsch, weiter bei 2.3.12.2.
  - (g) Fehler FG 8: D 203, D 204, V 224 - V 226, D 208, D 210 und Umfeld.

2.3.5.3. Fehler im Ergebnis  $< 2 \times 10^{-7}$ , Register t falsch  
( $\leq 200$  ns), Register unkorrekt.

- Ist  $(\overline{EDX})$  an C 279 vorhanden (schmale Low-Impulse, 1mal am Anfang der Messung beim Eichzyklus, 1mal am Messende)? (d)
- Waehrend  $(\overline{EDX}) = \text{Low}$  werden  $(\overline{D 17})$  bis  $(\overline{D 10})$  an C 277 - C 270 auf definierte Pegel kontrolliert. Fuer Mess- und Eichzyklus liegt der ausgelesene Zaehlerstand von  $\Delta x$  zwischen FA H und 05 H bei korrekter Funktion. Typisch ist das Zaehlergebnis FE H, FF H oder 00 H, 01 H. (a)
- $(\overline{D 17}) - (\overline{D 10})$  bis zu FG 10 (A/D 7) - (A/D 0) weiter verfolgen.
- (a) Stimmt das Zaehlergebnis an  $(\overline{D 17}) - (\overline{D 10})$  mit der Information an den Ausgaengen von ZAEHLER  $\Delta x$  - unter Beachtung der Negation von TREIBER  $\Delta x$  - ueberein?
- Sind die Signale  $(\overline{EXB ST})$ ,  $(\overline{EXB STP})$  an X 37/A 4, A 2 vorhanden? (b)
- Sind auch  $(\overline{EXE ST})$ ,  $(\overline{EXE STP})$  an X 37/C 3, A 2 in Ordnung (je 1mal etwa 15  $\mu\text{s}$  lang High am Messanfang und am Messende)? 2.3.4.6. (b)
- Fehler FG 8: TORSTEUERUNG EXT1, TOR EXT1, ZAEHLER  $\Delta x$ , gegebenenfalls Pruefung nach Pruefanleitung Pkt. 3.2.8.3. Vorher (CK 20M) nach Oszillogramm 6.3. kontrollieren. Bei fehlerhaftem Oszillogramm (Zeiten beachten) weiter bei 2.3.15.3.
- (b) Das fehlerhafte Signal bis zum TI-FLIP-FLOP auf FG 7 zurueckverfolgen.
- Sind Zeitimpulse an D 204/9, D 206/9 in Ordnung? (c)
- Ist D 204/12 und D 206/5 Low? Liegt  $(\overline{RES E})$  an D 204/5 und D 206/12 an? 2.3.4.4. (k)
- Fehler FG 7: D 204, D 206, sofern die D-Eingaenge korrekten Pegel fuehren.
- (c) Falls  $(\overline{CK 10M})$  auch an A 206/5 falsch ist, weiter bei 2.3.15.3.
- (d) Das Signal  $(\overline{EDX})$  mit Unterstuetzung des Pruefprogrammes P 22 (vergleiche Pkt. 2.4.2.) bis auf FG 10 zurueckverfolgen.

2.3.6. Betriebsart TIME D, Messablauf nicht in Ordnung

2.3.6.1. ARM-Anzeige dunkel, Start vorhanden

- Ist Signal  $(\overline{STEN})$  auf FG 5, M 6 vorhanden? (a)
- Weiter bei Betriebsart CHECK nach Pkt. 2.3.4.2.
- (a) Sind die Signale an M 4, M 5 in Ordnung? (b)
- Sind  $(\overline{SLD+ E})$  und  $(\overline{SLD- E})$  an D 207/13, 10 FG 5 in Ordnung? 2.3.4.3. (c)
- Die Signale  $(\overline{C/CK ARM})$ ,  $(\overline{B ARM})$ ,  $(\overline{A ARM})$  auf FG 5, D 208/11, 9, 10 kontrollieren. Sind alle etwa -1,8 V? (f)
- Fehler FG 5: D 207/14, 15, D 208/7
- (b) Ist das Signal an M 3 (ECL-Pegel) korrekt? (c)
- Fehler FG 5: TRIGGER D 205

- (c) Ist Signal am Gate 1 von V 212 vorhanden?  
Eventuelle Signalverfaelschung durch Oszillografen beachten. (e)
- Ist D 201/6 Low? (d)
- Fehler FG 5: VERSTAERKER ( V 212, V 213, N 250);  
Ermittlung der Fehlerursache durch Kontrolle der DC-Spannungen ohne Eingangssignal, gegebenenfalls Abgleich nach Pruefanleitung Pkt. 3.3.4.
- (d) Die Signale (RES), (SLD-) vom ARMINGPORT aus bis zu D 201/4 verfolgen, Fehlerursache D 201, D 202.
- (e) Fehler FG 5: BEGRENZUNG, eventuell V 212 zu grosser Eingangsstrom?
- (f) Das fehlerhafte Signal bis auf FG 6, FG 3, FG 2 zurueckverfolgen. Gegebenenfalls weiter bei 2.3.15.3., 2.3.12.2., 2.3.11.2.

#### 2.3.6.2. ARM-Anzeige leuchtet, Tor geht nicht auf

- Ist Betriebsart CHECK in Ordnung? 2.3.4.
- Ist auf FG 7 (RES by D E) an D 203/5 und D 205/12 waehrend Ruecksetzen High, sonst Low und ist (byD E) an D 203/4, D 205/13 Low? (a)
- Fehler FG 7: D 205, falls D 205/10 korrekt ist.
- (a) Das fehlerhafte Signal bis zum ARMINGPORT auf FG 5 zurueckverfolgen.

#### 2.3.6.3. Tor geht nicht wieder zu

- Ist Signal (STPEN by D) auf FG 5 an D 207/2, 3 in Ordnung? (e)
- Ist (ARM STP) an A 205/3 Low? (b)
- Die Signale (RES by D E), (byD E) auf FG 5 kontrollieren. Ist D 203/5 waehrend Ruecksetzen High, sonst Low und D 203/4 staendig Low? (a)
- Fehler FG 7: D 203/2
- (a) Das fehlerhafte Signal bis zum ARMINGPORT zurueckverfolgen. Falls erforderlich, ARMINGPORT mit Pruefprogramm P 20 kontrollieren.
- (b) Ist (DEL) Low (Einstellwert DEL off)? (c)
- Ist D 203/5 waehrend Ruecksetzen High, sonst Low und ist D 203/4 staendig Low? (a)
- Fehler FG 5: D 210 oder D 211/7, sofern (STPEN by D) an D 210/6 anliegt.
- (c) Das Signal (DEL), (DEL E) bis auf FG 10 zurueckverfolgen. Ist D 210/14 auf A 210 Low? (d)
- Fehler FG 10: D 212, D 204/6 oder Verbindungsweg FG 10 nach FG 5
- (d) Fehler FG 10: DELAYPORT D 210, eventuell D 213; DELAYPORT mit Pruefprogramm P 21 kontrollieren.
- (e) Fehler FG 5: D 207/2, 3, falls Eingangssignale an D 207/4, 5, 6, 7 in Ordnung sind.

#### 2.3.6.4. Taste MAN funktioniert nicht

- Funktioniert TIME D bei Messung mit Signal an Eingang D? 2.3.6.1. - 2.3.6.3.
- Ist D 201/8 auf A 205 Low, wenn Taste MAN geloest ist und High, wenn Taste MAN gedruickt ist? (b)
- Funktioniert Taste MAN bei GATE D+? (a)
- Fehler FG 5: D 202, falls Eingangspegel D 202/9, D 202/10, 2, 5 in Ordnung sind.  
(a) Fehler FG 5: D 201/6, V 241  
(b) Fehler FG 5: D 201/8, S 297 oder Verbindung S 297 nach A 205/10, 11, 12

#### 2.3.7. Messfreigabe fehlt (CHECK, TIME D in Ordnung)

##### 2.3.7.1. Messfreigabe A+, A- funktioniert nicht

- Ist das Signal (A ARM) auf FG 5 A 205/9 in Ordnung? (b)
- Sind (C/CK ARM) und (B ARM) an A 205/5, 7 Low (etwa -1,8 V)? (c)
- Fehler FG 5: D 208, falls CHECK funktioniert  
(b) Signal zurueckverfolgen bis auf FG 2. Falls (A ARM) an A 202/9 falsch ist, weiter bei 2.3.11.2.  
(c) Die Signale bis auf FG 6, FG 3 zurueckverfolgen, falls (C/CK ARM) an A 203/9 fehlerhaft ist, weiter bei 2.3.15.3., falls (B ARM) an A 203/9 fehlerhaft ist, weiter bei 2.3.12.2.

##### 2.3.7.2. Messfreigabe B+, B- funktioniert nicht

Vorgehen analog zu Pkt. 2.3.7.1., nur mit vertauschten Kanaelen A, B.

##### 2.3.7.3. Messfreigabe D+, D- funktioniert nicht

- Funktioniert TIME D? 2.3.6.
- Dann muss auch Messfreigabe D+, D- funktionieren.

##### 2.3.7.4. Messfreigabe intern funktioniert nicht

- Funktioniert CHECK? 2.3.4.1.
- Dann muesste auch Messfreigabe intern funktionieren.

2.3.8. Tor geht nicht auf oder nicht zu (CHECK, TIME D in Ordnung)

- FREQ 100 MHz: Sollte gehen, wenn CHECK funktioniert
- FREQ 40 MHz, RPM, PER, RATIO, FREQ C: Die Signale (A ST), (A STP), (B ST), (B STP), (C/CK ST/STP) bis auf FG 2, FG 3, FG 6 zurueckverfolgen. Falls die Signale auch dort fehlerhaft sind, weiter bei 2.3.11.2., 2.3.12.2. oder 2.3.15.3.
- CT A by D oder FREQ, RPM, PER, CHECK, RATIO bei externer Torzeit: Sollte in Ordnung sein wenn TIME D funktioniert.
- TI, +/-TI, PW, CT A by B: Wie bei FREQ 40 MHz
- PH, +/-PH, DUTY: Sollte funktionieren, wenn TI, +/-TI, PW in Ordnung sind.

2.3.9. Stoppverzoeigerung oder interne Torzeit falsch (CHECK mit GATE 1 s in Ordnung)

- Ist Torzeit automatisch und RATIO oder FREQ 100 MHz eingestellt? (b)
- Ist (CY) an C 267 in Ordnung? CHECK: 2.3.5.2.
- Die Ausgaenge des DELAYPORTES auf FG 10 sind zu kontrollieren. Ist D 210/14, 11, 6, 2 High und D 210/3 Low? (a)
- (CY) auf FG 10 bis zu D 211/8 und D 211/6 (Uebertrag von Kanal 0 der CTC y) verfolgen.
- Fehler FG 10: D 211 oder CTC y. Fuer die CTC y gelten die Hinweise zur CTC x nach Pkt. 2.3.4.4.(u).
- (a) DELAYPORT FG 10 mit Pruefprogramm P 21 kontrollieren. Falls in Ordnung, kommt die CTC y als Fehlerursache in Betracht. Hinweise nach Pkt. 2.3.4.4.(u) auf CTC y uebertragen.
- (b) Ist Signal (CX) an C 266 in Ordnung (Periode 2 µs)? CHECK: 2.3.4.4.
- Die Ausgaenge des DELAYPORTS auf FG 10 kontrollieren.

Torzeit/Stoppverzoeigerung	D 210				
	/14	/11	/6	/2	/3
1 Periode	Low	x	x	x	x
2 µs	High	Low	x	Low	High
4 µs - 514 µs	High	High	Low	Low	High
> 514 µs	High	High	High	Low	High
auto, ausser RATIO, FREQ 100 MHz	wie > 514 µs				

x Hat keine Bedeutung

- Ist DELAYPORT in Ordnung? (a)
- Fehler FG 10: D 211, CTC x; Hinweise nach Pkt. 2.3.4.4.(u) beachten.

### 2.3.10. TriggerpegelEinstellung falsch

- Triggerpegel A falsch? (c)
- Liegen (TLA LO), (TLB LO) an Z 261, Z 263 (oder an X 39/A 11, X 39/A 12) auf 0 V? (b)
- Ist (TLA HI) an Z 262 in Ordnung (Spannung entsprechend eingestelltem Wert mit negativem Vorzeichen unter Beachtung der Abschwächereinstellung und der Hysteresekompensation)? (a)
- (TLA HI) bis auf FG 2 A 202/1 verfolgen.
- Ist die Spannung an M 2 auf FG 2 0 V +/- 10 mV (ohne Eingangssignal)? 2.3.11.1.(b)
- Fehler FG 2: R 265, R 269, C 385
- (a) (TLA HI) zurueckverfolgen bis auf FG 9 M 3, falls dort auch falsch, weiter bei 2.3.16.1.
- (b) Signale bis auf FG 2 A 202/2 oder FG 3, A 203/1, zurueckverfolgen.
- (c) Fehlersuche wie bei Triggerpegel A falsch  
Messpunkte fuer (TLB HI): Z 264, X 39/C 12, A 203/1, FG 9/M 5.

### 2.3.11. Fehler Kanal A, FG 2

#### 2.3.11.1. Triggeranzeige funktioniert nicht

- Signal an D 209/14, 15 noch vorhanden? (b)
- Signal an D 201/5 vorhanden (etwa halber ECL-Pegel symmetrisch zu -1,3 V)? (a)
- Fehler FG 2: TRIGGERANZEIGE, H 411, H 412
- (a) Fehler FG 2: D 210
- (b) TLA Null, ATT x 1, FILT off, IMP 1 MOhm einschalten. Tritt Fehler noch auf? (i)
- Signal an M 3 in Ordnung? (e)
- Signal an D 209/4 vorhanden (um -1,3 V)? (d)
- D 209/5 etwa -1,3 V? (c)
- Fehler FG 2: DC-VERSTAERKER, TRIGGER
- (c) Fehler FG 2: N 201/1 und Umfeld, Relaiskontakt K 423 muss geoeffnet sein, Spannungsteiler R 409, R 410, R 349
- (d) Fehler FG 2: BEGRENZUNG, Fusspunkt der BEGRENZUNG -1,3 V? Falls nicht: N 201/14, RN 424, R 409, R 410
- (e) Ist M 2 auf 0 V +/- 10 mV ohne Eingangssignal? (h)
- Bleibt auch 0 V bei Aendern der TriggerpegelEinstellung? (h)
- Liegen an M 3 etwa -1,3 V? (f)
- Der DC-Weg ist vermutlich in Ordnung. AC-Weg durch Signalverfolgung vom Eingang bis zu M 3 kontrollieren. FET-Arbeitspunkt kontrollieren, Relaisstellung K 260, K 259 fehlerhaft?
- (f) Ist die Spannung an V 228/Emitter 0 V? (g)
- Fehler FG 2: R 417, R 418, eventuell N 201
- (g) Fehler FG 2: EINGANGSBEGRENZUNG
- (h) Fehler FG 2: REGELVERSTAERKER VORSTUFE, V 212, V 224 und Umfeld

- (i) Die in Frage kommenden Signale von PORT A/B-MODE (ATT), (AC), (FILT), (FILT) (50 Ohm), eventuell auch (TL SIN) bis zu ihren Endpunkten verfolgen. Sind sie schon an den Portausgängen fehlerhaft, dann die Eingabeports mit Prüfprogramm P 20 kontrollieren (vergleiche Pkt. 2.4.2.).

#### 2.3.11.2. Fehler bei den Ausgangssignalen

- Funktioniert Triggeranzeige? 2.3.11.1.
- Signal an den Eingängen der Flankenwahl D 207/13, 4, D 208/5, 12 bzw. D 207/11, 6, D 208/7, 10 vorhanden? (a)
- Fehler FG 2: D 210
- (a) Sind die Steuersignale fuer die Flankenwahl in Ordnung? (b)
- Fehler FG 2: D 207, D 208 und Widerstände
- (b) Das fehlerhafte Signal bis zum PORT SLOPE A zurueckverfolgen. Sind die Portausgänge bereits fehlerhaft, das PORT SLOPE A mit Unterstuetzung von P 20 kontrollieren (vergleiche Pkt. 2.4.2.).

#### 2.3.12. Fehler Kanal B (FG 3)

##### 2.3.12.1. Triggeranzeige funktioniert nicht

Die Fehlersuche erfolgt analog zu Pkt. 2.3.11.1.

##### 2.3.12.2. Fehler bei den Ausgangssignalen

Die Fehlersuche erfolgt analog zu Pkt. 2.3.11.2.

#### 2.3.13. Fehler Kanal C (nur bei G-2005.500)

##### 2.3.13.1. Spannungsanzeige geht falsch

- Kommt das Eingangssignal am VerstaerkerAusgang R 212 richtig an? (c)
- DC-Spannung an N 256/13 in Ordnung (etwa -20 mV)? (b)
- Gleichgerichtete Spannung an N 256/3 vorhanden? (a)
- Fehler FG 4: N 256 und Umfeld oder LED H 290, eventuell Abgleich nach Pruefanleitung Pkt. 3.3.3.2. kontrollieren
- (a) Fehler FG 4: V 261 und Umfeld bis N 256/3, C 211
- (b) Fehler FG 4: V 262, N 256/14 und Umfeld, eventuell Abgleich nach Pruefanleitung Pkt. 3.3.3.1.
- (c) Fehler FG 4: BEGRENZUNG, N 206 und Umfeld

### 2.3.13.2. Ausgangssignal falsch

- Ist (FC) an D 235/13, 5 Low? (a)
- Ausgangssignal (FQC) ueber TEILERSTUFE 4 : 1, TEILERSTUFE 10 : 1, V 222, V 223 bis zum VerstaerkerAusgang an R 212 zurueckverfolgen. Ist Signal an R 212 noch falsch, weiter bei 2.3.13.1.(c)
- (a) (FC) bis auf FG 6, REFERENZPORT zurueckverfolgen. Gegebenenfalls REFERENZPORT und (EREF) mit Pruefprogramm P 20 kontrollieren (vergleiche Pkt. 2.4.2.).

### 2.3.14. Fehler Kanal D (FG 5)

#### 2.3.14.1. Triggeranzeige funktioniert nicht

- Ist das Signal an M 4, M 5 auf FG 5 in Ordnung? 3.6.1.(b)
- Fehler FG 5: TRIGGERANZEIGE

#### 2.3.14.2. Falsche Ausgangssignale (ARM ST), (ARM STP)

- Tritt der Fehler bei CHECK auf, erfolgt die Fehlersuche nach 2.3.4.2., 2.3.4.4.
- Tritt der Fehler bei externer Torzeit oder externer Freigabe auf, erfolgt die Fehlersuche nach Pkt. 2.3.6.1. bzw. Pkt. 2.3.6.3.
- Bei anderen Betriebsarten erfolgt die Fehlersuche nach Pkt. 2.3.7.

### 2.3.15. Fehler im Referenzkanal (FG 6)

#### 2.3.15.1. Umschaltung extern/intern geht nicht

- Liegen die Ausgaenge des REFERENZPORTS D 251/2 auf High, D 251/3 auf Low bei internem Betrieb und umgekehrt bei externem Betrieb? (k)
- Die Signale EXT, EXT bis zu den RELAIS/-ANZEIGESTUFEN weiterverfolgen.
- Betrieb mit interner Referenzfrequenz einschalten.
- Liegen (AFC HI) und (AFC LO) an X 6/C 2, C 3 auf gleichem Potential (gegen Masse etwa 30 mV, betragsmaessig)? (j)
- Funktioniert Betrieb mit interner Referenzfrequenz? (i)
- Funktioniert Betrieb mit externer Referenzfrequenz? (a)
- Kein Fehler
- (a) Sind Auftastimpulse an M 7 vorhanden (Oszillogramm 6.8.)? (f)
- Ist die externe Referenzfrequenz an M 6 (Oszillogramm 6.7.) vorhanden (und an Basis V 302)? (e)
- Sind Auftastimpulse an M 8 (Oszillogramm 6.9., ohne Eingangssignal) in Ordnung? (d)
- Ist DC-Spannung an X 6/C 2 und an M 9 im Bereich +/-0,5 V? (c)

- Am Thermostaten die Leitung an A 220/9 abloeten.  
An Eingang EXT  $\ominus$  eine Frequenz mit Abweichung  $< 10^{-7}$  gegenueber der internen Referenz geben. An X 6/C 2 bzw. an M 9 erscheint dann ein niederfrequentes Signal, dessen Frequenz durch die Abweichung zwischen interner und externer Referenzfrequenz bestimmt ist. Das Signal ist sinusfoermig und liegt etwa symmetrisch zu 0 V. In Ordnung? (b)
- Fehler FG 16: siehe Pkt. 2.3.18.5.
- (b) Fehler FG 6: INTEGRATOR, TASTSTUFE
- (c) Fehler FG 6: Operationsverstaerker N 300 und Umfeld, Relaiskontakt K 288, Abgleich nach Pruefanleitung Pkt. 3.3.5.4. kontrollieren.
- (d) Fehler FG 6: TASTSTUFE, R 327, C 340, eventuell N 300; Abgleich nach Pruefanleitung Pkt. 3.3.5.4. kontrollieren.
- (e) Signal bis zum Eingang X 36 zurueckverfolgen. Ist Relaiskontakt K 289 geoeffnet?
- (f) Signal an M 3 vorhanden? (g)
- Fehler FG 6: D 203/9, 15, V 297, V 298, D 253 und Umfeld
- (g) Ist (FREF) (10 MHz Sinus) an X 6/B 9 vorhanden? (h)
- Fehler FG 6: TIEFPASS, TRIGGER, REGELVERSTAERKER
- (h) Signal bis zum Thermostaten zurueckverfolgen. Falls die 10 MHz bereits an X 15, FG 16 fehlen, weiter bei 2.3.17.3.
- (i) Ist Signal an M 3 vorhanden? (g)
- Sind in Betriebsart CHECK alle Ausgangssignale (CK 20M), (CK 10M), (C/CK ARM), (C/CK ST/STP), (C/CK CT) vorhanden? 2.3.15.3.
- Betrieb mit interner Referenz muesste funktionieren.
- (j) Fehler FG 6: Relaiskontakt K 288, R 330. Die Signale (AFC HI), (AFC LO) bis zum Thermostaten verfolgen.
- (k) Das REFERENZPORT und die Schreibleitung (EREF) mit Pruefprogramm P 20 kontrollieren (vergleiche Pkt. 2.4.2.).

#### 2.3.15.2. Ausgabe interne Referenzfrequenz nicht in Ordnung

- Ist Signal an M 3 vorhanden? 2.3.15.1.(g)
- Liegen die frequenzgeteilten Signale an D 260/1 - 4, D 260/12 - 15 an? (b)
- Sind die Signale an D 260/9, 10, 11 korrekt, ist D 260/7 Low? (a)
- Fehler FG 6: D 260, V 290 - V 295, Relaiskontakt K 289, die Kaltleiter TP 60/90-4, R 375
- (a) Die fehlerhaften Signale bis zum REFERENZPORT zurueckverfolgen, gegebenenfalls weiter bei 2.3.15.(k).
- (b) Das fehlerhafte Signal ueber die zugehoerigen Teilerstufen bis zu M 3 zurueckverfolgen.

### 2.3.15.3. Falsche Ausgangssignale

- Ist das Signal an M 3 korrekt? 2.3.15.1.(g)
- Ist (CK 20M) falsch (Oszillogramm 6.3.)? (a)
- Das Signal zurueckverfolgen bis M 1, gegebenenfalls Abgleich kontrollieren, Zeiten nach Oszillogramm 6.3. beachten.
- (a) Ist (CK 10M) falsch? (b)
- Fehler FG 6: D 203/14, R 230
- (b) Sind (C/CK ARM), (C/CK ST/STP), (C/CK CT) bei FREQ C falsch? (e)
- Ist (FQC) an A 206/3 vorhanden? (d)
- Ist (FC) an D 202/10, D 203/6 Low und sind die Steuersignale an D 204/5, 13, 10 in Ordnung? (c)
- Fehler FG 6: D 203, D 202, D 204 und Umfeld
- (c) Fehlerhaftes Signal bis zum REFERENZPORT zurueckverfolgen, gegebenenfalls weiter bei 2.3.15.1.(k).
- (d) Das Signal bis auf FG 4 zurueckverfolgen, gegebenenfalls weiter bei 2.3.13.2.
- (e) Sind die Steuersignale an D 204/5, 13, 10 in Ordnung, ist (FC) High? (c)
- Fehler FG 6: D 203, D 204 und Umfeld

### 2.3.16. Fehlerhafte Triggerpegeleinstellung (FG 9)

#### 2.3.16.1. (TLA HI) ist falsch

- (TLA LO), (TLB LO) müssen auf Masse liegen.
- Bei geringfügigen Abweichungen Abgleich nach Pruefanleitung Pkt. 3.3.7.1. kontrollieren.
- Kommt die digitale Information an CONV A und an D 208 richtig an (D 208/12 = High, D 208/6 = Low bei positivem Vorzeichen, sonst umgekehrt)? (c)
- Stimmt die Spannung an M 1? (b)
- Ist die Spannung an D 208/9, 10 Null Volt bei positivem Vorzeichen, oder gleich der an M 1 bei negativem Vorzeichen? (a)
- Fehler FG 9: POL A
- (a) Fehler FG 9: V 4066 und Umfeld
- (b) Fehler FG 9: AMP A, CONV A, gegebenenfalls Abgleich kontrollieren.
- (c) Die fehlerhaften Leitungen bis zum Eingabeport zurueckverfolgen. Gegebenenfalls die Eingabeports sowie (ETLA), (ETLB), (ETLS) mit Unterstuetzung des Pruefprogrammes P 21 kontrollieren (vergleiche Pkt. 2.4.2.).

### 2.3.16.2. (TLB HI) ist falsch

(TLA LO), TLB LO) muessen auf Masse liegen. Bei gering-  
fuegigen Abweichungen Abgleich nach Pruefanleitung Pkt.  
3.3.7.2. kontrollieren.

- Kommt die digitale Information an CONV B und an D 208  
richtig an (D 208/13 = High, D 208/5 = Low bei posi-  
tivem Vorzeichen, sonst umgekehrt)? 2.3.16.1.(c)
- Stimmt die Spannung an M 3? (a)
- Ist die Spannung an D 208/2, 3 Null Volt bei positi-  
vem Vorzeichen, oder gleich der Spannung an M 3 bei  
negativem Vorzeichen? 2.3.16.1.(a)
- Fehler FG 9: POL B
- (a) Fehler FG 9: AMP B, CONV B, gegebenenfalls Abgleich  
kontrollieren.

### 2.3.17. Fehler Interface (FG 12)

#### 2.3.17.1. Adressierung als Talker oder Listener ist nicht moeglich

- Wird die eingestellte Adresse richtig gelesen (Taste  
ADDR IMS-2)? (c)
- Erfolgt eine Adressierung bei ton? (b)
- Wird bei Einlesen des Adressierungsbefehls MLA, MTA  
der Handshake richtig ausgefuehrt? 2.3.17.2.
- Die Leitungen (BIO 1) bis (BIO 7) sind von X 22 aus-  
gehend ueber die Treiberstufen bis zum Schaltkreis  
KR 580 WA 91 zurueckzuverfolgen. Ist die Information  
an D 204/28 - 34 fehlerhaft? (a)
- Fehler FG 12: D 206, D 207 und Umfeld, Verbindung von  
A 212 zu X 22.
- (a) Vermutlich ist der Interfaceschaltkreis defekt. Um  
dies zu bestaetigen, sollte man folgendes tun:  
\* Alle staendig anliegenden Signale - Betriebsspan-  
nung, (CS) = Low, (DACK) = High, RESET = Low (ausser  
waehrend des Einschaltvorganges), Takt an D 204/3 -  
kontrollieren.  
\* Mit Pruefprogramm P 22 wird das Schreiben von  
Daten bis D 204/12 - 19 kontrolliert, ebenso die  
Schreib-/Lesesignale an D 204/10, 9 und die Adress-  
leitungen an D 204/21 - 23.  
Als Fehlerursache kann auch der IF-TREIBER in Frage  
kommen. Er wird in Schreibrichtung mit P 22 geprueft.  
Fuer die Leserichtung ist ebenfalls P 22 moeglich.  
Dabei sind die Leitungen (D 25) - (D 20) ueber den  
Adressschalter veraenderbar. (D 26) kann ueber das  
PW-ON-FLIP-FLOP (D 205/8 auf Masse legen) veraen-  
dert werden.
- (b) Ist RESET an D 204/4 Low? (e)
- Wird an der Anzeige ADDR IMS-2 "on" angezeigt? (c)
- Weiter bei 2.3.17.1.(a)

- (c) Kommen die Leitungen vom Adress-Schalter richtig am ADRESSPORT an (D 201)? (d)
- Mit Pruefprogramm P 12 ist das Lesen des ADRESSPORTS ueber den IF-TREIBER, (A/D 0) - (A/D 5) zu kontrollieren. Wird kein Fehler festgestellt, weiter bei (a), (d) Fehler FG 12: Adress-Schalter, Verbindung A 222 zu A 212
- (e) Fehler FG 12: PON-ERZEUGUNG

2.3.17.2. Der Handshake bei Empfang von Interfacenachrichten laeft nicht ab

- Kontrolle der Interfacebusleitungen (ATN), (DAV), (NRFD), (NDAC) und Weiterverfolgen der Signale bis zum Interfaceschaltkreis D 204. T/R 1 muss Low sein. Dieses Signal von D 204/1 bis zu den Endpunkten weiterverfolgen. Wird kein Fehler gefunden, weiter bei 2.3.17.1.(a).

2.3.17.3. Ein Interfacekommando wird nicht ausgefuehrt

- Ist DCL oder SDC falsch? (a)
- Funktioniert der Handshake? 2.3.17.2.
- Die Leitungen (DIO 1) bis (DIO 7) vom Interfacebus aus zurueckverfolgen bis zu D 204. Wird kein Fehler festgestellt, weiter bei 2.3.17.1.(a).
- (a) Werden diese Befehle nur waehrend der Messung nicht ausgefuehrt, sonst ja? (b)
- Der Fehler wird vermutlich auf der Interruptleitung von D 204/11 bis zum Mikroprozessor auf FG 10 liegen. Wird von D 204 schon kein Interrupt gesendet, weiter bei 2.3.17.1.(a).
- (b) Weiter bei 2.3.17.3., 2. Anstrich.

2.3.17.4. Die Datenausgabe funktioniert nicht

- Ist der G-2005 als Talker adressiert? 2.3.17.1.
- Sind (T/R 1), (DAV), (NRFD), (NDAC), (ATN) an D 204/1, 36 - 38 fuer den Zustand Lesebereitschaft in Ordnung? (c)
- Ist DREQ an D 204/6 staendig High? (a)
- Das Signal (DREQ) VON D 204/6 ueber D 216/14, 13, D 202/12, 8 und weiter als (D-27) bis zum Mikroprozessor auf FG 10 verfolgen. Den Oszillografen auf das Lesesignal des ADRESSPORTS D 203/7 triggern. Wenn DREQ nicht als High erkannt wird, wird dieses Bit laufend vom Mikroprozessor ausgelesen, so das ein Triggersignal vorhanden sein muesste. Aendernfalls muss man Ruecksetzen und jedesmal neu messen. Wird kein Fehler festgestellt, weiter bei 2.3.17.1.(a).
- (a) Ist DREQ korrekt (geht auf High bei Lesebereitschaft, danach wieder auf Low)? 2.3.17.1.(a)
- Wird DAV = Low an D 204/36 gesendet? (b)
- Die Handshakeleitungen (NRFD), (NDAC) und (DAV) zwischen D 204 und Interfacebus kontrollieren, falls kein Fehler festgestellt wird, weiter bei 2.3.17.1.(a).
- (b) Ist Takt an D 204/3 in Ordnung (Oszillogramm 12.4., Frequenz zwischen 3 MHz und 8 MHz)? (d)

- (c) Die Handshakesignale (DAV), (NRFD), (NDAC) und (ATN) zwischen D 204 und Interfacebus kontrollieren. T/R 1 muss High sein. Wird kein Fehler gefunden, oder ist T/R 1 an D 204/1 falsch, weiter bei 2.3.17.1.(a).
- (d) Fehler FG 12: D 216

2.3.17.5. Bei Datenausgabe werden falsche Daten gesendet

- Die fehlerhaften Datenleitungen vom Interfacebus bis zum Interfaceschaltkreis zurueckverfolgen. Wird kein Fehler gefunden, weiter bei 2.3.17.1.(a).

2.3.17.6. Eingelesene Daten (Programmdaten) werden falsch interpretiert

- Die Daten an DIO 1 - DIO 7 bis zu D 204 weiterverfolgen. Falls kein Fehler vorliegt, weiter bei 2.3.17.1.(a).

2.3.18. Fehler Thermostat

2.3.18.1. Thermostatanzeige OVEN ist dunkel

- Ist die Spannung an X 23/2 > 3 V (dauernd oder zeitweise)? (a)
- Fehler FG 1: OVEN-Anzeige H 237 oder Hin- und Rueckleitung zu A 213.
- (a) Fehler FG 16: HEIZUNGSKONTROLLE oder Verbindung X 23/2 nach X 20/A 3; Sind +16 V auf A 220 vorhanden?

2.3.18.2. Thermostatanzeige blinkt dauernd, auch nach Anheizzeit

- Liegt die Heizspannung an A 220/10 im Regelbereich (etwa 6 bis 8 V bei 23 Grad C)? (a)
- Fehler FG 16, A 220: V 227, V 226 und Umfeld (d)
- (a) Heitzt Thermostat staendig, Heizspannung > 12 V? (d)
- Ist die Spannung an A 220/2 etwa 0 V? (f)
- Ist die Spannung an A 220/5 > 2 V bis 3 V? (e)
- Temperatur durch Widerstandsmessung R 236 (Pt 50) kontrollieren. Ist die Temperatur > 72 Grad C? (c)
- (b) Fehler A 221: TEMPERATURBRUECKE, N 209, Temperaturfuehler. Vorher +6,8 V und -6,8 V an A 220/1 kontrollieren.
- (c) Ist die Temperatur < 68 Grad C, heizt der Thermostat noch; Heizspannung > 12 V ist normal, falls A 220/2 0 V ist und die Heizwicklung keine Unterbrechung aufweist. Ist A 220/2 > 0 V, weiter bei (f). Liegt die Temperatur zwischen 68 Grad C und 72 Grad C sollte man abwarten, bis eindeutige Verhaeltnisse vorliegen.
- (d) Ist die Spannung an A 220/5 > etwa 1 V? (b)
- (e) Fehler A 220: LEISTUNGSVERSTAERKER
- (f) Fehler A 221: Thermosicherung F 237

### 2.3.18.3. Ausgangsspannung an X 15 (10 MHz) fehlerhaft

- Ist 10 MHz-Signal an A 220/4 vorhanden (etwa 300 mV effektiv)? (a)
- Fehler FG 16, A 220: TRENNVERSTAERKER
- (a) Sind +6,8 V an A 220/1 in Ordnung? (d)
- Das fehlerhafte Signal zurueckverfolgen bis auf A 221, Basis V 221. Ist dort  $U_{eff} > 10$  mV? (b)
- Fehler FG 16, A 221: V 240, V241, V 249 und Umfeld.
- (b) Kollektor von V 213 auf A 221 auf +6,8 V legen. Ist jetzt  $U_{eff}$  an V 221/B  $> 10$  mV? (c)
- Fehler FG 16, A 221: V 213, V 215, V 216 und Umfeld.
- (c) Fehler FG 16, A 221: QUARZOSZILLATOR, V 221
- (d) Sind +10 V in Ordnung? (e)
- Fehler FG 16, A 220: R 211
- (e) Ist die Spannung an N 204/3 auf A 220 etwa 7 V? (f)
- Fehler FG 16, A 220: REGELTEIL 10 V
- (f) Fehler FG 16, A 220: V 203, eventuell Thermosicherung F 237

### 2.3.18.4. Frequenz laesst sich nicht auf Sollwert abgleichen, interner Betrieb

- Sind die +6,8 V an A 220/1 in Ordnung? 2.3.18.3. (d)
- Ist die Spannung an A 220/3 mit R 232 zwischen etwa 0,3 V und 6,8 V einstellbar? (a)
- Ist die Spannung zwischen (AFC HI) an A 220/9 und (AFC LO) an A 220/11 0 V bei internem Betrieb? (b)
- Fehler FG 16, A 221: QUARZOSZILLATOR (frequenzbestimmende Bauelemente), eventuell Abgleich L 225, C 248, auch die Spannung an den Kapazitaetsdioden kontrollieren.
- (a) Fehler FG 16, A 220: FREQUENZABGLEICH
- (b) Die Leitungen (AFC HI), (AFC LO) bis zu FG 6 zurueckverfolgen, gegebenenfalls weiter bei 2.3.15.1.(j).

### 2.3.18.5. Oszillator laesst sich bei externer Referenz nicht synchronisieren

- Ist (AFC HI) von FG 6 in Ordnung? Leitung (AFC HI) an A 220/9 abloeten (offener Regelkreis) und A 220/9 auf Masse legen. Auf (AFC HI) muss eine NF je nach Ablage der externen Referenzfrequenz gegenueber der Schwingfrequenz des Quarzoszillators vorhanden sein? 2.3.15.1.(a)
- Fehler FG 16, A 221: C 211, R 233 oder Verbindung dorthin.

## 2.4. NUTZUNG VON PRUEFFPROGRAMMEN ZUR FEHLERSUCHE AN PERIPHEREN TEILEN DES MIKROPROZESSORSYSTEMS

### 2.4.1. Pruefprogramme Multiplexanzeige

Zur Pruefung und Fehlersuche auf FG 1 stehen die Programme P 10, P 11, P 12 zur Verfuegung.

#### 2.4.1.1. Programme P 10, P 11

Die Segmentinformation ( $\overline{SA}$ ) - ( $\overline{SH}$ ) wird in Abhaengigkeit von der Stelle entsprechend Bild 30 vom Mikroprozessor ausgegeben.

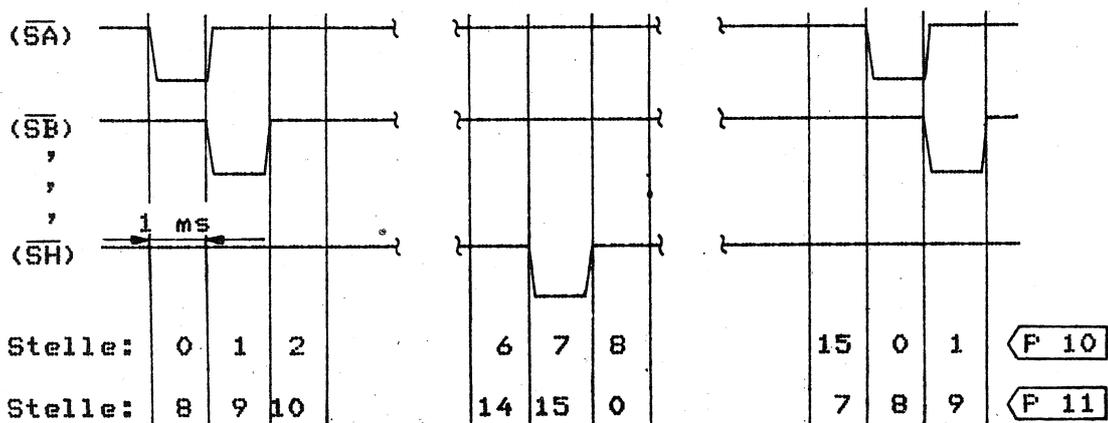


Bild 30: Segmentinformation bei P 10, P 11

Die Programme P 10, P 11 dienen vorwiegend zum Erkennen und Auffinden der Ursache des "Mitleuchtens" einzelner Segmente oder Stellen.

Zur Fehlersuche beginnt man beim fehlerhaften Anzeigeelement und kontrolliert die Signale an den Anoden bzw. an den Segmentanschlüssen. Bei fehlerhafter Ansteuerung des Anzeigeelementes wird das betreffende Signal bis zum Ursprung (Port 2, 3 des Mikroprozessors) zurueckverfolgt.

#### 2.4.1.2. Programm P 12

Das Programm P 12 dient zur Auffindung von defekten Anzeigeelementen oder Unterbrechungen, wenn ein Anzeigeelement dunkel bleibt.

In P 12 werden alle Segmente bei allen Stellen angesteuert, ( $\overline{SA}$ ) - ( $\overline{SH}$ ) sind immer Low, mit Ausnahme der Dunkelstimpulse, die bei Stellenwechsel ein "Uebersprechen" der Segmentinformation verhindern (siehe Bild 31).

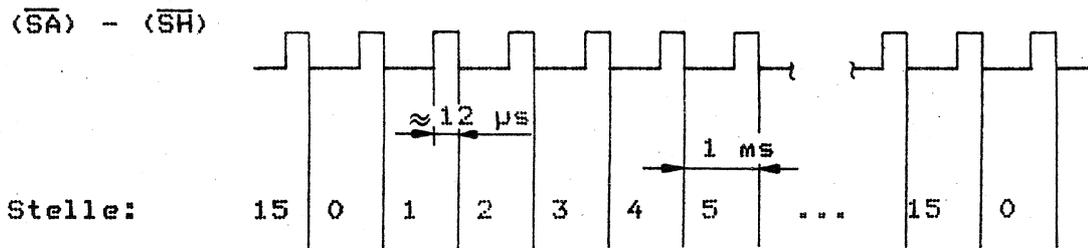


Bild 31: Segmentinformation bei P 12

Die Fehlersuche erfolgt durch Signalverfolgung, ausgehend vom fehlerhaften Anzeigeelement bis zum Mikroprozessor Port 2, 3.

#### 2.4.2. Pruefprogramme fuer Ein-/Ausgabeports

Das Programm P 20 ermoeglicht:

- die Kontrolle der Schreibsignale ( $\overline{EREF}$ ) bis ( $\overline{EAB}$ ) fuer die Ausgabeports auf FG 2, 3, 5, 6;
- die Ueberpruefung der Ports selbst;
- die Kontrolle der Adressdekodierung auf A 209;
- die Signalverfolgung der von den Eingabeports abgeleiteten Steuersignale in den einzelnen Funktionsgruppen.

Das Programm P 21 ermoeglicht:

- die Kontrolle der Schreibsignale ( $\overline{ETLA}$ ), ( $\overline{ETLS}$ ), ( $\overline{ETLB}$ ), ( $\overline{ECX}$ ), ( $\overline{ECY}$ ), ( $\overline{RES C}$ ), ( $\overline{EDEL}$ );
- die Ueberpruefung von TLA-, TLS-, TLB-PORT auf FG 9 und des DELAYPORTES auf FG 10. Bei der CTCx, y kann kontrolliert werden, ob die Datenleitungen richtig bis an die Anschlusse der CTC gelangen.
- Ausserdem ist eine Signalverfolgung der Portausgabesignale innerhalb der jeweiligen Funktionsgruppe moeglich.

Das Programm P 22 ermoeglicht:

- die Kontrolle der Schreib-/Lesesignale fuer FG 12 und FG 8;
- die Ueberpruefung von ADRESSPORT und Hilfsport und die Kontrolle des korrekten Signalweges fuer Daten- und Adressleitungen bis zum Interfaceschaltkreis.

Die Pruefprogramme P 20 - P 22 laufen zyklisch mit einer Wiederholzeit von 16 ms ab.

Zu Beginn eines solchen Zyklus wird ein Synchronimpuls auf ( $\overline{EREF}$ ) gesendet, der an X 39/C 6 verfuegbar ist.

Danach werden in 5 Gruppen im Abstand von jeweils 1 ms die zu pruefenden Ports durch Aktivierung der entsprechenden Schreib- bzw. Lesesignale geschrieben oder gelesen.

Jede dieser Gruppen wird ebenfalls wieder mit einem Synchronimpuls auf (EREF) eingeleitet.

Der genaue Programmablauf ist in der Pruefanleitung, Abschnitt 3.8.2.3. angegeben.

Zur Fehlersuche verwendet man einen Oszillografen mit verzoegertem Kipp, der auf (EREF) - 16 ms Synchronimpuls - getriggert wird. Mit Hilfe der verzoegerten Zeitablenkung kann dann die Signalfolge ab dem gewuenschten 1 ms Synchronimpuls dargestellt werden.

#### 2.4.3. Pruefprogramme fuer RAM, RAM-TREIBER

Nach Einschalten testet der G-2005.500/510 seinen ROM- und RAM-Speicher.

Auftretende Fehler koennen ueber einen an X 38 angeschlossenen Logikanalysator angezeigt werden (vergleiche Pruefanleitung, Abschnitt 3.9).

Wird ein Fehler festgestellt, wird am SIGNALGEBER auf FG 12 ein Dauerton ausgeloeset.

Gleichzeitig wird die RAM-Adresse 8010 H staendig mit xx geschrieben und gelesen. Dabei bedeutet xx die Datenfolge 01 H, 02 H, 04 H, ... 80 H.

Damit koennen die Datenleitungen vom Mikroprozessor bis zum RAM hin mit einem normalen Oszillografen kontrolliert werden, um so Fehler durch Schluesse, Unterbrechungen oder defekten RAM-Treiber zu ermitteln.

In dieser Fehlerschleife werden nacheinander ausgefuehrt:

- Schreiben auf Adresse C010 H (SIGNALGEBER ausloesen)
- Schreiben von Daten 01 H auf Adresse 8010 H
- Lesen von Daten auf Adresse 8010 H. Bei intaktem RAM-Speicherplatz 8010 H entsprechen die gelesenen Daten den geschriebenen.
- Schreiben von Daten 02 H auf Adresse 8010 H
- Lesen von Daten auf Adresse 8010 H usw. bis zu Daten 80 H.
- Schreiben auf Adresse C010 H. Der Vorgang wiederholt sich laufend.

Das Signal (EIF) am HAUPTDEKODER D 215/5 (aktiviert bei Schreiben auf C010 H) kann zweckmaessig als Triggersignal fuer den Oszillografen verwendet werden.

#### 2.5. FEHLERSUCHE IM KERN DES MIKROPROZESSORSYSTEMS

Als Kern des Mikroprozessorsystems gelten:

- der UB 8830
- die ROM's einschliesslich ROM-TREIBER
- ROM-DEKODER und HAUPTDEKODER (soweit fuer die ROM-Adressierung zustaendig).

Die Fehlersuche unterstuetzen Hilfsprogramme, die im internen ROM-Bereich des UB 8830 enthalten sind, der ROM-Test, den der G-2005.500/510 nach Einschalten ausfuehrt sowie externe Pruefprogramme, die mit Hilfe eines speziellen Testadapters abgearbeitet werden muessen (Pruefanleitung Pkt. 3.8.1.3., 3.9.).

### 2.5.1. Kontrolle der Adress-/Datenleitungen (Port 0, 1)

Dazu wird ein im internen ROM des UB 8830 stehendes Pruefprogramm verwendet.

Um in dieses Programm zu gelangen, sind waehrend des Einschaltens die Anschuesse D 201/10, 12 (P 35, P 32 des UB 8830) miteinander zu verbinden. 1)

Das Testprogramm realisiert folgende Funktionen:

- An P 36, D201/40 wird der Systemtakt ausgegeben (Rechteck, Tastverhaeltnis 1 : 2, Periodendauer 600 ns).
- An P 35, D 201/10 wird ein Triggerimpuls (kurzer Low-Impuls) ausgegeben, der zur Triggerung eines Oszillografen genutzt werden kann.
- An P 10 bis P 17 und P 00 bis P 07 werden der Reihe nach kurze Low-Impulse ausgegeben. Danach wiederholt sich der Vorgang mit Ausgabe eines neuen Triggerimpulses.
- R/W und DS liegen auf High, AS wird ausgegeben.

Das Testprogramm ermoeglicht das Auffinden von Schluessen oder Unterbrechungen bei den Leitungen

(A/D 0) - (A/D 7), (A 8) - (A 15), (A 0) - (A 7).

Ausserdem kann der ADRESS-SPEICHER auf Funktion geprueft werden.

### 2.5.2. Hochohmiger Zustand des UB 8830

Von dem unter Pkt. 2.5.1. beschriebenen Testprogramm aus besteht die Moeglichkeit, den UB 8830 bezueglich der Leitungen (P 10) - (P 17), (P 00) - (P 07), AS, DS, R/W in den hochohmigen Zustand zu versetzen.

Dazu wird kurzzeitig eine beliebige Leitung von Port 0 oder 1 mit P 35 verbunden. 1)

Dieser Zustand ermoeglicht es, diese Leitungen ueber den Pruefkamm X 38 extern zu beschalten.

Damit ist mit Hilfe eines Pruefadapters oder Anschluss eines Pruefkontrollers die Kontrolle der Datenleitungen zu den ROM's (DP 0) - (DP 7) sowie die Kontrolle von HAUPTDEKODER, ROM-DEKODER und ROM-TREIBER moeglich.

1) Normalerweise ist dabei vorausgesetzt, dass der Eingang P 32 unbeschaltet ist. Wird im Geraet geprueft, ist das nicht gegeben. Wenn die an P 32 liegende Signalquelle (TTL-Gatterausgang auf FG 8) zu niederohmig ist, kann es sein, dass das Testprogramm nicht angesprungen wird. Dann muss man die Leitung (TS) an A 201/6 fuer diesen Test abloeten.