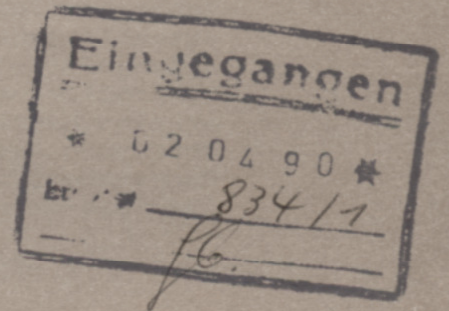


mikroelektronik

# INFORMATION



Applikative Information

3/90

**Werte Leser!**

Die vorliegende Informationsschrift ist die letzte, die unter dem Titel "Applikative Information" erscheint.

Wir wollen den Inhalt schrittweise wesentlich erweitern und den neuen, veränderten Markterfordernissen anpassen. Deshalb haben wir im Applikationszentrum Elektronik Berlin eine Verlagsgruppe gebildet, welche unter dem Namen "info-verlag electronic" arbeitet.

Diese Gruppe hat es sich zur Aufgabe gemacht, die o.g. Informationsschrift unter dem Namen "Applikation und Markt" als Monatsschrift mit folgenden Inhaltsschwerpunkten weiterzuführen:

- Applikationsinformationen zu aktiven und passiven elektronischen Bauelementen,
- aktuelle Marktinformationen auf dem Gebiet der Elektronik,
- Dateninformationen zu neuen elektronischen Bauelementen internationaler Hersteller,
- wissenschaftliche, technische und ökonomische Entwicklungsprognosen auf der Grundlage von Literaturlauswertungen und Recherchen,
- Informationen zu neuen Software-Entwicklungen

und wenn Sie wollen

- Veröffentlichung Ihrer Informationen zu Ihren Produkten!

Die Zeitschrift soll Ihnen auch als Werbeträger für Ihre Firma und Ihre Erzeugnisse zur Verfügung stehen. Sie erreichen über uns einen großen Kreis von Anwendern der Elektronik und Mikroelektronik sowie von Bauelementeherstellern.

Wir würden uns freuen, Sie auch weiterhin zu unseren kritischen und interessierten Kunden und Lesern zählen zu dürfen!

Berlin, März 1990

info-verlag electronic



# inhalt

ai 03/90

Seite

## bauelemente - applikation

Seite

Analog-Digital-Wandler U 739 DC

3

Mikroprozessorschaltkreisserien aus der UdSSR

24

## kurz berichtet

Standards

41

Redaktionsschluß: 15. 12. 1989

# h e r a u s g e b e r

veb applikationszentrum elektronik berlin  
im veb kombinat mikroelektronik  
- abt. applikative information mikroelektronik -  
mainzer str. 25  
berlin  
1035



Dr.-Ing. Bernd Kahl  
 VEB Halbleiterwerk Frankfurt (Oder)  
 im VEB Kombinat Mikroelektronik

## Analog-Digital-Wandler U 739 DC

### 1. Allgemeines

Der integrierte Schaltkreis U 739 DC ist ein mikroprozessorkompatibler, leistungsarmer 3 1/2-Digit-Analog/Digital-Wandler, der nach dem Verfahren der Zweiflankenintegration mit zusätzlicher automatischer Nullpunktkorrektur arbeitet. Das Bauelement wird in einer CMOS-Technologie im VEB Halbleiterwerk Frankfurt/Oder (HWF) entwickelt bzw. hergestellt.

Wegen der extrem geringen Leistungsaufnahme ist dieser A/D-Wandler für die mikrorechnergekoppelte Messwerterfassung in stationären und Batteriegeräten besonders gut geeignet. Auf Grund des Wandlungsverfahrens kann mit diesen A/D-Wandlern eine maximale Umsetzrate von 5 Messungen/s realisiert werden.

Die Datenausgabe erfolgt im gepackten BCD-Format über acht Datenausgänge. Mit dem Low/High-Byte-Select-Eingang (LHS) werden entweder die unteren beiden Digits ( $10^0$ ,  $10^1$ ) oder die oberen beiden Digits ( $10^2$ ,  $10^3$ ) und das Vorzeichen auf den Datenbus gegeben. Die Datenausgänge können unabhängig vom Betriebszustand des A/D-Wandlers über den Enable-Eingang (OEL) in den Three-state- oder aktiven Zustand geschaltet werden. Der OEL-Eingang ist low-aktiv. Zur Kennzeichnung der Ausgabe des aktuellen Meßwertes wird am Ausgang EOC (Ende der Umsetzung) nach beendeter Meßwertumsetzung ein Low-Impuls ausgegeben. Die Meßwertausgabe umfaßt den Bereich von -2089 bis +2089. Bei der Auslösung des Testzustandes (TST = H) erfolgt die Ausgabe des Wertes 2999.

Eine komplette Meßwertumsetzung erfordert 16 000 Takte am Oszillatoreingang (OS1).

Das Konzept für den Analogteil entspricht weitgehend dem C 7136 D /1, 2/. Das gleiche trifft auf die im U 739 DC integrierte Oszillatorschaltung zu.

Die Betriebsspannungsversorgung des U 739 DC erfolgt mit  $\pm 5 \text{ V} \pm 5 \%$ . Der Batteriebetrieb mit 9 V, wie er beim C 7136 D möglich ist, kann mit dem U 739 DC nicht realisiert werden. Die Stromaufnahme beträgt für  $\pm U_{CC}$  je nach Oszillatorbeschaltung und Frequenz 50 ... 80  $\mu\text{A}$ .

Damit ist dieser A/D-Wandler für den Bereich der langsamen Meßwerterfassung in batteriebetriebenen Geräten und in Verbindung mit Mikrorechnern geeignet. Er ergänzt damit die Palette der im VEB HWF gefertigten A/D-Wandler in geeigneter Weise.

## 2. Aufbau und Funktionsweise

### 2.1. Verfahren der Zweiflankenintegration

Im Bild 1a ist der Übersichtsschaltplan des Dual-Slope-Verfahrens mit der Integratorausgangsspannung dargestellt.

Mit einem Startimpuls wird FF1 so gestellt, daß der Schalter S die Eingangsspannung  $U_x$  zu dem als Integrator beschalteten OV durchstellt. Gleichzeitig wird der Zähler, in dem das Ergebnis der vorangegangenen Messung steht, zurückgesetzt. Der Integrationskondensator C wird während  $t_1$  über R aufgeladen. Durchläuft die Integratorspannung  $U_C$  den internen Nullpunkt, dann schaltet der Komparator und gibt das Tor für die Taktimpulse frei, die im Zähler aufsummiert werden. Gibt der Zähler einen Übertragsimpuls ab, wird FF1 so gesetzt, daß der Schalter auf die Referenzspannung umschaltet.

Im Zähler steht zu diesem Zeitpunkt der Wert Null. D.h. die erste Phase arbeitet mit einer festen Zeit  $t_1$ , die von der Übertragsausgabe bzw. vom Zählerumfang und der Taktfrequenz festgelegt wird.

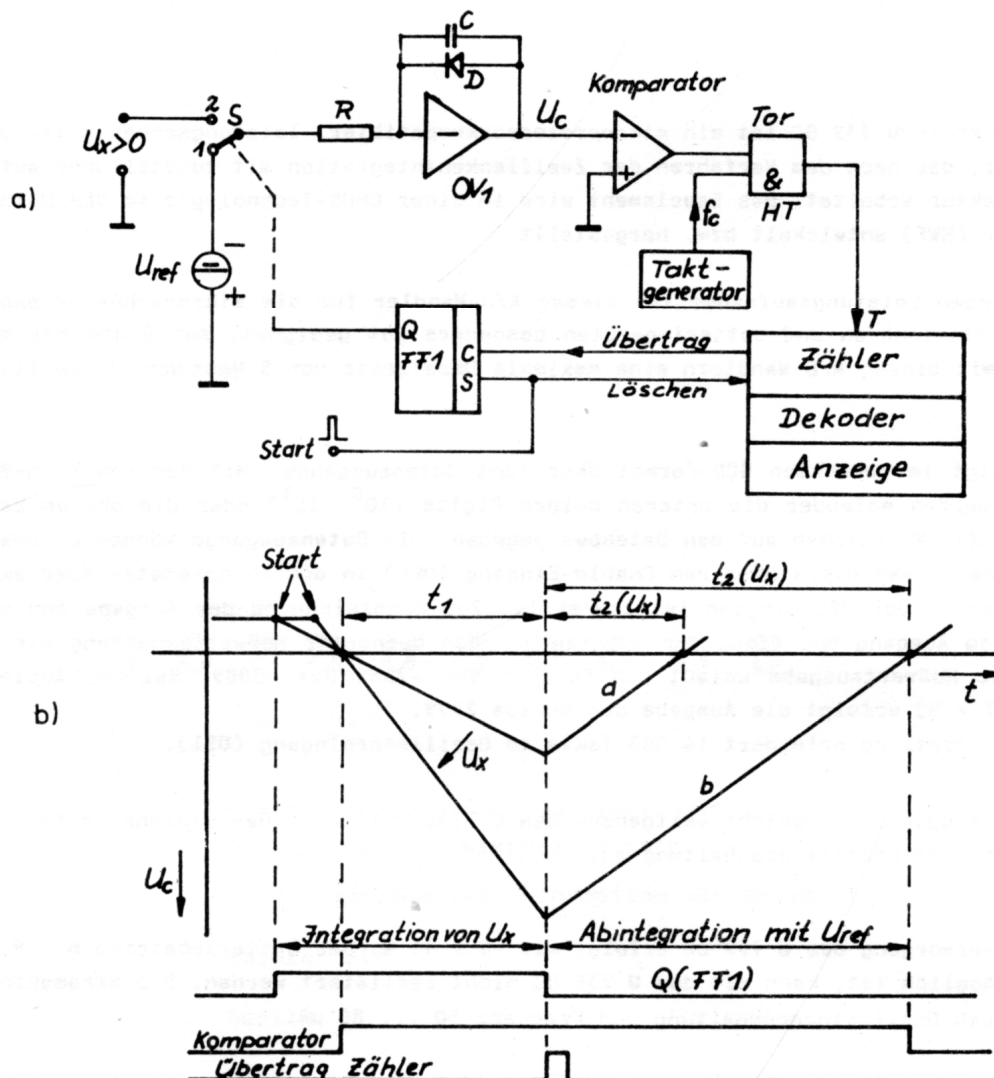


Bild 1: Prinzip der Zweiflankenintegration  
a) Übersichtsschaltplan, b) Zeitdiagramm



Die Ausgangsspannung am Integrator nach  $t_1$  ergibt sich zu

$$U_{C1} = \frac{Q_C}{C} = \frac{1}{R \cdot C} \int_0^{t_1} U(x) \cdot t \quad (1)$$

Für eine konstante Eingangsspannung löst sich die Gleichung zu

$$U_{C1} = \frac{U_x \cdot t_1}{R \cdot C} \quad (2)$$

Die Integrationszeit  $t_1$  wird meist so gewählt, daß sich ein ganzzahliges Vielfaches der Netzfrequenzperiode ( $n \times 20$  ms) ergibt, um eine möglichst hohe Brummspannungsunterdrückung zu erreichen.

In der zweiten Phase wird die Kondensatorladung mit einem Konstantstrom abgebaut bis der Komparator beim Erreichen seines Nullpunktes schaltet und das Haupttor sperrt.

Entsprechend Gleichung (1) ergibt sich für den Ladezustand nach  $t_2$

$$U_{C2} = \frac{1}{R \cdot C} \cdot \int_0^{t_2} U_{ref} \cdot dt \quad (3)$$

$$U_{C2} = \frac{U_{ref} \cdot t_2}{R \cdot C} \quad (4)$$

Da beide Spannungen betragsmäßig gleich sind, erhält man durch Gleichsetzen:

$$t_2 = \frac{U_x}{U_{ref}} \cdot t_1 \quad (5)$$

D.h. die Werte für R und C fallen heraus und der Zählerstand nach  $t_2$  ergibt sich zu

$$Z = t_2 \cdot f_c = \frac{U_x}{U_{ref}} \cdot t_1 \cdot f_c \quad (6)$$

Die Zeit  $t_1$  wird durch den Zählerumfang oder vorgewählten Zählerstand N und die Taktfrequenz  $f_c$  festgelegt:

$$t_1 = \frac{N}{f_c} \quad (7)$$

Damit wird der Zählerstand nach einer Meßwertumsetzung

$$Z = \frac{U_x}{U_{ref}} \cdot N \quad (8)$$

Das bedeutet, daß die Taktfrequenz nicht absolut sondern nur während  $t_1 + t_2$  konstant gehalten werden muß. Damit genügen in den meisten Fällen einfache Generatoren den Anforderungen. Außerdem ist zu sehen, daß die Referenzspannung als genauigkeitsbestimmendes Element die Wandlerqualität festlegt.

## 2.2. Funktionsbeschreibung

Die Bilder 2 und 3 zeigen die Übersichtsschaltpläne des Analog- und des Digitalteils. Wesentliche Funktionsgruppen, die der Chip enthält:

### a) Analogteil

- drei Operationsverstärker (Puffer-, Integrator- und Regel-0V)
- einen Komparator
- ein Analogschalternetzwerk
- eine Referenzspannungsquelle mit Analogmassestabilisierung

### b) Digitalteil

- Taktgenerator mit 4 : 1 Teiler
- Steuerlogik
- Schalterdekoder
- Hauptzähler
- Zwischenspeicher
- Umkodierung
- Low/High-Byte-Umschaltung
- Ausgangstreiberstufen

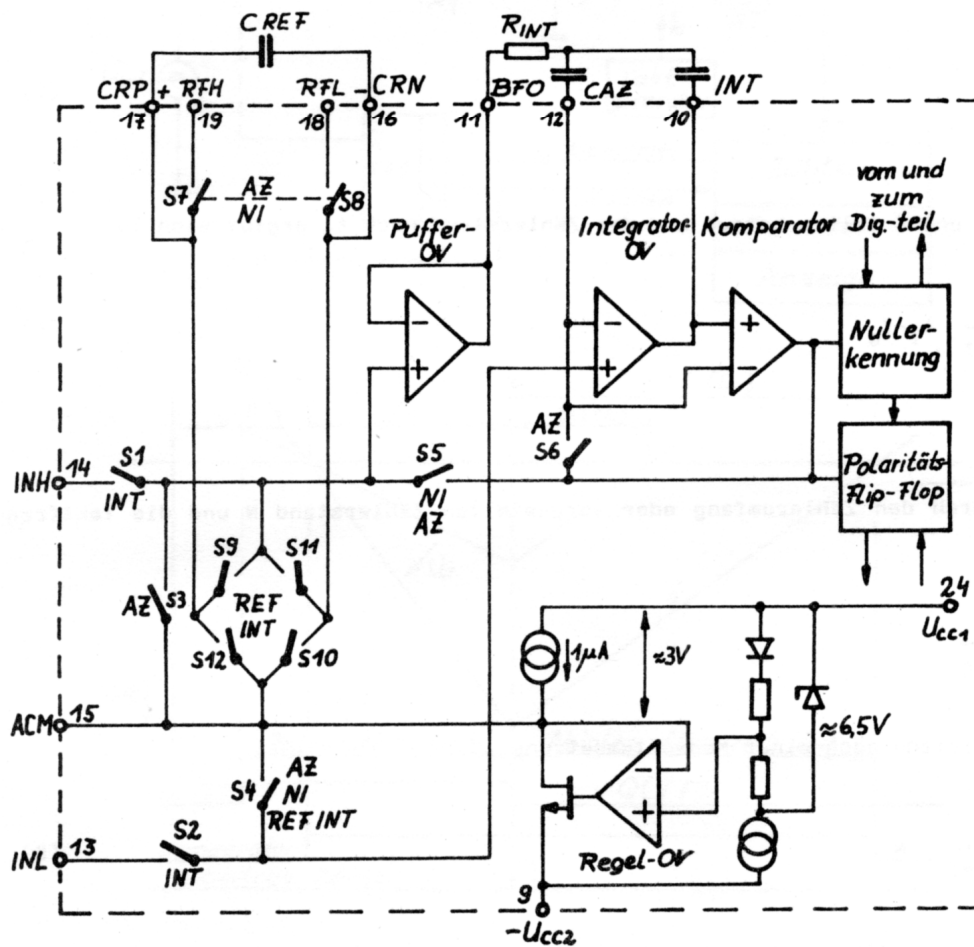


Bild 2: Analogteil des U 739 DC



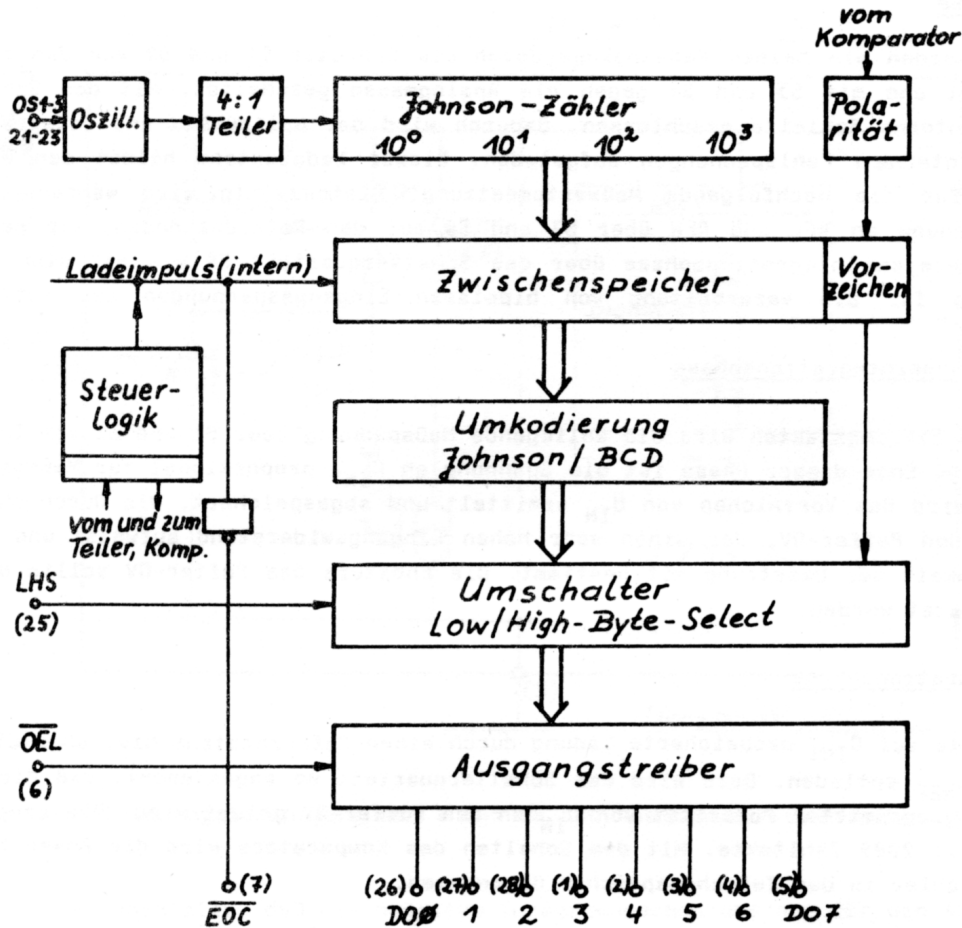


Bild 3: Übersichtsschaltplan des Digitalteils

### 2.2.1. Meßwertumsetzung

Eine vollständige Meßwertumsetzung setzt sich aus vier Phasen zusammen:

- automatische Nullpunktkorrektur (Auto-Zero)
- Nullintegration (Zero-Integrate)
- Eingangsspannungsintegrationsphase
- Referenzintegrationsphase

Die Funktion des U 739 DC entspricht im Analogteil fast vollständig dem C 7136 D, so daß hier nur eine kurze Erläuterung erfolgt.

Die Steuerung der einzelnen Umsetzphasen wird von der Steuerlogik über den Schalterdekoder und das Anlogschalternetzwerk realisiert, wobei der Wechsel durch erreichte Zählerstände und das Schalten des Komparators ausgelöst wird.

Zwischen den Phasen liegen kurze Umschaltpausen.

### 2.2.1.1. Auto-Zero-Phase

Während dieser Phase werden die beiden Meßeingänge durch die Schalter S1 und S2 von den äußeren Meßeingängen abgetrennt und mit S3 und S4 gegen die Analogmasse geschaltet. Mit den Schaltern S5 und S6 wird eine interne Schleife geschlossen. Dadurch wird der Nullpunkt- und Integrationskondensator auf die internen Fehlspannungen aufgeladen. Dieser Ladezustand bildet den Bezugspunkt der Schaltung für die nachfolgende Meßwertumsetzung. Gleichzeitig wird während dieser Phase die Referenzspannung an RFL und RFH über S7 und S8 auf den Referenzkondensator geladen. Damit steht für die Referenzintegrationsphase über das Schalterquartett S9 bis S12 eine massefreie Referenzspannung für die Verarbeitung von bipolaren Eingangsspannungen zur Verfügung.

### 2.2.1.2. Eingangsspannungsintegrationsphase

Für die Dauer von 4000 Eingangstakten wird die anliegende Meßspannung über S1 und S2 vom Integrator-OV aufintegriert. Am Ende dieser Phase ist die Spannung an  $C_{INT}$  proportional zur Meßspannung. Am Ende dieser Phase wird das Vorzeichen von  $U_{IN}$  ermittelt und abgespeichert. Die Durchschaltung von  $U_{IN}$  erfolgt über den Puffer-OV, der einen sehr hohen Eingangswiderstand aufweist und dessen Linearität die Genauigkeit der Umsetzung mit bestimmt. Die Endstufe des Puffer-OV sollte deshalb mit maximal  $\pm 1 \mu A$  belastet werden.

### 2.2.1.3. Referenzintegrationsphase

In dieser Phase wird die auf  $C_{INT}$  gespeicherte Ladung durch einen Referenzstrom bzw. über die Referenzspannung auf  $C_{REF}$  entladen. Dazu wird das Schalterquartett so angesteuert, daß die Referenzspannung mit entgegengesetzter Polarität von  $U_{IN}$  an den Puffer-OV gelegt wird. Die Länge dieser Phase beträgt 0 ... 2089 Zählakte. Mit dem Schalten des Komparators wird die Phase beendet und das Ergebnis vom Zähler in den Zwischenspeicher übernommen.

### 2.2.1.4. Nullintegrationsphase

Während dieser Phase sind die Schalter S4, S5, S7 und S8 geschlossen. Die Länge dieser Phase ist vom Meßwert abhängig. Sie dient dazu, um nach Übersteuerung oder dem Einschalten der Betriebsspannung die Fehlloadungen auf den Kondensatoren schneller abzubauen und somit schneller echte Meßwerte zu erhalten.

## 2.3. Betriebsspannungsversorgung

### 2.3.1. Analogmassestabilisierung

Sie arbeitet wie beim C 7136 D. Der gesamte Bezugspunkt der ganzen Schaltung ist die positive Betriebsspannung, wie Bild 4 zeigt. Im unbelasteten Zustand liegt der Anschluß ACM (15) etwa 3,3 V unter  $U_{CC1}$ . Dieser Anschluß ist intern stabilisiert und kann Ströme von  $U_{CC1}$  bis etwa 1 mA aufnehmen. Dabei liegt die Strom-Spannungs-Rückwirkung zwischen 10 ... 20 mV/mA, die vor allen Dingen bei wechselnden Lasten berücksichtigt werden muß. Wird aus ACM (15) ein Strom gegen  $U_{CC2}$  gezogen, dann kann die Stromquelle  $I_{Q2}$  (Bild 4) nur einen Strom von 1  $\mu A$  liefern. Bei größerer Belastung wird das Analogmassepotential gegen  $U_{CC2}$  abgesenkt. Die interne Analogmassestabilisierung setzt bei etwa 7,0 ... 7,2 V ( $U_{CC1} - U_{CC2}$ ) ein. Für die Betriebsspannungsunterdrückung für den  $U_{CC}$ -Bereich von  $\pm 4$  V ...  $\pm 6$  V wurden die Werte SVR ( $U_{24} - U_{15}$ ) = 75 dB gemessen. Der TK ( $U_{24} - U_{15}$ ) ist in der Regel negativ und beträgt mit großer Streubreite -150 ppm/K. Damit ist diese Spannung nur im eingeschränkten Temperaturbereich und je nach Anforderung an die Endwertstabilität als Referenzspannung für den Wandler einsetzbar. Beim Arbeiten mit  $U_{CC} = \pm 5$  V und verbundener Analog- und Digitalmasse besteht diese Möglichkeit sowieso nicht. Wegen der höheren Stromaufnahmefähigkeit dieses Anschlusses können z.B. externe Referenzen oder Sensorelemente mit ihrer Versorgung zwischen  $U_{CC1}$  und ACM geschaltet werden, wenn der Gesamtstrombedarf kleiner als 1 ... 2 mA bleibt.



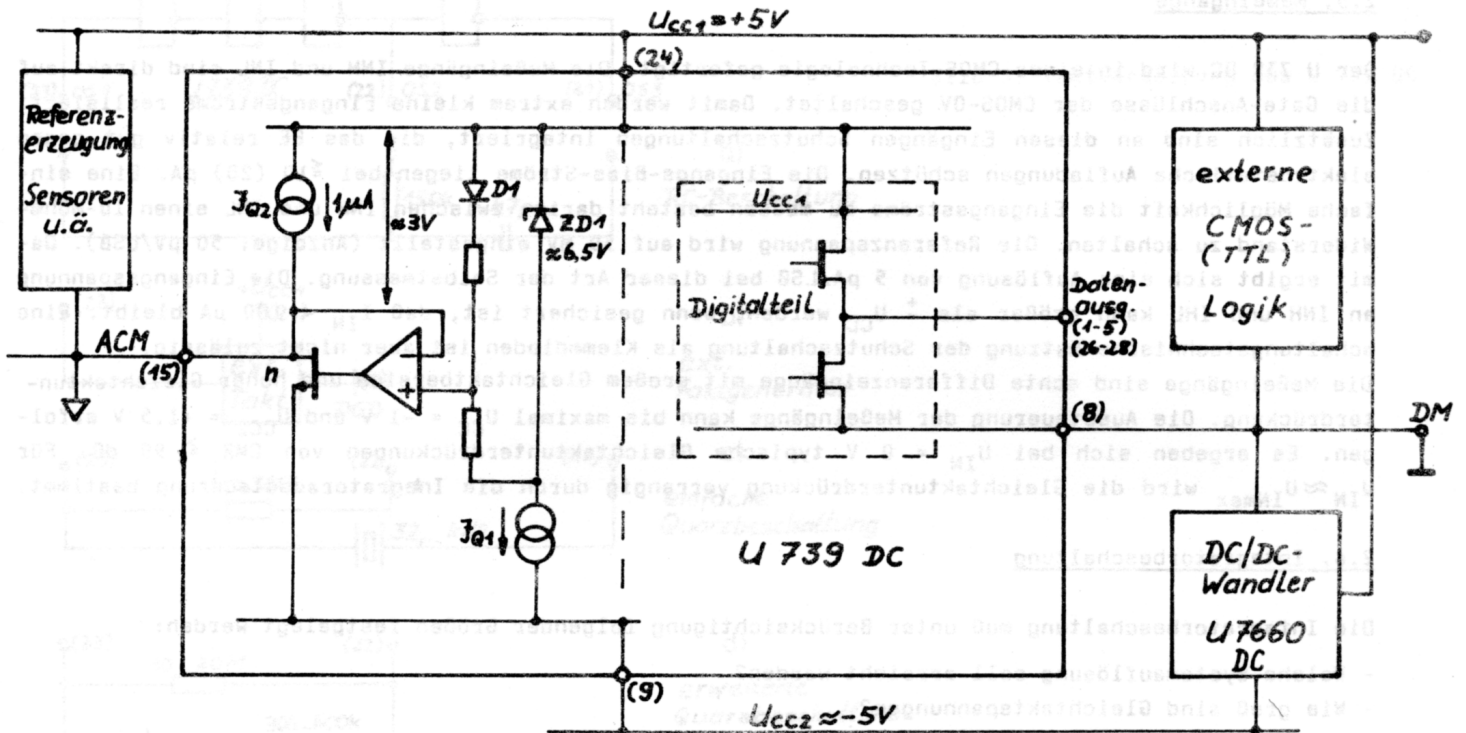


Bild 4: Spannungsversorgung des U 739 DC und Analogmassestabilisierung

Bild 4 zeigt ebenfalls, daß die negative Versorgungsspannung nur für den Analogteil erforderlich ist. Wegen des geringen Betriebsstromes bietet sich zur Erzeugung von  $U_{CC2}$  der DC/DC-Wandler U 7660 DC an, der von  $U_{CC1}$  versorgt wird.

In der Standardbeschriftung und bei der Endmessung sind der Masseanschluß (8) und ACM (15) verbunden, d.h. die Analogmasse wird etwa um 2 V abgesenkt. Das Bauelement gestattet aber auch die Nutzung der internen Massestabilisierung und erweitert damit die Anwendungsmöglichkeiten. Dabei ist natürlich die Integratorbeschriftung auf die jeweilige Betriebsart anzupassen, weil der Integratorhub für den Fall der nicht verbundenen Massen auf  $U_{INT} \leq \pm 2,5$  V begrenzt werden muß.

#### 2.4. Referenzspannung

Der Eingangsspannungsbereich wird durch die angelegte Referenzspannung bestimmt:

$$|U_{TNmax}| = 2,089 U_{INREF} \quad (9)$$

Als Standard wird  $U_{INREF} = +1,0$  V verwendet. Durch eine interne Zählbereichserweiterung beträgt der maximale Anzeigebereich  $U_{INmax} = \pm 2,089$  V.

Dabei bleibt aber die Auflösung von 1 mV/LSB erhalten. Es sind aber auch mit dem U 739 DC höhere Empfindlichkeiten erreichbar. Bei entsprechender Dimensionierung der externen Komponenten und angepaßter Taktfrequenz kann mit  $U_{INREF} = 100$  mV eine Auflösung von 100  $\mu$ V/LSB erreicht werden. Bei zwangsläufig vergrößerten Kennlinienfeldern ist auch noch ein Arbeiten mit Empfindlichkeiten bis 50  $\mu$ V/LSB möglich. Bei diesen höheren Empfindlichkeiten ist es sinnvoll, die Taktfrequenz des Wandlers auf 25 kHz und darunter einzustellen, um die Integrationszeit zu erhöhen und den Komparator dynamisch zu entlasten. Außerdem ist die Analogbeschriftung bzw. Dimensionierung dem Betriebsfall anzupassen. In jedem Fall liegen diese Einsatzfälle aber außerhalb der garantierten Kennlinienfelder, die nur für  $U_{INREF} = +1,0$  V im Standard angegeben werden /3/. Der dort angegebene Titel "12-bit-Analog-Digital-Wandler-Schaltkreis U 739 DC" ist irreführend, da die Ausgabe im BCD-Format mit  $\pm 3 \frac{1}{2}$  Digit und einem 5 %igen Überlauf erfolgt.

## 2.5. Meßeingänge

Der U 739 DC wird in einer CMOS-Technologie gefertigt. Die Meßeingänge INH und INL sind direkt auf die Gate-Anschlüsse der CMOS-OV geschaltet. Damit werden extrem kleine Eingangsströme realisiert. Zusätzlich sind an diesen Eingängen Schutzschaltungen integriert, die das BE relativ gut gegen elektrostatische Aufladungen schützen. Die Eingangs-Bias-Ströme liegen bei  $\leq 10$  (20) pA. Eine einfache Möglichkeit die Eingangsströme zu messen besteht darin, zwischen INH und INL einen 10-MOhm-Widerstand zu schalten. Die Referenzspannung wird auf 50 mV eingestellt (Anzeige: 50  $\mu$ V/LSB). Damit ergibt sich eine Auflösung von 5 pA/LSB bei dieser Art der Selbstmessung. Die Eingangsspannung an INH und INL kann größer als  $\pm U_{CC}$  werden, wenn gesichert ist, daß  $I_{IN} < 100 \mu$ A bleibt. Eine schaltungstechnische Nutzung der Schutzschaltung als Klemmdioden ist aber nicht zulässig. Die Meßeingänge sind echte Differenzeingänge mit großem Gleichtaktbereich und hoher Gleichtaktunterdrückung. Die Aussteuerung der Meßeingänge kann bis maximal  $U_{CC} = -1$  V und  $U_{CC2} = +1,5$  V erfolgen. Es ergeben sich bei  $U_{IN} = 0$  V typische Gleichtaktunterdrückungen von  $CMR \geq 90$  dB. Für  $U_{IN} \approx U_{INmax}$  wird die Gleichtaktunterdrückung vorrangig durch die Integratoraussteuerung bestimmt.

## 2.6. Integratorbeschaltung

Die Integratorbeschaltung muß unter Berücksichtigung folgender Größen festgelegt werden:

- Welche Systemauflösung soll erreicht werden?
- Wie groß sind Gleichtaktspannungen?
- Welche Umsetzrate soll erreicht werden?
- Sind Analog- und Digitalmasse verbunden?

Tabelle 1: Integratorbeschaltung

Bauelemente	Typ
Integrationswiderstand $R_{INT}$	Kohleschicht-Widerstand $U_{IN} = \pm 200$ mV $R_{INT} = 200$ kOhm $U_{IN} = \pm 2$ V $R_{INT} = 2$ MOhm
Nullpunktkondensator $C_{AZ}$	Folienkondensator 100 nF ... 470 nF
Referenzkondensator $C_{REF}$	hochwertiger Folienkondensator (MKT, MKPI, KP) 100 nF ... 470 nF
Integrationskondensator $C_{INT}$	hochwertiger Folienkondensator (MKT4, MKPI, KP) 10 nF ... 100 nF (je nach Dimensionierung)

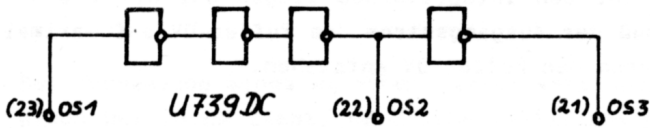
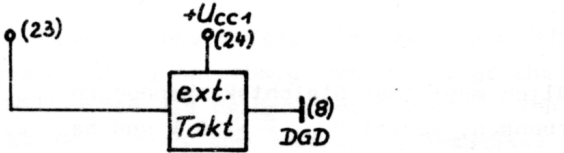
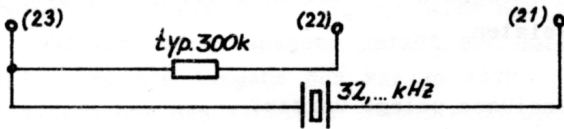


Bild 5: Taktversorgung des U 739 DC

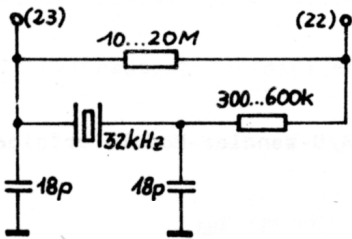
a) RC-Beschaltung



b) ext. Taktgenerator

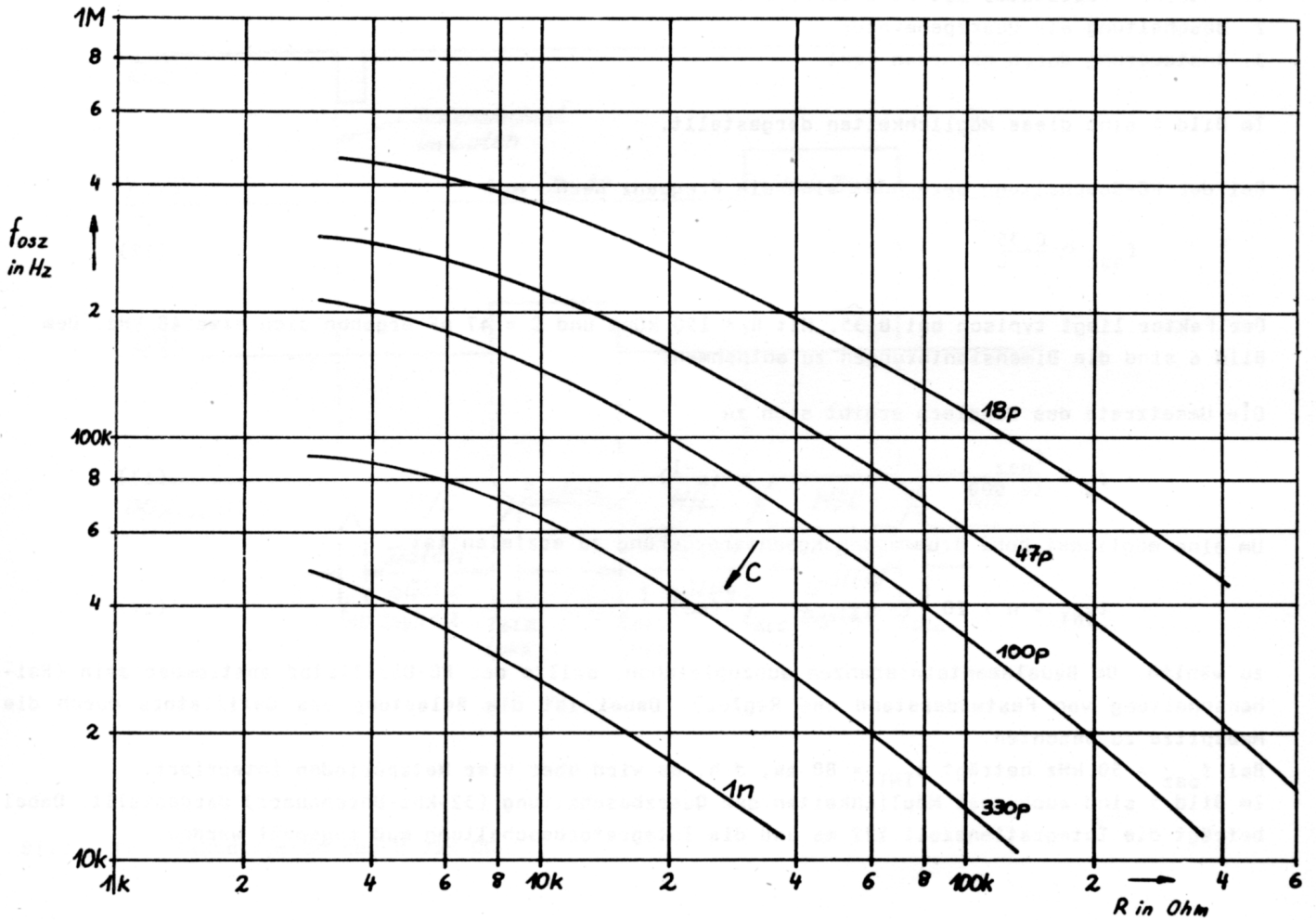


c) einfache Quarzbeschaltung



d) erweiterte Quarzbeschaltung

Bild 6: RC-Beschaltung des Oszillators



Die Integratoraussteuerung sollte so groß wie möglich gewählt werden, um eine hohe Anzeigestabilität zu erreichen. Die maximal nutzbaren Grenzen für den Integratorhub liegen bei 0,5 V unter  $U_{CC1}$  und 0,5 V über  $U_{CC2}$ . Als weitere Richtlinie muß der Ausgangsstrom des Puffer-0V auf maximal  $\pm 1 \mu\text{A}$  begrenzt werden, da sonst Linearitätsfehler durch den Puffer-0V entstehen.

Daraus ergeben sich

$$R_{INT} \approx U_{INmax} \quad (\text{M}\Omega; \text{V}) \quad (10)$$

und

$$C_{INT} \approx \frac{5 \cdot 10^{-3}}{U_{INT} \cdot f_{osz}} \quad (\text{nF}; \text{V}, \text{Hz}) \quad (11)$$

$U_{INT}$  ist die maximale Integratoraussteuerung einschließlich möglicher Gleichtaktspannungen  $U_{CM}$ . Sind die Analog- und Digitalmasse nicht miteinander verbunden, so ist  $U_{INT} \leq \pm 2,5 \text{ V}$  und bei verbundenen Massen auf  $U_{INT} \leq 4,5 \text{ V}$  zu dimensionieren. Der Integratorhub sollte stets größer als  $\pm 2 \text{ V}$  sein, um eine ausreichende Meßwertstabilität zu gewährleisten.

Der Außenbelag der Kondensatoren sollte an folgende Anschlüsse gelegt werden:

- $C_{INT}$  an den Integratorausgang INT (10)
- $C_{REF}$  an den Anschluß CRP (17)
- $C_{AZ}$  an den gemeinsamen Anschluß von  $R_{INT}$ ,  $C_{INT}$  und  $C_{AZ}$

um Störeinkopplungen zu verringern.

Beim Einsatz mit hohen Empfindlichkeiten sollte eine Abschirmung des A/D-Wandler-Moduls erfolgen.

### 2.7. Taktversorgung

Die Taktversorgung für den Wandler kann auf drei verschiedene Weisen erfolgen:

1. interner Oszillator mit RC-Beschaltung
2. Beschaltung als Quarzgenerator
3. Ansteuerung durch externen Takt

Im Bild 5 sind diese Möglichkeiten dargestellt.

Bei der RC-Beschaltung berechnet sich die Frequenz nach

$$f_{osz} \approx \frac{0,35}{R \cdot C} \quad (12)$$

Der Faktor liegt typisch bei 0,35. Mit  $R = 150 \text{ k}\Omega$  und  $C = 47 \text{ pF}$  ergeben sich etwa 48 kHz. Dem Bild 6 sind die Dimensionierungen zu entnehmen.

Die Umsetzrate des Wandlers ergibt sich zu

$$f_C = \frac{f_{osz}}{16 \ 000} \quad (\text{s}^{-1}) \quad (13)$$

Um eine möglichst hohe Brummspannungsunterdrückung zu erzielen ist

$$t_{INT} = n \cdot 20 \quad (\text{ms}) \quad (14)$$

zu wählen. Um Bauelementetoleranzen auszugleichen, sollte der RC-Oszillator abstimbar sein (Reihenschaltung von Festwiderstand und Regler). Dabei ist die Belastung des Oszillators durch die Meßspitze zu beachten.

Bei  $f_{osz} = 50 \text{ kHz}$  beträgt  $t_{INT} = 80 \text{ ms}$ , d.h. es wird über vier Netzperioden integriert.

Im Bild 5 sind auch zwei Möglichkeiten der Quarzbeschaltung (32-kHz-Uhrenquarz) dargestellt. Dabei beträgt die Integrationszeit 122 ms und die Integratorbeschaltung muß angepaßt werden.



Bei Verwendung eines externen Taktes verringert sich die Stromaufnahme des Wändlers, die dann typisch bei 50  $\mu\text{A}$  liegt, weil eine steilflankige Ansteuerung erfolgt. In Verbindung mit Mikrorechnern kann die Rechnerfrequenz durch programmierbare Teiler so aufbereitet werden, daß der Takt für den A/D-Wandler vom Mikrorechner bereitgestellt wird.

## 2.8. Datenausgabe

Die Datenausgabe erfolgt im gepackten BCD-Format über acht Datenleitungen, die über den Enable-Eingang (OEL) hochohmig oder aktiv geschaltet werden können. Mit dem Low/High-Byte-Select-Eingang (LHS) werden die beiden oberen und unteren Digits auf den Datenbus gegeben. Nach jeder Meßwertumsetzung (nach der Abintegrationsphase) wird am EOC-Ausgang (End of Conversion) ein Low-Impuls abgegeben. Er ist zwei Eingangstakte breit. Damit steht im Ausgangsregister der aktuelle Meßwert. Die gültige Meßwertausgabe umfaßt den Bereich  $-2089 \dots +2089$ . Wird der Testeingang auf  $U_{CC1}$  gelegt, wird die Ausgabe des Wertes 2999 erzeugt. In diesem Zustand ist das EOC-Signal Low und die Stromaufnahme des Wändlers erhöht sich deutlich.

Das Taktregime des Wändlers ist im Bild 7 dargestellt.

Die Datenausgabe erfolgt entsprechend Tabelle 2 und mit  $P = H$  bei positivem Meßwert.

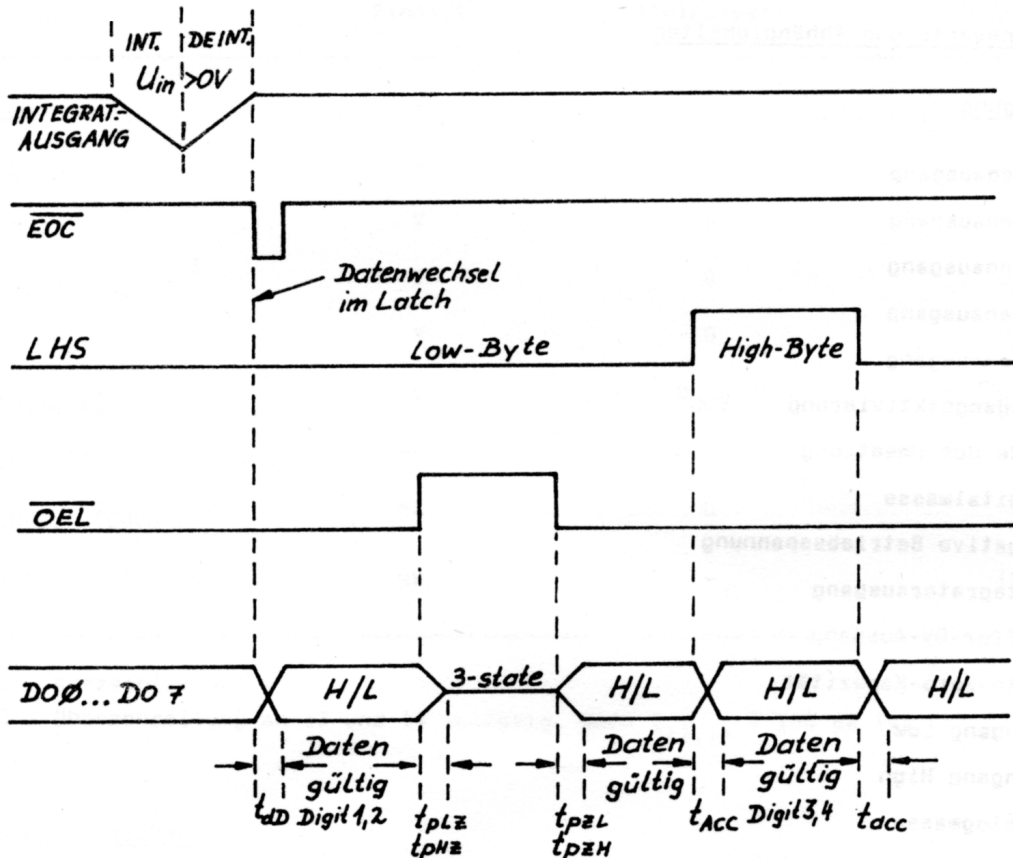


Bild 7: Taktdiagramm des U 739 DC

Tabelle 2: Datenausgabeformat

OEL	LHS	DO 0	DO 1	DO 2	DO 3	DO 4	DO 5	DO 6	DO 7
H	X			hochohmig					
L	L	A1	B1	C1	D1	A2	B2	C2	D2
L	H	A3	B3	C3	D3	A4	B4	B4	POL

### 3. Elektrische Kennwerte und Abhängigkeiten

#### 3.1. Anschlußbelegung

1	DO 3	Datenausgang
2	DO 4	Datenausgang
3	DO 5	Datenausgang
4	DO 6	Datenausgang
5	DO 7	Datenausgang
6	OEL	Ausgangsaktivierung
7	EOC	Ende der Umsetzung
8	DGD	Digitalmasse
9	U <sub>CC2</sub>	negative Betriebsspannung
10	INT	Integratorausgang
11	BFO	Puffer-OV-Ausgang
12	CAZ	Auto-Zero-Kapazität
13	INL	Eingang Low
14	INH	Eingang High
15	ACM	Analogmasse
16	CRN	Referenzkapazität (-)
17	CRP	Referenzkapazität (+)
18	RFL	Referenzeingang Low
19	RFH	Referenzeingang High

20	TST	Testeingang
21	OS3	Oszillatoranschluß 3
22	OS2	Oszillatoranschluß 2
23	OS1	Oszillatoranschluß 1
24	U <sub>CC1</sub>	positive Betriebsspannung
25	LHS	Adreßeingang (Low/High-Byte-Auswahl)
26	DO Ø	Datenausgang
27	DO 1	Datenausgang
28	DO 2	Datenausgang

Für das Bauelement gilt die TGL 45 443 /3/

Bauform: A1NF nach TGL 26 713/02.

Rastermaß: 2,54 mm, Reihenabstand: 15,24 mm.

28poliges DIL-Plastgehäuse.

### 3.2. Grenzwerte

Tabelle 3: Grenzwerte

Kenngröße	Einheit	Kleinstwert	Größtwert
U <sub>CC1</sub>	V	0	7
-U <sub>CC2</sub>	V	0	8
U <sub>23</sub>	V	0	U <sub>CC1</sub>
U <sub>1-5,26-28, U<sub>7</sub></sub> <sup>1</sup>	V	0	U <sub>CC1</sub>
U <sub>25, U<sub>6</sub></sub>	V	0	U <sub>CC1</sub>
U <sub>13,14,18,19</sub> <sup>2</sup>	V	U <sub>CC2</sub>	U <sub>CC1</sub>
I <sub>DOL</sub> , -I <sub>DOH</sub>	mA	0	2
I <sub>EOCL</sub> , -I <sub>EOCH</sub>	mA	0	2
P <sub>tot</sub>	mW	-	100

Anm.: 1 - Kurzschluß < 1 s

2 - Überschreitung an 13 und 14 zulässig, wenn  $I_{13,14} \leq 100 \mu\text{A}$  ist

### 3.3. Hauptkenngrößen

Die Haupt- und Nebenkenngrößen in folgender Tabelle gelten für:

$T_a = 25^\circ\text{C} - 5\text{K}$ ,  $U_{CC1} = -U_{CC2} = 5\text{V}$ ,  $f_{osz} = 50\text{kHz} \pm 5\text{Hz}$ ,  $C_{AZ} = 220\text{nF}$ ,  $R_{INT} = 1,8\text{M}\Omega$ ,  
 $C_{INT} = 22\text{nF (KP)}$ ,  $C_{REF} = 100\text{nF}$ ,  $U_{REF} = 1\text{V} \pm 10\text{mV}$ ,  $U_{ACM} = 0\text{V} \pm 10\text{mV}$

Alle Spannungen sind auf Anschluß 8 (Masse) bezogen.

Tabelle 4: Haupt- und Nebenkenngrößen

Kenngröße	Einheit	Kleinstwerte	Größtwerte	Einstellwerte
Stromaufnahme $I_{CC}$	$\mu A$	-	200	in der Auto-Zero-Phase gemessen
Linearitätsfehler $E_L$	LSB	-1	+1	
Datenausgangsspannung High $U_{DOH}$	V	3,5	$U_{CC1}$	$-I_{DOM} = 400 \mu A$
Datenausgangsspannung Low $U_{DOL}$	V	0	0,5	$I_{DOL} = 1,6 \text{ mA}$
Rolloverfehler $E_{RO}$	LSB	-1,5	+1,5	$U_{IN} \approx 1,9 \text{ V}$
Commonspannung $-U_{ACM}$	V	2,6	3,4	$I_{COM} = 10 \mu A$
Nullmessung $R_Z$	Anzeige	-0	+0	$ U_{IN}  \leq 20 \mu V$
Ratiomessung $R_R$	Anzeige	999	1001	$U_{IN} = U_{REF}$

### 3.4. Betriebsbedingungen

Die Angabe der Betriebsbedingungen beschränkt sich auf

$$U_{CC1}, -U_{CC2} = 4,75 \dots 5,25 \text{ V}$$

$$\text{Umgebungstemperatur } T_a = 0 \dots 70 \text{ }^\circ\text{C}$$

### 3.5. Abhängigkeiten

Bei den vorliegenden Meßergebnissen handelt es sich um Daten, die an kleinen Musterstückzahlen im Labor gemessen wurden und die damit nicht repräsentativ sind. Typische Bauelementedaten sind einem späteren Informationsblatt zu entnehmen.

Die einzelnen Abhängigkeiten sind in den Bildern 8 ... 14 dargestellt.

### 4. Applikationshinweise

1. Der Schaltkreis U 739 DC ist ein CMOS-Bauelement, so daß die entsprechenden Maßnahmen zum ESD-Schutz und zur Verhinderung des Latch-up-Effektes zu treffen sind.
2. Die Betriebsspannungsabblockung erfolgt von  $U_{CC1}$  und  $U_{CC2}$  gegen die Digitalmasse (DGD) mit 22  $\mu F$  und 47 nF.
3. Die Frequenz des internen Oszillators ergibt sich bei RC-Beschaltung zu

$$f_{osz} \approx \frac{0,35}{R \cdot C}$$

Mit  $R = 150 \text{ k}\Omega$  und  $C = 47 \text{ pF}$  wird  $f_{osz} \approx 48 \text{ kHz}$ .

Externer Takt: Am Eingang OS1 (23) kann gegen DGD (8) ein Fremdtakt eingespeist werden.

Eine Quarzbeschaltung z.B. mit einem 32-kHz-Uhrenquarz ist möglich (Quarz zwischen 21 und 23 und typisch 300 k $\Omega$  zwischen 22 und 23), wobei die Integratorbeschaltung anzupassen ist.



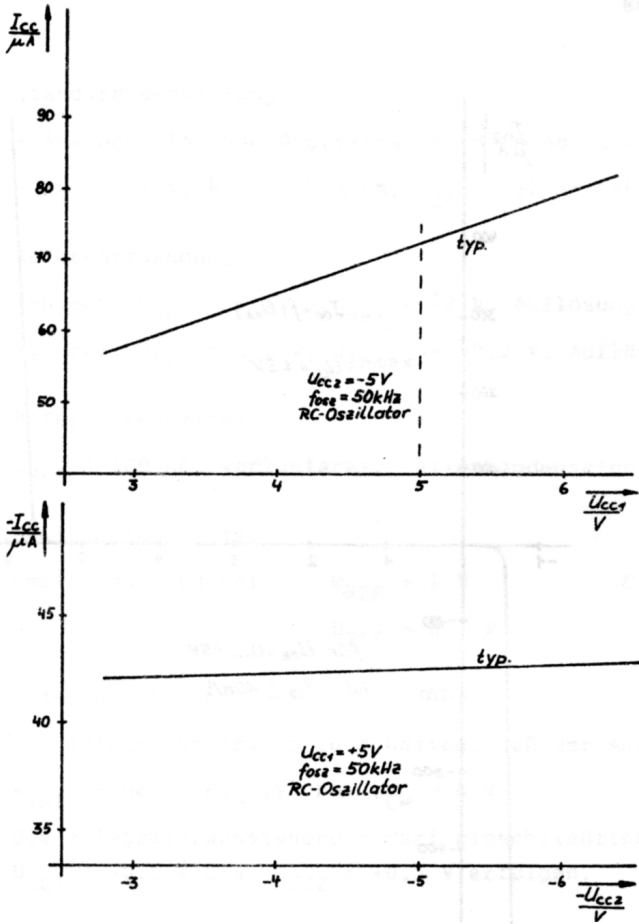


Bild 8: Stromaufnahme in Abhängigkeit von  $\pm U_{CC}$

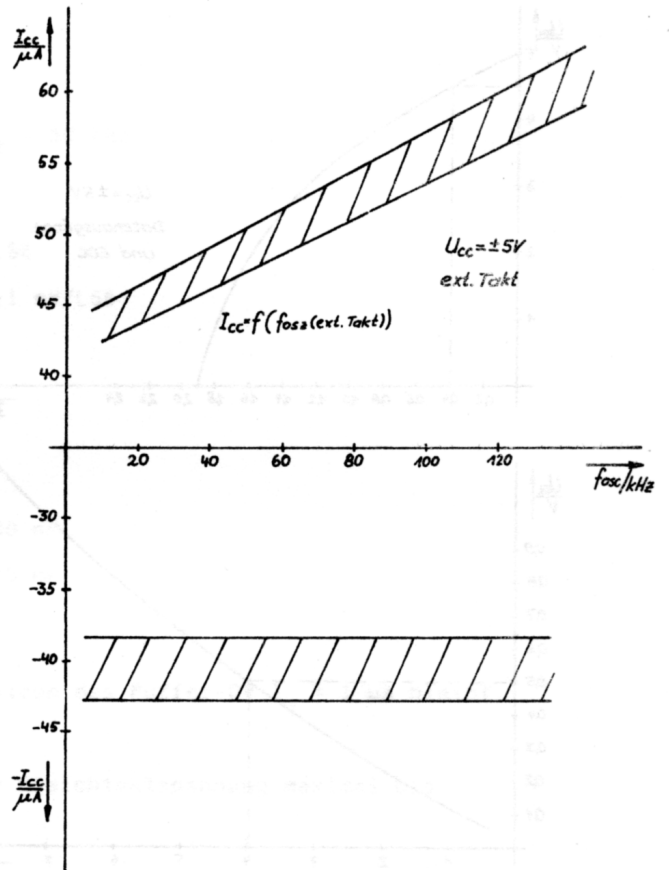


Bild 9: Stromaufnahme in Abhängigkeit von der Taktfrequenz

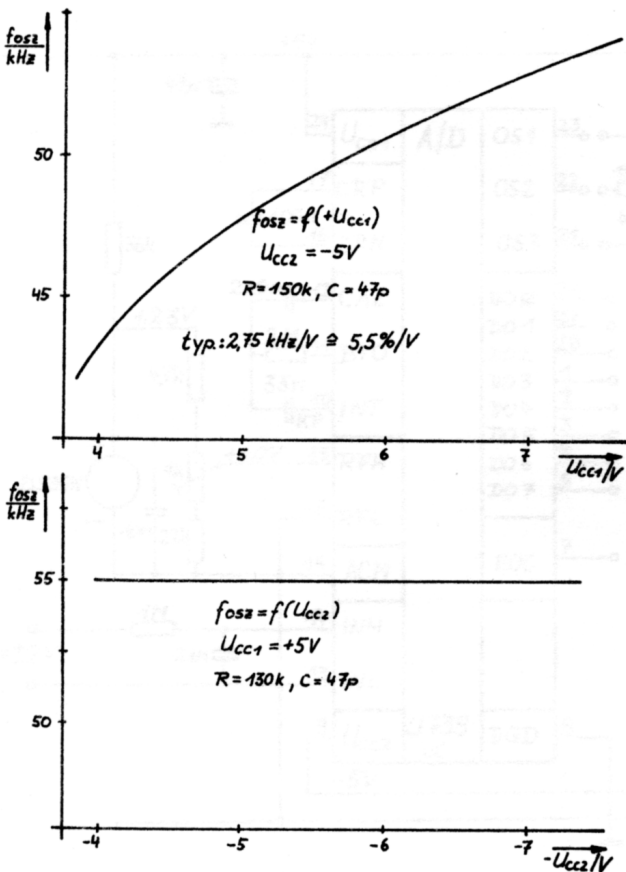


Bild 10: Oszillatorfrequenz in Abhängigkeit von  $\pm U_{CC}$

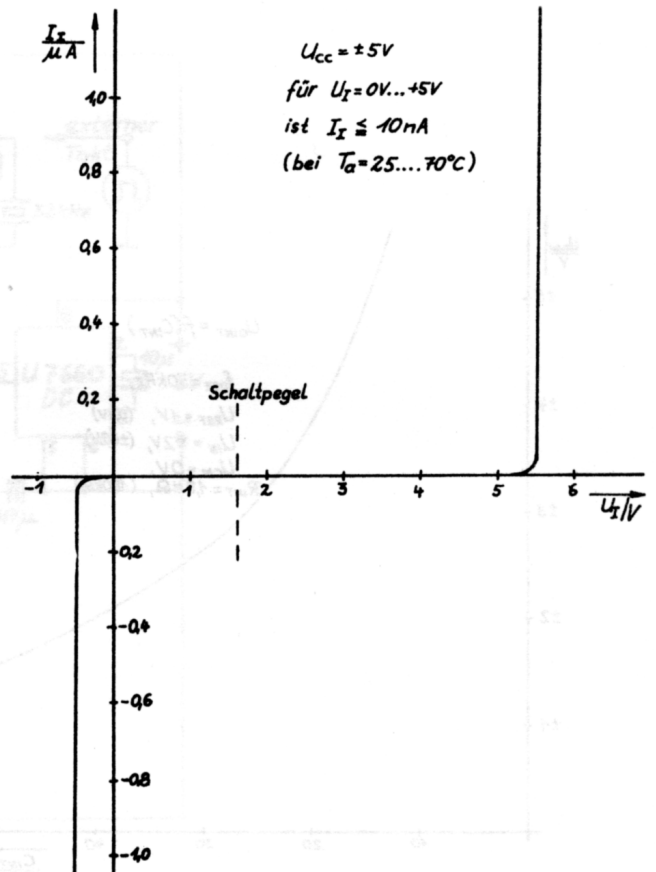


Bild 11: Eingangskennlinie LHS, OEL und Takteingang

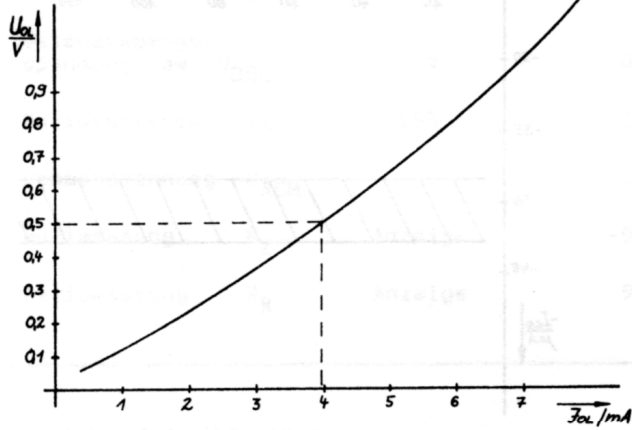
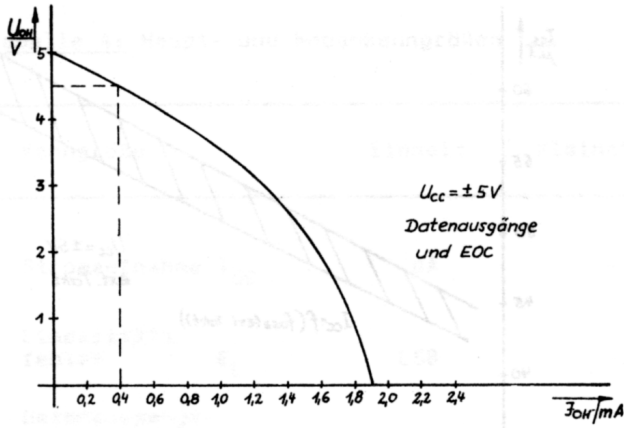


Bild 12: Ausgangskennlinien des EOC- und der Datenausgänge

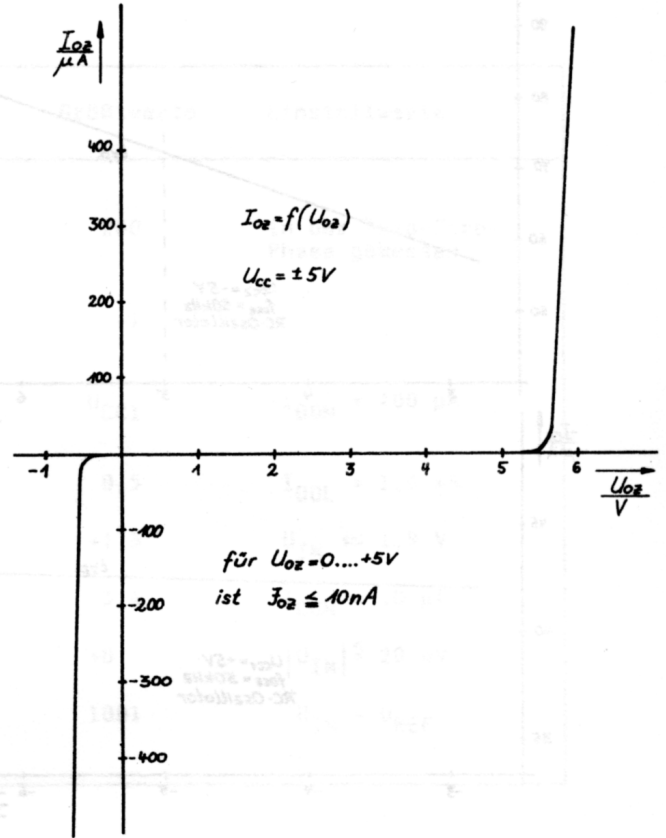


Bild 13: Three-state-Verhalten der Datenausgänge

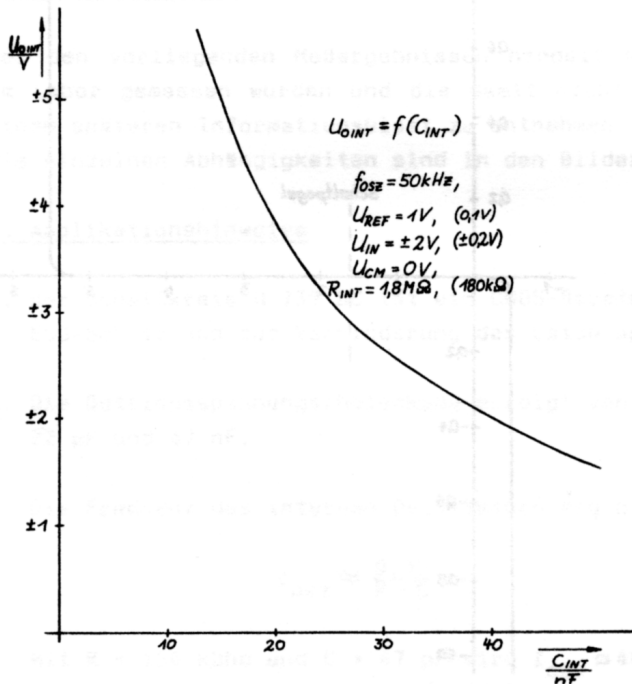


Bild 14: maximale Integratorausgangsspannung  $U_{OINT}$  als Funktion von  $C_{INT}$

## 4. Standardbeschaltung

- Analog- (15) und Digitalmasse (8) sind verbunden
- $U_{REF} = 1\text{ V}$ ,  $R_{INT} = 2\text{ M}\Omega$ ,  $C_{INT} = 22\text{ nF (KP)}$ ,  $f_{OSZ} = 50\text{ kHz}$

## 5. Referenzspannung

typisch:  $U_{REF} = 1\text{ V}$ ,  $U_{INmax} = \pm 2\text{ V}$ , Auflösung  $1\text{ mV/LSB}$

minimal:  $U_{REF} = 0,1\text{ V}$ ,  $U_{INmax} = \pm 0,2\text{ V}$ , Auflösung  $0,1\text{ mV/LSB}$

## 6. Referenzkapazität

$C_{REF} \cong 100\text{ nF}$ , verlustarmer Folienkondensator

## 7. Nullpunktkapazität

Empfohlen wird bei:  $U_{REF} = 1\text{ V}$   $C_{AZ} \cong 100\text{ nF}$   
 $U_{REF} = 0,1\text{ V}$   $C_{AZ} = 470\text{ nF}$

## 8. Integratorbeschaltung

Der Integrator ist so zu schalten, daß der Ausgangsstrom des Puffer-0V  $I_0 \cong 1\text{ }\mu\text{A}$  bleibt.

$R_{INT} (\text{M}\Omega) \approx U_{IN} (\text{V})$  bei  $U_{CM} = 0\text{ V}$

Die Integratoraussteuerung darf einschließlich einer Gleichtaktspannung maximal bis  $U_{CC1} = -0,5\text{ V}$  bzw.  $U_{CC2} = +0,5\text{ V}$  erfolgen.

9. Für den Referenz- und speziell für den Integrationskondensator sind möglichst verlustarme Folienkondensatoren (KP, MKPI, MKT) einzusetzen.

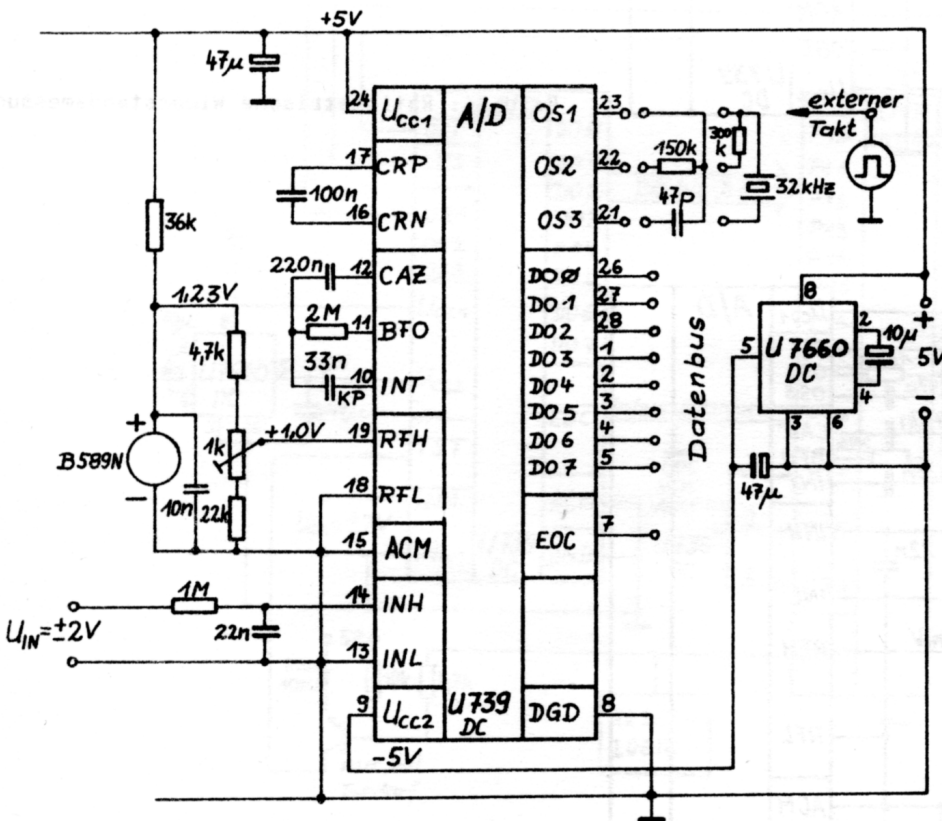
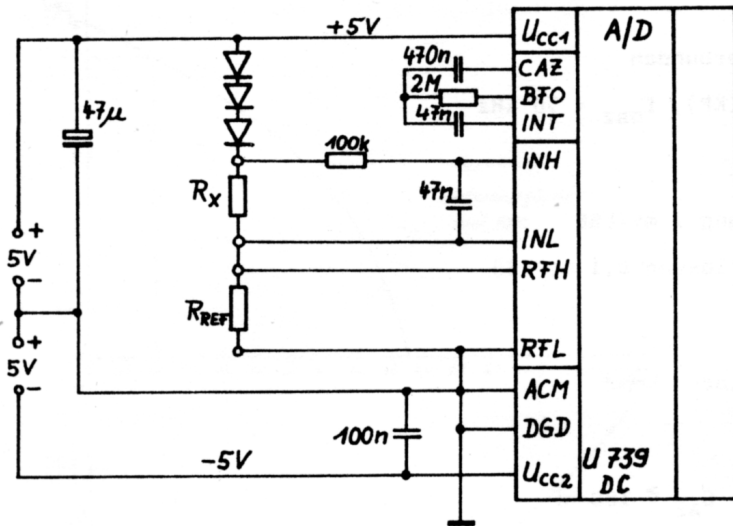
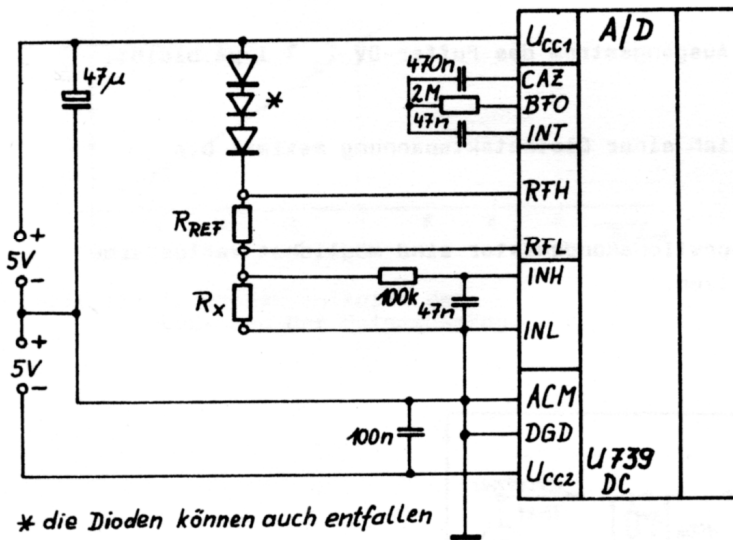


Bild 15: Analogbeschaltung und Spannungsversorgung



a)



b)

\* die Dioden können auch entfallen

Bild 16: Ratiometrische Widerstandsmessung

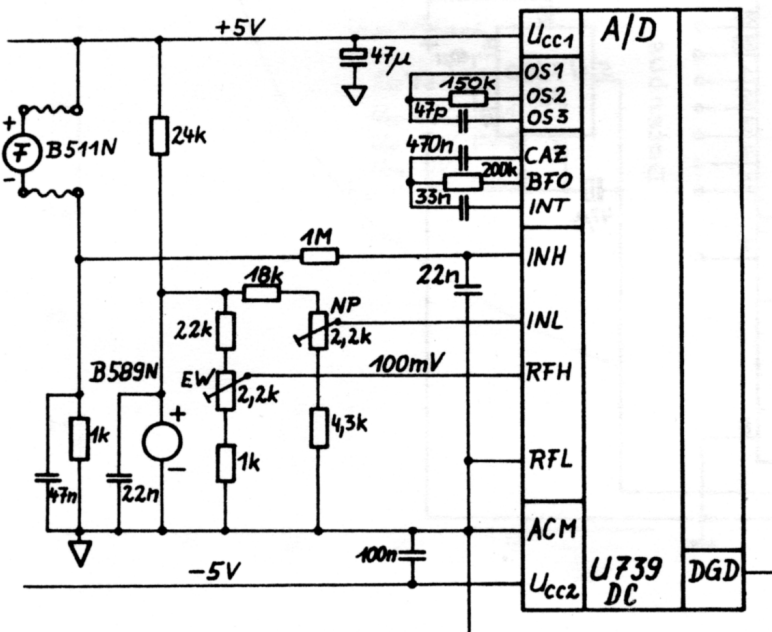


Bild 17: Temperaturmessung mit B 511 N und 0,1-K-Auflösung



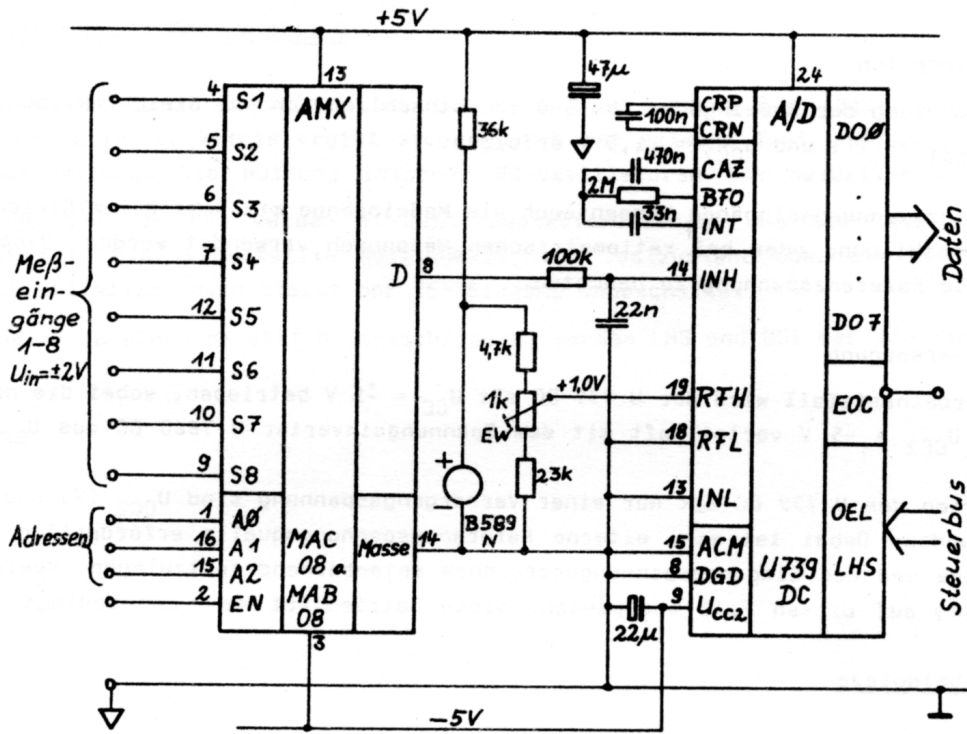


Bild 18: U 739 DC mit vorgeschaltetem Multiplexer

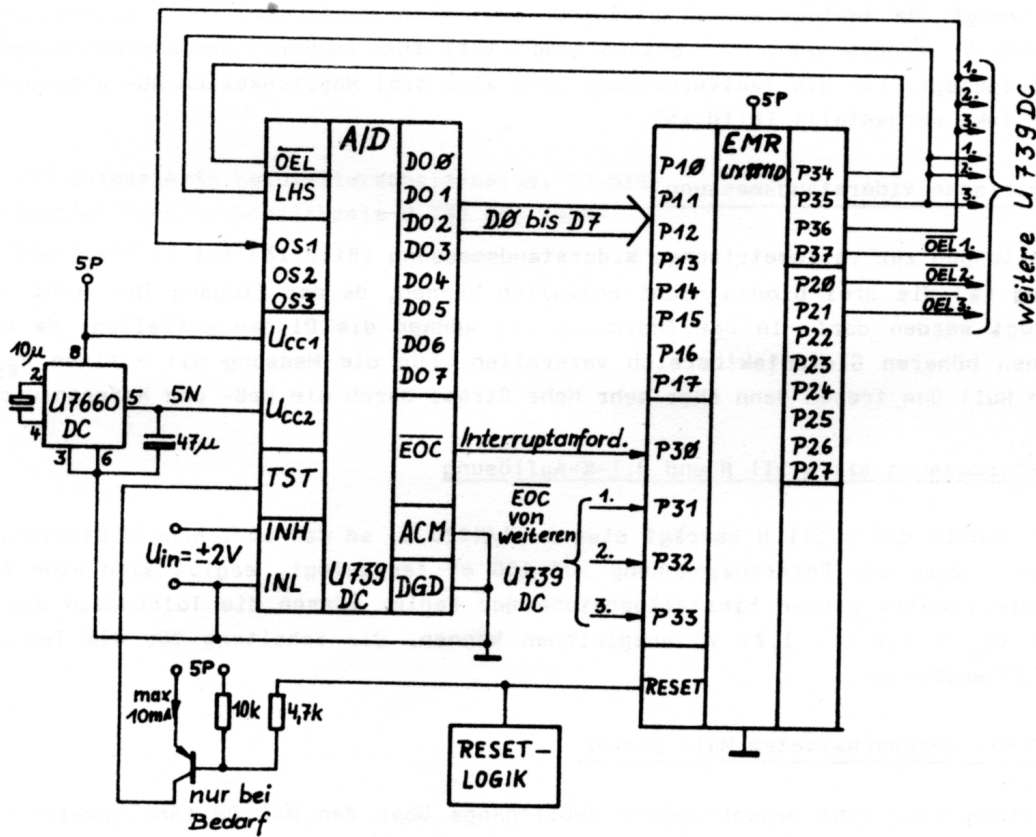


Bild 19: Zusammenschaltung U 739 DC mit EMR UX 811 D

## 10. Gleichtaktbereich

Die Aussteuerung der Meßeingänge INH und INL einschließlich der Gleichtaktspannung darf maximal bis  $U_{CC1} = -1 \text{ V}$  und  $U_{CC2} = +1,5 \text{ V}$  erfolgen.

11. Die Referenzspannungseingänge können auch als Meßeingänge mit sehr gutem Gleichtaktverhalten zur Kehrwertbildung oder bei ratiometrischen Messungen verwendet werden. Dabei sind die Grenzen für die Referenzspannung zu beachten.

## 12. Spannungsversorgung

Im Standardeinsatzfall wird der U 739 DC mit  $U_{CC} = \pm 5 \text{ V}$  betrieben, wobei die negative Betriebsspannung  $U_{CC2} = -5 \text{ V}$  vorteilhaft mit dem Spannungsinverter U 7660 DC aus  $U_{CC1} = +5 \text{ V}$  erzeugt wird.

Beim Betrieb des U 739 DC mit nur einer Versorgungsspannung sind  $U_{CC2}$  (9) und die Digitalmasse (8) verbunden. Dabei ist eine externe Referenzspannungsquelle erforderlich und die Lage der Analogmasse und des Eingangsspannungsbereiches entsprechend festzulegen, sowie die Integratorbeschaltung auf diesen Fall anzupassen. Diese Betriebsart kann nur bedingt empfohlen werden.

## 5. Anwendungsbeispiele

Im folgenden werden einige Anwendungsschaltungen für den U 739 DC vorgestellt.

### 5.1. Analogbeschaltung und Spannungsversorgung

Die Spannungsversorgung erfolgt aus einem 5-V-Netzteil. Die negative Betriebsspannung wird mit dem U 7660 DC erzeugt. Da Analog- und Digitalmasse verbunden sind, wird zur Referenzspannungsversorgung der B 589 N eingesetzt. Die Beschaltung ist für einen Eingangsspannungsbereich von  $U_{IN} = \pm 2 \text{ V}$  ausgelegt. Für die Taktversorgung sind alle drei Möglichkeiten RC- und Quarzbeschaltung und externer Takt dargestellt (Bild 15).

### 5.2. Ratiometrische Widerstandsmessung

Bei den Schaltungen zur ratiometrischen Widerstandsmessung (Bild 16) ist zu beachten, daß für die Anordnung (a) die drei Dioden nicht entfallen können, da der Eingang INH nicht näher als 1 V an  $U_{CC1}$  gelegt werden darf. In der Anordnung (b) können die Dioden entfallen, da die Referenzeingänge einen höheren Gleichtaktbereich verkraften. Für die Messung mit kleinen  $R_{REF}$  (100 Ohm) und  $R_x$  gegen Null Ohm treten dann aber sehr hohe Ströme durch die Meß- und Referenzwiderstände auf.

### 5.3. Temperaturmessung mit B 511 N und 0,1-K-Auflösung

Die Fühlersteilheit des B 511 N beträgt etwa  $1 \mu\text{A/K} \pm 20 \%$ , so daß am 1-kOhm-Widerstand  $1 \text{ mV/K} \pm 20 \%$  erzeugt werden. Wird die Referenzspannung auf 100 mV festgelegt, ergibt sich eine Auflösung von 0,1 K/LSB. Die relativ großen Einstellbereiche der Regler müssen die Toleranzen des B 511 N und des B 589 N ( $U_0 = 1; 2 \dots 1,25 \text{ V}$ ) ausgleichen können. Die Schaltung für die Temperaturmessung ist im Bild 17 enthalten.

### 5.4. U 739 D mit vorgeschaltetem Multiplexer

In der Schaltung sind acht massebezogene Meßeingänge über den MAC 08 (Analogmultiplexer aus der ČSSR) auf den Wandler durchzuschalten (Bild 18). Der Eingangsspannungsbereich beträgt  $\pm 2 \text{ V}$  ( $U_{REF} = 1 \text{ V}$ ). Das System kann aber auch nach entsprechender Umdimensionierung mit  $U_{IN} = \pm 0,2 \text{ V}$  arbeiten.

### 5.5. Zusammenschaltung mit EMR UX 8811 D

Die Taktung des A/D-Wandlers geschieht über den seriellen Ausgang P36 (Bild 19). Entsprechend dem programmierten Teilverhältnis ergibt sich dadurch der externe Takt und die Dimensionierung der Integratorbeschaltung. Die Nutzung interner RC-Oszillatoren ist natürlich ebenso möglich.

Über die Eingänge P30 bis P33 werden die Interruptabforderungen des oder der vier möglichen U 739 DC ausgewertet. Die dargestellte Möglichkeit, den Testzustand über die Resetlogik zu erzeugen, kann auch entfallen. Dann bleibt der TST-Eingang unbeschaltet.

Sind mehrere Wandler an einen UX 8811 D angeschlossen, werden LHS und OS1 der A/D-Wandler parallel angesteuert.

### Literatur

- /1/ Gittner, G.; Kahl, B.: 3 1/2 Digit CMOS Analog-Digital-Wandler C 7136 D  
VEB Halbleiterwerk Frankfurt/Oder - KDT Bezirksvorstand  
Frankfurt/Oder (1987)  
(Mikroelektronik Information Applikation - Heft 47)
- /2/ Gittner, G.; Kahl, B.: Analog-Digital-Wandler C 7136 D  
Radio Fernsehen Elektronik, Berlin 36 (1987) 12,  
S. 762 - 767
- /3/ TGL 45 443 Integrierte Halbleiterschaltkreise; 12-bit-Analog-Digital-Wandler-Schaltkreis U 739 DC; Technische Bedingungen. - 1989

Dipl. Phys. Monika Arnold  
Dipl. Ing. Axel Haenelt

VEB Applikationszentrum Elektronik Berlin

# Mikroprozessorschaltkreiserien aus der UdSSR

## 1. Einleitung und Typübersicht

Seit Anfang der siebziger Jahre werden in der UdSSR Mikroprozessorschaltkreise hergestellt. In dieser Zeit vollzogen sich sowohl im Bereich der mikroelektronischen Technologien als auch in der Architektur und Strukturierung integrierter Schaltkreise bedeutende Veränderungen. Am Beispiel der Mikroprozessorschaltkreise dargestellt, bedeutete die Technologieentwicklung einen Übergang von der PMOS-Technologie mit Strukturbreiten von 5 ... 8  $\mu\text{m}$  über die NMOS-Technologie mit Strukturbreiten von 2 ... 4  $\mu\text{m}$  bis zur CMOS-Technologie mit Strukturbreiten von 1,2 ... 2,5  $\mu\text{m}$ . Gleichzeitig erfolgten eine Verringerung der Chipfläche, eine Erhöhung der Schaltgeschwindigkeit und der Übergang zur Zweiebenenmetallisierung. Die Art der Projektierung hat sich vom "Handentwurf" und von "Handverifikation" mit vereinzelter Rechnerunterstützung zum durchgehenden interaktiven rechnergestützten Entwurf mit Elementen automatischer Synthese von logischen Schaltungen, Topologie und vollständiger automatischer Verifikation des Entwurfs entwickelt.

Im Bereich Architektur und Strukturierung von Mikroprozessorschaltkreisen vollzog sich eine Erhöhung des Integrationsgrades, die breite Einführung verschiedener Leiterzugstrukturen zur Erhöhung der Schaltgeschwindigkeit, die Einführung einer neuen Speicherorganisation, die Verwendung von hardwaremäßig realisierten Funktionsgruppen mit arithmetischen Operationen, Gleitkommarechnung, Befehlen zur Prozessorumschaltung u. a.

In der UdSSR sind in diesen Jahren mehr als 20 Mikroprozessorsysteme entworfen worden, deren Hauptserien in Tabelle 1 aufgeführt sind.

Tabelle 1: Hauptserien sowjetischer Mikroprozessorsysteme

Schaltkreis- typ (1)	Funktion (2)	Gehäusetyp (3)	Techno- logie(4)	Einst. (5)
<b>Serie KR 580</b>				
KR 580 GF 24	Taktsignalgenerator	238.16-2	TTL	
KR 580 IR 82	8-Bit-Bustreiber und Speicher	2140.20-2	TTL	LTV
KR 580 IR 83	8-Bit-Bustreiber u. Speicher, invert.	2140.20-2	TTL	LTV
KR 580 WA 86	Bidirektionaler Bustreiber	2140.20-2	DTL	LTV
KR 580 WA 87	Bidirektionaler Bustreiber, invert.	2140.20-1	TTL	LTV
KR 580 WA 93	Bustranceiver für IEEE 488	2121.28-10	NMOS	ST
KR 580 WG 18	Bustreiber	2121.28-3	NMOS	
KR 580 WG 75	Steuer-IS für CRT	2123.40-2	NMOS	
KR 580 WG 92	Steuer-IS für IEEE 488	2123.40-2	NMOS	ST
KR 580 WI 53	2-MHz-programmierbarer Zeitgeber	2120.24-3	NMOS	AT
KR 580 WK 28	Systemsteuerung und Bustreiber	2121.28-4	TTL	
KR 580 WK 91 A	Businterface für IEEE 488	2123.60-2	NMOS	ST
KR 580 WM 80 A	Monolith. 8-Bit-Mikroprozessor	4123.60-2	NMOS	
KR 580 WN 59	Interrupt-Steuerung	2121.28-5	NMOS	
KR 580 WW 51 A	Programmierb. serielle Ein-/Ausgabe	2121.28-5	NMOS	AT
KR 580 WW 55 A	2-MHz-progr. parallele Ein-/Ausgabe	2123.40-2	NMOS	
KR 580 WW 79	Tastatur-Interface	2123.40-2	NMOS	
KR 580 WT 57	Steuer-IS f. direkten Speicherzugriff	2123.40-2	NMOS	AT
<b>Serie KR 581</b>				
KR 581 IK 1	16-Bit-Mikroproz. z. Inf.-Verarb.	413.48-5	NMOS	
KR 581 IK 2	Befehlssteuerung	413.48-5	NMOS	
KR 581 RU 1	Mikroprogramm Speicher f. Standard- befehle u. Gleitkommarechnung	413.48-5	NMOS	
KR 581 WE 1	16-Bit-Mikroproz. m. Mikroprogramm- steuerung	413.48-5	NMOS	

Nach einem Vortrag auf dem 13. Mikroelektronik-Symposium der DDR in Frankfurt/Oder vom Mai 1989 /8/; redaktionell bearbeitet und ergänzt.



(1)	(2)	(3)	(4)	(5)
	<b>Serie K 583</b>			
K 583 ChL 1	Byte-organ. Busschalter	4134.48-2	I <sup>2</sup> L	
K 583 IK 1	Speicheradressierung und Codefolge- generierung	4134.48-2	I <sup>2</sup> L	
K 583 KP 1	Kommutationsprozessor	4134.48-2	I <sup>2</sup> L	
K 583 RA 1	Assoziativspeicher	4134.48-2	I <sup>2</sup> L	
K 583 WA 1	Bustreiber/-empfänger mit Speicher	4119.28-1	TTL	
K 583 WA 2	Bustreiber/-empfänger ohne Speicher	4119.28-1	TTL	
K 583 WA 3	Universeller Leitungstreiber	4134.48-2	TTL	
K 583 WA 4	Universeller Byte-organ. Schalter	4134.48-2	TTL	
K 583 WG 1	Synchronsignalgenerator	4119.28-1	TTL	
K 583 WM 1	Logikprozessor	4134.48-2	I <sup>2</sup> L	
K 583 WS 1	8-Bit-CPU	4134.48-2	I <sup>2</sup> L	
	<b>Serie K 584</b>			
K 584 WG 1	Zustandssteuerung	4134.48-2	I <sup>2</sup> L	
K 584 WM 1	4-Bit-CPU	4134.48-2	I <sup>2</sup> L	
K 584 WU 1	Mikroprogrammsteuerung	4134.48-2	I <sup>2</sup> L	
K 584 WW 1	Leitungstreiber	4134.48-2	TTL	
	<b>Serie KR 587</b>			
KR 587 IK 1	8-Bit-Schaltung f. Inf.-Austausch	2204.42-1	CMOS	ST
KR 587 IK 2	4-Bit-Arithmetik-Logikeinheit	2204.42-1	CMOS	ST
KR 587 IK 3	8-Bit-Arithmetik-Expander	2204.42-1	CMOS	ST
KR 587 RP 1	Mikroprogrammspeicher-Steuerung	2204.42-1	CMOS	ST
	<b>Serie K 588</b>			
K 588 IR 1	8-Bit-Mehrfachfunkt.-Pufferregister	4119.24-4	CMOS	
K 588 WA 1	8-Bit-Leitungstreiber	4119.24-4	CMOS	
K 588 WG 1	Systemsteuerung	429.42-3	CMOS	
K 588 WG 2	Speichersteuerung	4116.18-2	CMOS	
K 588 WG 3	Multiplex-Kanalcodierer/-decodierer	429.42-3	CMOS	
K 588 WG 4	Steuer-IS f. A/D-Wandler	4134.48-2	CMOS	
K 588 WG 5	Steuer-IS f. D/A-Wandler	4134.48-2	CMOS	
K 588 WG 6	Adapter	4134.48-2	CMOS	
K 588 WI 1	Zeitgeber-IS	429.42-3	CMOS	
K 588 WN 1	Interrupt-Steuerung	4119.24-3.02	CMOS	
K 588 WR 2	16-Bit-Multiplizierer	4118.24-2	CMOS	
K 588 WS 2	16-Bit-Arithmetik-Logikeinheit	429.42-3	CMOS	
K 588 WT 1	Adressauswahl	429.42-3	CMOS	
K 588 WT 2	Steuer-IS f. DMR	4134.48-2	CMOS	
K 588 WU 2	Steuerbarer Mikroprogrammspeicher	429.42-3	CMOS	
	<b>Serie K 589</b>			
K 589 AP 16	4-Bit-bidirektionaler Bustreiber	238.16-2	TTL	LTV
K 589 AP 26	4-Bit-bidirektionaler Bustr., invert.	238.16-2	TTL	
K 589 ChL 4	Mehrfachfunktionssynchronisation	238.16-2	TTL	
K 589 IK 01	Mikroprogrammsteuerung	2123.40-1	TTL	ST
K 589 IK 02	2-Bit-CPU	2101.28-1	TTL	ST
K 589 IK 03	Look-ahead-Schaltung	2121.28-1	TTL	ST
K 589 IK 14	Prioritäts-Interrupt	239.24-2	TTL	
K 589 IR 12	8-Bit-Eingabe-/Ausgaberegister	239.24-2	TTL	
	<b>Serie K 1800</b>			
K 1800 RP 6	2 Adressen-Pufferspeicher	2207.48-1	ECL	
K 1800 RP 16	Pufferspeicher	2207.48-1	ECL	
K 1800 WA 4	Zweirichtungs-Pegelwandler	2103.16-3	ECL	ST
K 1800 WA 7	Zweirichtungs-Empfänger/-Treiber	2103.16-3	ECL	ST
K 1800 WB 2	Synchronisationssteuerung	2120.24-1	ECL	
K 1800 WR 1	8-Bit x 8 Multiplizierer	2136.64-1	ECL	
K 1800 WR 8	Programmierz. Vielf.-Schieberegister	2207.48-1	ECL	
K 1800 WS 1	4-Bit-Arithmetik-Logikeinheit	2207.48-1	ECL	
K 1800 WT 3	Speichersteuerung	2207.48-1	ECL	
K 1800 WU 1	Mikroprogrammsteuerung	2207.48-1	ECL	ST

(1)	(2)	(3)	(4)	(5)
	<b>Serie KR 1801</b>			
KR 1801 RE 2	ROM mit Interface 4K x 16	239.24-1	NMOS	ST
KR 1801 RR 1	EEPROM mit Interface 4K x 16	239.24-1	NMOS	
KR 1801 WM 1	16-Bit-Mikroprozessor	429.42-5	NMOS	
KR 1801 WM 2	16-Bit Mikroprozessor	2123.40-6	NMOS	
KR 1801 WM 3	16-Bit-Mikroproz. m. Speicherverwaltg.		NMOS	
KR 1801 WM 4	Coprozess. m. Speicherverwaltg. und Gleitkommarechnung	429.42-5	NMOS	
KR 1801 WP 1-30.13	Steuer-IS f. dyn. Speicher	429.42-5	NMOS	
KR 1801 WP 1-33	IS f. parallele Ein-/Ausgabe	429.42-5	NMOS	
KR 1801 WP 1-34	IS zur Informationsübertragung	429.42-5	NMOS	
KR 1801 WP 1-35(65)	IS f. serielle Ein-/Ausgabe	429.42-5	NMOS	
	<b>Serie KR 1802</b>			
KR 1802 IM 1	4 x 4-Bit-Addierer/Subtrahierer	2207.48-4	ECL, TTL	
KR 1802 IR 1	2 Register für allg. Anwendg.	239.24-2	TTL	
KR 1802 KP 1	4-Bit-Vielfachfunktionswandler	2207.48-4	ECL, TTL	
KR 1802 WR 1	16-Bit-Arithmetik-Expander	2206.42-1	TTL	
KR 1802 WR 2	8-Bit-serieller Multiplizierer/Teiler	2206.42-1	TTL	
KR 1802 WR 3	8-Bit-paralleler Multiplizierer	2206.42-1	TTL	
KR 1802 WR 4	12-Bit-paralleler Multiplizierer	2136.64-1	ECL, TTL	
KR 1802 WR 5	16-Bit-paralleler Multiplizierer	2136.64-1	ECL, TTL	
KR 1802 WS 1	8-Bit-Slice-Mikroprozessor	2206.42-1	TTL	
KR 1802 WW 1	Schaltg. f. Informationsaustausch	2206.42-1	TTL	
KR 1802 WW 2	Interface-Schaltung	2206.42-1	TTL	
KR 1802 WW 3	Progr.barer Adapter f. ser. Interface (4 Richtungen)	2121.28-1	TTL	
	<b>Serie KM 1804</b>			
KM 1804 GG 1	Systemtaktgenerator	2120.24-1	TTL	AT
KM 1804 IR 1	4-Bit-Parallel-Register	201.16-13	TTL	AT
KM 1804 IR 2	8-Bit-Parallel-Register	2108.22-1	TTL	AT
KM 1804 IR 3	8-Bit-D-Flip-Flop	2121.28-6	TTL	
KM 1804 WA 1	4-Bit-Bus-Treiber/Empfänger	2120.24-1	TTL	AT
KM 1804 WA 2	4-Bit-Bus-Treiber/Empfänger	2140.20-2	TTL	
KM 1804 WA 3	4-Bit-Bus-Tr./Empf. m. Interface-Logik	2120.24-1	TTL	
KM 1804 WN 1	8-Bit-IS f. vektoriiellen Interrupt	2123.40-6	TTL	
KM 1804 WR 1	Look-ahead-Schaltung	201.16-13	TTL	AT
KM 1804 WR 2	Zustands-u. Verschiebeschaltg.	2123.40-6	TTL	AT
KM 1804 WR 3	4-Bit-Interrupt-Schaltung	2140.20-2	TTL	
KM 1804 WS 1	4-Bit-Slice-Mikroprozessor	2123.40-6	TTL	AT
KM 1804 WS 2	4-Bit-Slice-M. Proz. m. erweit. Möglichk.	2126.48-1	TTL	AT
KM 1804 WSh 1	16-Bit-Fehl.erkennngs.-u.-Korrektur-IS	2126.48-1	TTL	
KM 1804 WU 1	4-Bit-Programm-Ablaufsteuerung	2121.28-6	TTL	AT
KM 1804 WU 2	4-Bit-Programm-Ablaufsteuerung	2140.20-2	TTL	AT
KM 1804 WU 3	Befehlstuerg. f. 1804 WU 2	201.16-13	TTL	AT
KM 1804 WU 4	12-Bit-Mikroprogrammsteuerung	2123.40-6	TTL	AT
KM 1804 WU 5	4-Bit-Programm-Ablaufsteuerung	2120.28-6	TTL	
	<b>Serie KM (KR) 1810</b>			
KR 1810 GF 84	Taktsignalgenerator	2104.18-5	TTL	RT
KR 1810 WG 88	Systemsteuerung	2140.20-2	TTL	RT
KM 1810 WM 86	16-Bit-CPU (5 MHz)	2123.40-6	NMOS	AT
KM 1810 WM 86-B	16-Bit-CPU m. erhöh.Frequenz	2123.40-6	NMOS	
KM 1810 WM 87	Mikroproz. m. Gleitkommaarithmetik	2123.40-6	NMOS	RT
KM 1810 WM 88	16-Bit-Mikroprozessor	2123.40-6	NMOS	
KR 1810 WM 89	Bustreiber (Multimaster)	2140.20-2	TTL	RT
KR 1810 WN 59 A	Programmierbare Interruptsteuerung	2121.28-5	NMOS	RT

(1)	(2)	(3)	(4)	(5)
	<b>Serie KM (KR) 1816</b>			
KR 1816 WE 35	8-Bit-EMR, ohne ROM, mit 64x8 RAM	2123.40-2	NMOS	
KR 1816 WE 39	8-Bit-EMR, ohne ROM, mit 128x8 RAM	2123.40-20	NMOS	
KM 1816 WE 48	8-Bit-EMR, 1Kx8 EPROM und 64x8 RAM	2123.40-6	NMOS	
KR 1816 WR 49	8-Bit-EMR, 1Kx8 EPROM und 128x8 RAM	2123.40-2	NMOS	
	<b>Serie KM 1839</b>			
KM 1839 WG 1	Steuerung f. Haupt- u. CACHE-Speicher		CMOS	
KM 1839 WM 1	32-Bit-Mikroprozessor		CMOS	
KM 1839 WW 1	Busadapter		CMOS	
	<b>Serie KA 1013</b>			
KA 1013 RE 1	32 K x 8 ROM		CMOS	
KA 1013 RU 1	2 K x 8 Statischer Op.speicher		CMOS	
KA 1013 WM 1	16-Bit-Mikroproz. m. integr. Steuerung		CMOS	
KA 1013 WG 2	LCD-Ansteuerschaltkreis		CMOS	

**Einst.(5) = Einstufung (Erklärung der Abkürzungen):**

- ohne Ziffer - Bauelement ist nicht Bestandteil des Lieferprogramms des VEB Kombinat Mikroelektronik (1989)  
 ST - Sondertyp; Bauelement mit Einsatzbeschränkung (themen- bzw. kundenspezifische Bereitstellung)  
 AT, RT - Bauelement ist in den Listen elektronischer Bauelemente (1989) enthalten und kann für einen Einsatz vorgesehen werden  
 LTV - Vergleichsbaulement zu DDR-Typ

Die folgende Tabelle 2 gibt dem Anwender einen kurzen Überblick zu ausgewählten internationalen Vergleichstypen.

**Tabelle 2: Ausgewählte Vergleichstypen für die Serien KR 580, K 1804 und K 1810**

Schaltkreistyp	S W		N S W			
	DDR/HWF	CSSR/Tesla	Fa. Intel	Fa. AMD	Fa. Siemens	andere Firmen
KR 580 GF 24	--	--	P 8224	--	--	NSC: DP 8224 N
KR 580 IR 82	DS 8282 D	--	P 8282	--	SAB 8282 A-P	--
KR 580 IR 83	DS 8283 D	--	P 8283	--	SAB 8283 A-P	--
KR 580 WA 86	DS 8286 D	--	P 8286	--	SAB 8286 A-P	--
KR 580 WA 87	DS 8287 D	--	P 8287	--	SAB 8287 A-P	--
KR 580 WG 75	--	--	P 8275 H	--	SAB 8275-P	Mits.: M5L 8279 P
KR 580 WI 53	--	--	P 8253	P 8253	--	NEC: $\mu$ PD 8253 C 2
KR 580 WK 28	--	--	P 8228	P 8228	--	--
KR 580 WM 80 A	--	MHB 8080 A	P 8080 A	Am 8080 APC	--	NEC: $\mu$ PD 8080 AFC
KR 580 WW 51 A	--	--	P 8251 A	P 8251 A	--	Tosh.: TMP 8251 AP
KR 580 WW 55 A	--	MHB 8255 A	P 8255 A	P 8255 A	--	NEC: $\mu$ PD 8255 AC 2
KR 580 WT 57	--	--	P 8257	--	--	NEC: $\mu$ PD 8257 C 2
K 589 AP 16	DS 8216 D	--	P 8216	P 8216	--	--
K 589 AP 26	--	MH 3226	P 8226	P 8226	--	--
K 589 IK 01	--	MH 3001	M 3001	--	--	Phil.: N 3001
K 589 IK 02	--	MH 3002	M 3002	--	--	Phil.: N 3002
K 589 IR 12	DS 8212 D	--	C 8212	--	--	Mits.: M5L 8212 P
KS 1804 WR 1	--	--	--	Am 2902 ADC	--	Nat.: IDM 2902 ANC, Thoms.: SFC 2902 A
KS 1804 WS 1	--	--	--	Am 2901 DC	--	Nat.: IDM 2901 ANC, Thoms.: SFC 2901 B
KM 1804 WS 2	--	--	--	Am 2903 ADC	--	Thoms.: SFC 2903
KS 1804 WU 1	--	--	--	Am 2909 DC	--	Nat.: IDM 2909 ANC, Thoms.: SFC 2909
KR 1804 WU 2	--	--	--	Am 2911 PC	--	Nat.: IDM 2911 ANC, Cypr.: CY 2911 AFC
KS 1804 WU 3	--	--	--	Am 29811 ADC	--	Nat.: IDM 29811 NC
KR 1804 WU 4	--	--	--	Am 2910 PC	--	Nat.: IDM 2910 ANC, Cypr.: CY 2910 PC
KM 1810 GF 84	--	--	P 8284	P 8284 A	SAB 8284 BP	--
KM 1810 WB 89	--	--	P 8289	--	SAB 8289 P	Fuji.: MBL 8289
KM 1810 WG 88	--	--	P 8288	P 8288	SAB 8288 AP	--
KM 1810 WM 86	--	--	P 8086	P 8086	SAB 8086-1P	--
KM 1810 WM 89	--	--	P 8089	--	--	Fuji.: MBL 8089
KR 1810 WN 59 A	--	--	P 8259 A	--	SAB 8259 A	Tosh.: TMP 8259 A

Erl.: Mits. - Mitsubishi  
 Thoms. - Thomson-CSF  
 Fuji. - Fujitsu

Tosh. - Toshiba  
 Nat. - National

Phil. - Philips  
 Cypr. - Cypress

Einige der häufig verwendeten Gehäuse sind in den folgenden Bildern 1 a) ... 1 l) dargestellt, zu denen die Tabelle 3 eine nach GOST-Gehäuse-Nr. geordnete Übersicht gibt.

Tabelle 3: Übersicht zu Bild 1

GOST-Gehäuse	Bild-Nr.	für Schaltkreis-serien
201.16-13	1.a	1804
238.16-2	1.b	589
239.24-2	1.c	589, 1800, 1801, 1802
405.24-2	1.d	583
2103.16-3	1.e	1800
2108.22-1	1.f	1804
2120.24-1	1.g	580, 1800, 1804
2121.28-1, -5	1.h	580, 1804, 1810
2123.40-2, -6	1.i	580, 1801, 1804, 1810
2136.64-1	1.k	1802
2140.20-2	1.l	580, 1804, 1810
4134.48-2	1.m	583, 584, 588

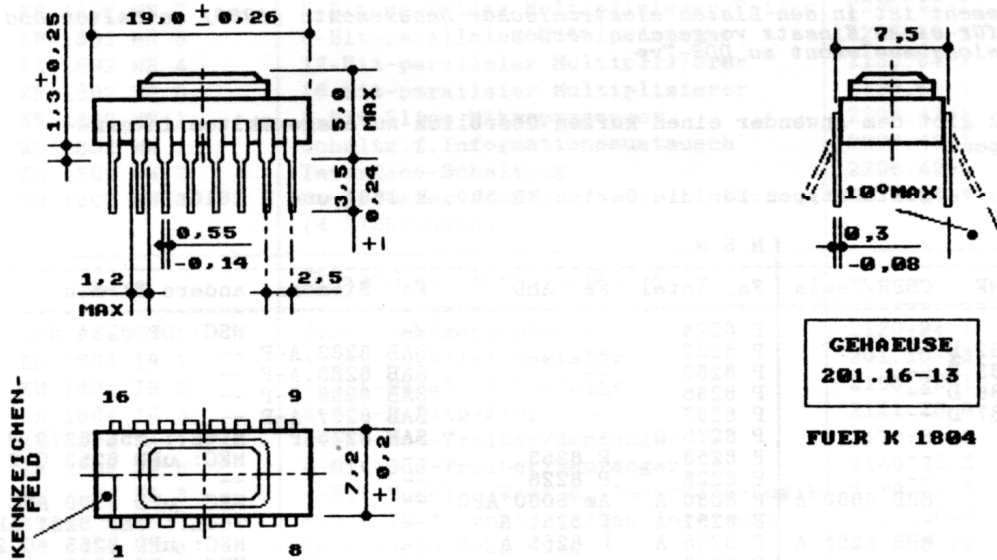


Bild 1.a

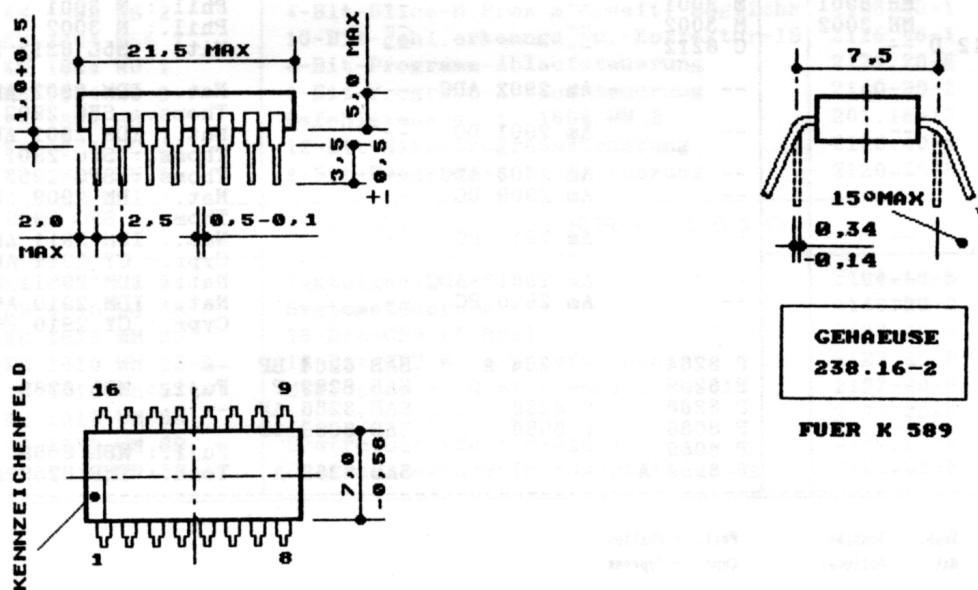
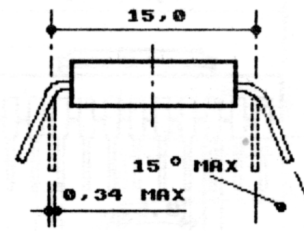
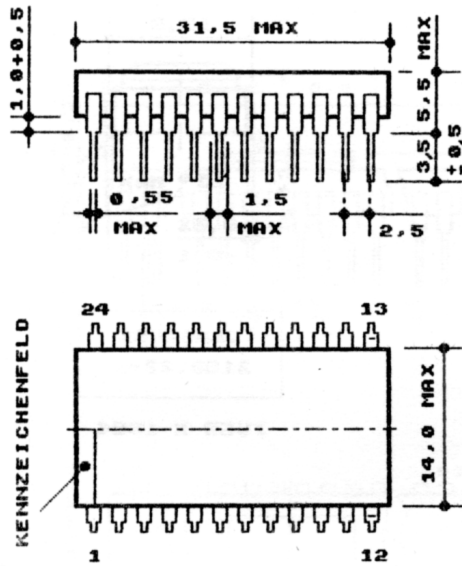


Bild 1.b

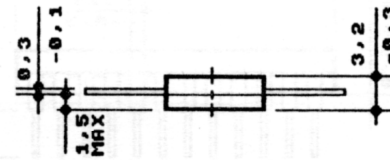
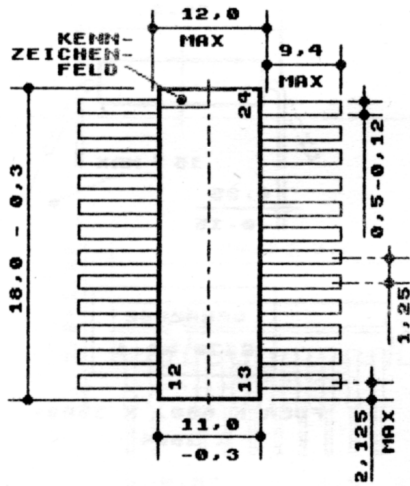




GEHAEUSE  
239.24-2

FUER K 589, K 1800,  
K 1801, K 1802

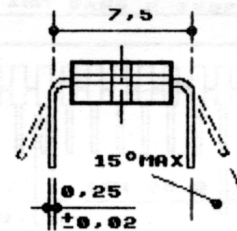
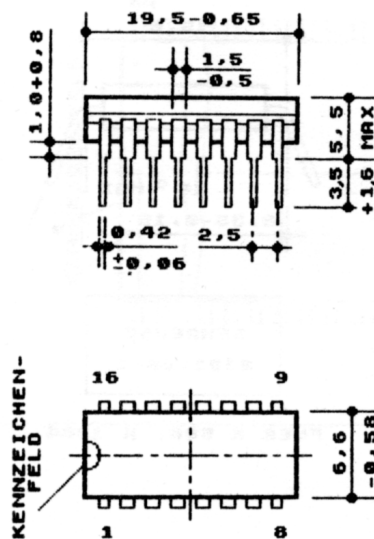
Bild 1.c



GEHAEUSE  
405.24-2

FUER K 583

Bild 1.d



GEHAEUSE  
2103.16-3

FUER K 1800

Bild 1.e



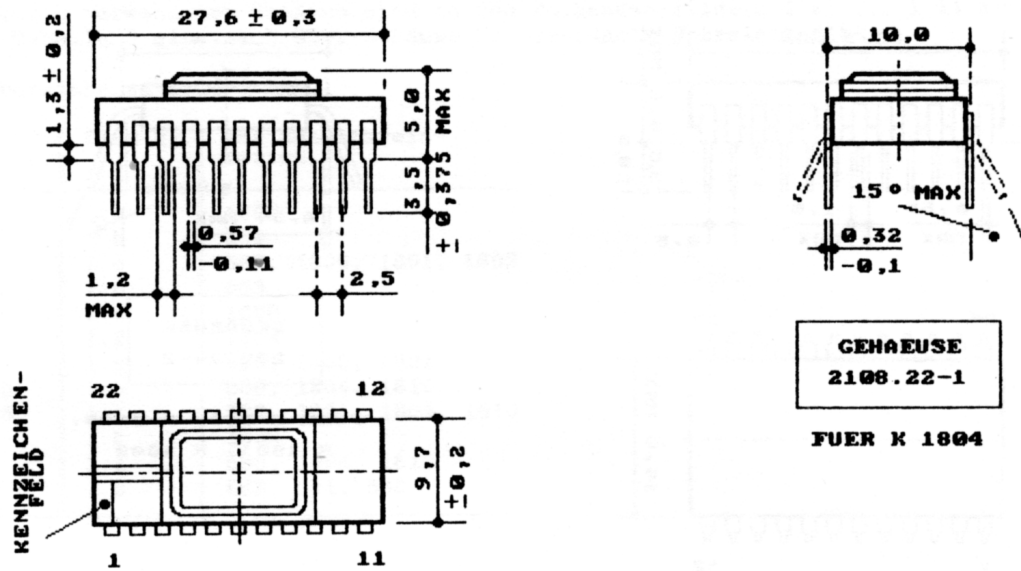


Bild 1.f

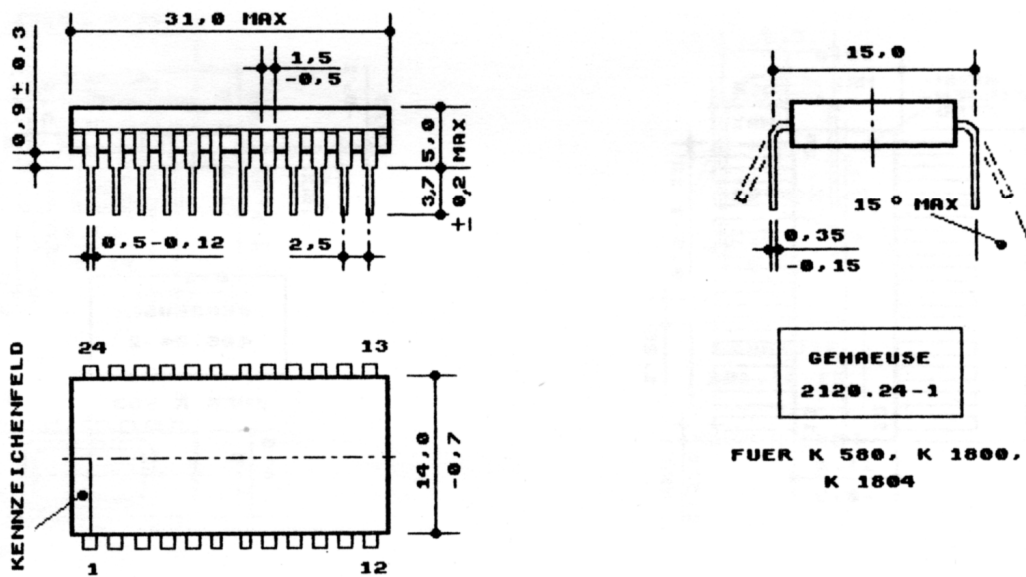


Bild 1.g

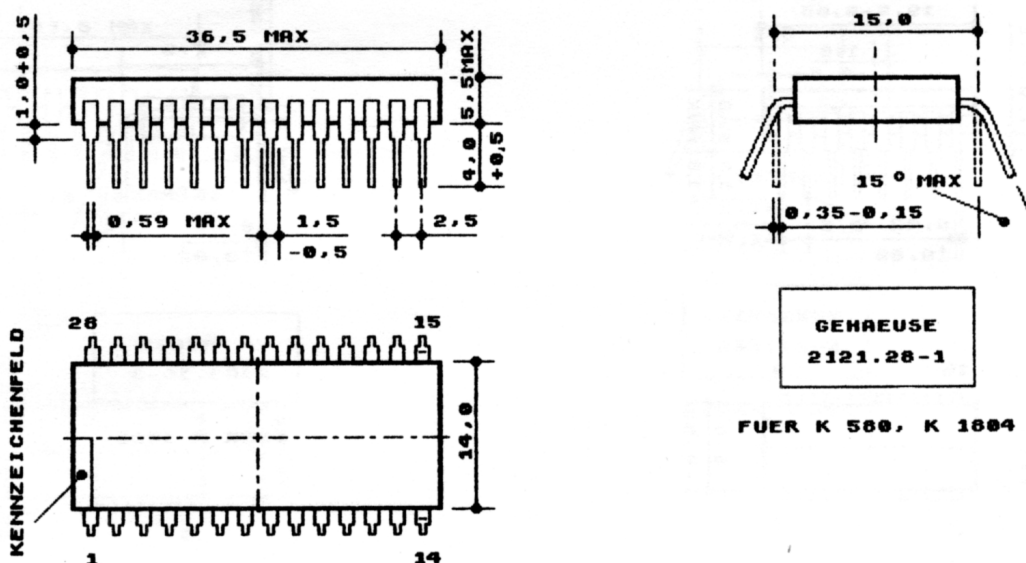
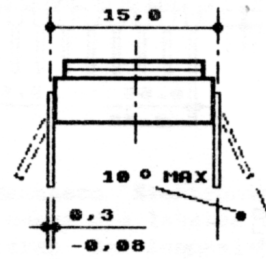
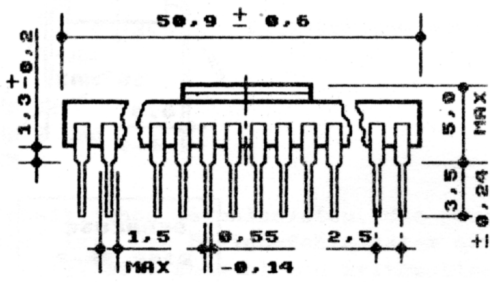


Bild 1.h



GEHAEUSE  
2123.40-6

FUER K 580, K 1801,  
K 1804, K 1810

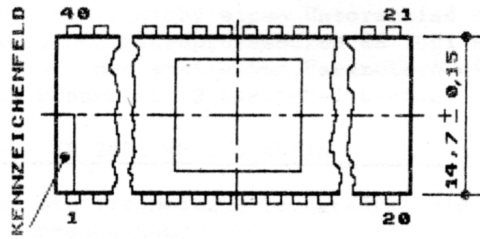
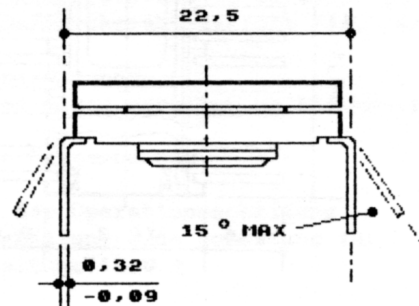
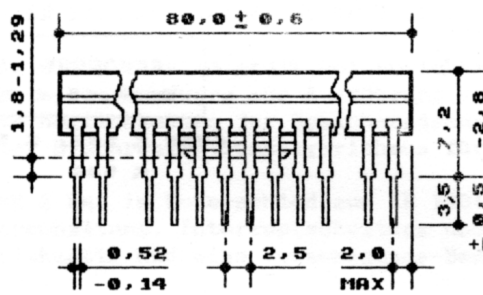


Bild 1.1



GEHAEUSE  
2136.64-1

FUER K 1802

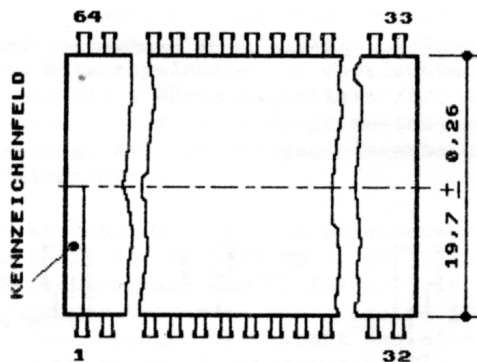


Bild 1.k

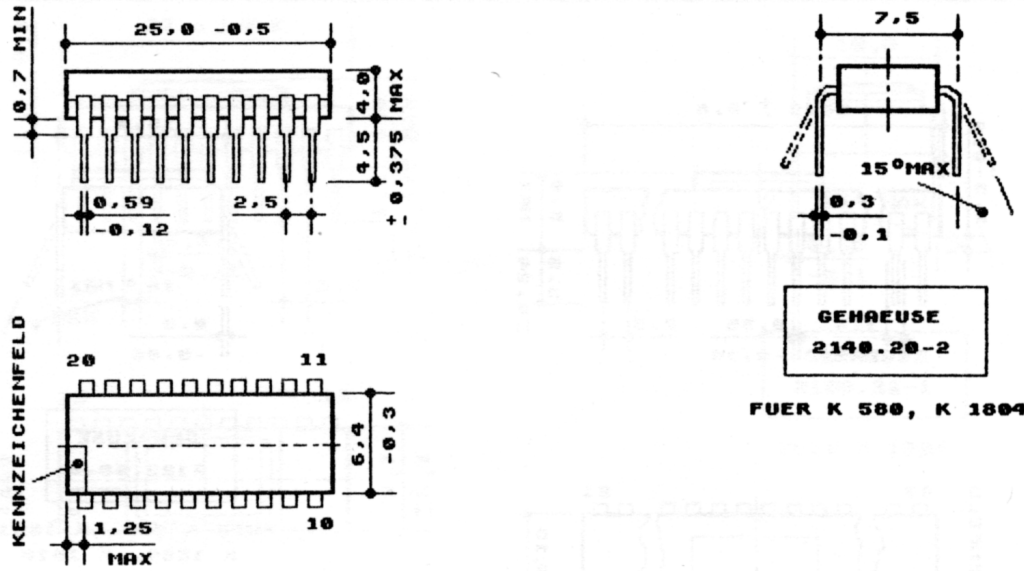


Bild 1.1

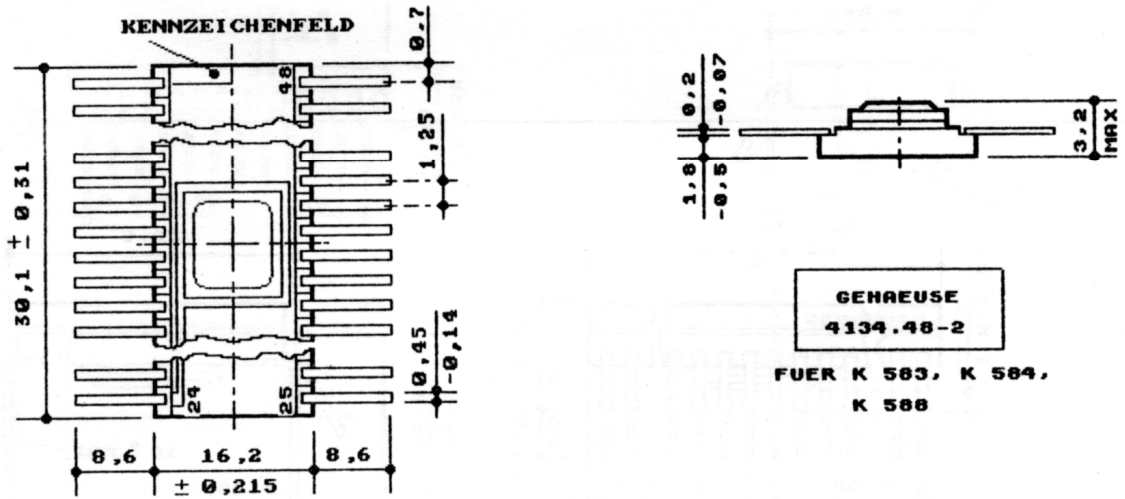
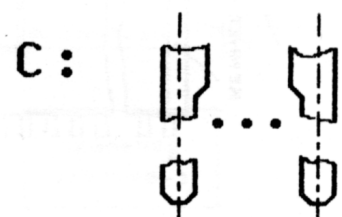
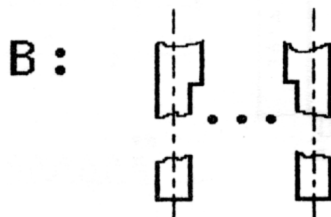
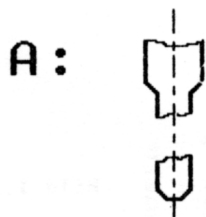


Bild 1.2

Die Pin's der Gehäuse können außer in den dargestellten Formen auch in anderen Varianten gemäß A, B oder C hergestellt werden. Folgende Zuordnungen sind bekannt:



**FUER GEHÄUSE**

201.16, 238.16, 239.24,  
2103.16, 2120.24, 2121.28,  
2123.40, 2140.20

**FUER GEHÄUSE**

238.16, 239.24, 2103.16

**FUER GEHÄUSE**

238.16, 239.24, 2103.16

## 2. Schnelle Schaltkreise der Serie K 1801

Die Serie ist für allgemeine Industrieanwendung bestimmt und beinhaltet drei Mikroprozessortypen

- KR 1801 WM 1,
- KR 1801 WM 2 und
- KA 1801 WM 3

mit einem einheitlichen Befehlssystem, das programmäßig zu den Rechnern "Elektronika 6" und "SM" kompatibel ist. Das Basisbefehlssystem enthält 68 Befehle, wobei die letzten beiden Befehle eine erweiterte Auswahl von arithmetischen Operationen haben. Bei Zuschaltung des Coprozessors KA 1801 WM 4 führt der Mikroprozessor 46 zusätzliche arithmetische Gleitkommaoperationen aus. Alle Mikroprozessoren dieser Serie haben einen einheitlich gestalteten Datenbus, der einen asynchronen Datenaustausch zwischen dem Hauptspeicher und den Peripheriebausteinen für die Ein- und Ausgabe sichert. Die logische Struktur dieses Datenbusses ist bei allen Typen gleich; einen Unterschied gibt es nur in den zeitlichen Beziehungen: die Datenübertragung der Mikroprozessoren KR 1801 WM 2 und KA 1801 WM 3 ist schneller als die des KR 1801 WM 1. Nach den statischen Parametern sind alle Mikroprozessoren mit TTL-Schaltkreisen kompatibel und können mit 2 Lastschaltkreisen der Serie K 155 ( $I_{OL} \leq 3,2 \text{ mA}$ ) arbeiten.

Der Schaltkreis KR 1801 WM 1 enthält

- die Programmsteuerschaltung (ausgeführt als programmierbare Matrix - PLM - ),
- die Operationsschaltung,
- die Steuerung der Systemdatenleitung,
- Register für Ein- und Ausgabe,
- Puffer der Systemdatenleitung,
- Interruptschaltung,
- Interruptsteuerschaltung und
- Taktleitung.

Die Arbeitsgeschwindigkeit beträgt 500 000 Speicher-Additionsoperationen je Sekunde. Im Vergleich zum KR 1801 WM 1 wird der KR 1801 WM 2 folgendermaßen charakterisiert /3/, /4/:

- doppelte Arbeitsgeschwindigkeit bei Speicher-Additionsoperationen,
- Vorhandensein von Hardware zur Ausführung von Operationen einer erweiterten Arithmetik,
- verbesserte Möglichkeiten der Speicheradressierung und
- verbesserter Synchronisationsalgorithmus für Signale des Systembusses.

Der KR 1801 WM 2 hat im Unterschied zum KR 1801 WM 1 außer der Operationsschaltung, Programmsteuerschaltung, Interruptschaltung und Interfaceschaltung eine Schaltung für erweiterte Arithmetik und eine Verzweigungs-Bedingungs-Schaltung.

Der Prozessor KA 1801 WM 3 gehört mit dem Coprozessor KA 1801 WM 4 zur neuen Generation von 16-Bit-Mikroprozessoren. Er hat einen Drei-Stufen-Wandler für die Auswahl und Ausführung der Befehle und kann bis zu 2 Millionen Speicher-Additionsoperationen je Sekunde auf geraden Programmstrecken ausführen. Zur Sicherung einer erweiterten Adressierung hat der Mikroprozessor eine Speicherverwaltungseinheit, die die Übersetzung der virtuellen Adresse in die physische, den Schutz des Nutzerspeichers vor unerlaubtem Zugriff und die Erweiterung des adressierbaren Speichervolumens bis 4 MByte garantiert /5/. Außer der Speicherverwaltung enthält der Prozessor eine Operationsschaltung, eine Programmsteuerschaltung, Interruptschaltung, Steuerschaltung der Systemdatenleitung, Ein- und Ausgabeelemente und die Schaltung für die Steuerung der Befehls-Abarbeitungsreihenfolge.

Der Prozessor KA 1801 WM 4 ist ein Coprozessor zur Zahlenbearbeitung im Gleitkommaformat und führt gemeinsam mit dem KA 1801 WM 3 46 Befehle mit 32- und 64-Bit-Zahlen aus, darunter auch Befehle zur Umwandlung aus dem Gleitkomma- in ein Festkommaformat und umgekehrt. Dabei erfolgt die Adressierung der Operanden durch den KA 1801 WM 3 und ihre Bearbeitung durch den KA 1801 WM 4. Der Coprozessor besteht aus einer Interfaceschaltung und einer Reihe von Operationsschaltungen wie Mantissenverschiebung, Normalisierung und Renormalisierung der Mantissen, ALU für Mantisse, Exponenten- und Vorzeichenbearbeitung. Er enthält einen 6 x 64-Bit-Arbeitspeicher, 16-Bit-Speicher für Prozessor-Statusworte, 4-Bit-Fehlerregister und 16-Bit-Interrupt-Register.

Tabelle 4 enthält die wichtigsten Kennwerte der Mikroprozessoren der Serie K 1801.

Tabelle 4: Wichtigste Kennwerte der Serie K 1801

Typ	K R 1 8 0 1				Einheit
	- WM 1	- WM 2	- WM 3	- WM 4	
<b>Kenngröße</b>	<b>W e r t e</b>				
Wortbreite	16	16	16	32/64	bit
Anz. d. Arbeitsreg.	8	8	8	6	
Anz. d. Adreßspeicher	-	-	16	-	
Befehlsanzahl	68	77	118	46	(mit KR 1801 WM 3)
adressierbarer Speicherbereich	64	128	4000	-	Kbyte
Ausführungszeit für					
- Addit./Subtrakt.	2	1	0,5	-	µs
- Multiplikation	-	10	8	-	µs
- Addit./Subtrakt. v. Gleitkommazahlen 32-/64-Bit	-	-	-	10/10	µs
- Multiplik. von Gleitkommazahlen 32-/64-Bit	-	-	-	8/14	µs
Chipabmessungen	4,2x4,5	4,9x5,1	6,65x8,0	6,65x8,4	mm <sup>2</sup>
Gehäuse	QIP 42	DIP 40	FP 64	FP 64	
Betriebsspannung	5	5	5	5	V (± 5 %)
Taktfrequenz	5	10	6	6	MHz
Arbeitstemperatur	-10/+70	-10/+70	-10/+70	-10/+70	Grad C
Strombedarf	220	350	320	320	mA
Verlustleistung	-	-	-	≤ 2	W

Zum Aufbau hochintegrierter Mikrorechner der Serie "Elektronika 1201" wurde für die dargestellten Prozessorschaltkreise ein Grundstock peripherer IS entwickelt, von denen die folgenden besonders nennenswert sind:

KR 1801 WP 1-035

Schaltung eines asynchronen Empfängers/Treibers für Peripheriegeräte mit serieller Informationsübertragung. Die IS sichert in einem Kanal

- Übertragungsraten von 50 ... 19 200 Baud bei einer Taktfrequenz von 4,608 MHz,
- Empfang und Ausgabe von Informationen im Format 5, 7 oder 8 bit
- Bildung von Stopp-Bits und
- Bildung und Kontrolle eines Paritäts-Bits.

KR 1801 WP 1-033

Mehrfunktionseinheit zur Realisierung eines Floppy-Disc-Controllers, einer PIO und eines parallelen, byteorganisierten Interfaces des Typs IRPR.

KR 1801 WP 1-013

dRAM-Controller für KR 565 RU 5.

KR 1801 WP 1-030

dRAM-Controller für KR 565 RU 6.

KR 1801 WP 1-119

dRAM-Controller für KR 565 RU 7.

Einige technische Parameter zu den Typen der Gruppe KR 1801 WP 1:

Chipgröße in mm <sup>2</sup>	: 4,7 x 4,7
Gatterverzögerung in ns	: 5 ... 10
Taktfrequenz in MHz	: 8
Gatteräquivalente	: 1800
Betriebsspannung in V	: 5 ± 5%
Leistungsaufnahme in W	: 0,85
Gehäuse	: QIP 42, Plast

KR 1801 RR 2

4K x 16 ROM zum Aufbau von Speicherblöcken für Mikrorechner mit Zugriffszeiten von 340 ns; Gehäuse DIP 24.

KR 1801 RR 1

4K x 16 EEPROM mit Zugriffszeiten von 400 ns; Gehäuse DIP 24.

Die Verwendung des Schaltkreissatzes K 1801 ermöglichte die Serienproduktion von Mikrorechnern der Typen "Elektronika MS 1201.01", "Elektronika MS 1201.02" und "Elektronika MS 1201.04".



### 3. Schaltkreise der Serien KM 1804 und KM 1810

Das breit eingeführte bipolare 4-Bit-Slice-Processor-System K 1804 wird vornehmlich für schnelle mikro-programmierte Computer und periphere Schaltungen eingesetzt. Der mikroprogrammierte Computer besteht aus den Funktionseinheiten

- Mikroprogrammspeicher,
- Sequenzer (Mikroprogrammablaufsteuerung), der den nächsten Mikrobefehl adressiert,
- ALU, dem Rechenwerk des Computers.

Bit-Slice-Prozessoren bieten dann Vorteile, wenn lange Adreß- und Datenwörter erforderlich sind, wenn ein spezieller Befehlssatz (Rechner-Emulation) gewünscht wird oder wenn anspruchsvolle Echtzeitaufgaben zu lösen sind.

Charakteristisch für Bit-Slice-Prozessoren ist die Mikroprogrammierbarkeit, d.h. die Steuerung über im Mikroprogrammspeicher (PROM) abgelegte Befehle und die Kaskadierbarkeit, wobei noch andere IS (Treiber, Speicher, Multiplexer, Decodierer, ...) notwendig sind. Damit ergibt sich ein bedeutend höherer Hardwareaufwand als bei monolithischen CPU's.

#### KM 1804 WS 1

4-Bit-Slice-Processor; enthält eine schnelle kaskadierbare ALU, 16x4-Bit-RAM und die erforderlichen Schaltungen zum Verschieben, Decodieren und Multiplexen.

Einige technische Merkmale sind:

- Zweiadreß-Architektur, die die Systemgeschwindigkeit durch gleichzeitigen aber unabhängigen Zugriff auf zwei Arbeitsspeicher verbessert,
- Mehrfunktions-ALU, die zwei Subtraktionsoperationen und fünf Logikoperationen an zwei Quelloperanden ausführt,
- für jede ALU-Funktion können Daten von fünf Quellen flexibel gewählt werden, so daß sich insgesamt 203 Quelloperanden-Paare ergeben,
- unabhängig von der ALU sind eine arithmetische Operation und eine Links-/Rechtsverschiebung im gleichen Maschinenzklus möglich,
- Kaskadierbarkeit beliebig,
- Mikroprogrammierbarkeit mit jeweils 3 bit zur Programmierung des Quelloperanden, der ALU-Funktion und der Zielauswahl,
- Verarbeitungsbreite 9 Bit,
- Betriebsspannung  $5V \pm 5\%$
- Stromaufnahme 109 mA,
- Verzögerungszeit max. 15 ns.

#### KM 1804 WS 2

4-Bit-Slice-Processor, Superslice; führt alle Funktionen des als Standard bewährten K 1804 WS 1 aus und bietet darüber hinaus eine Reihe von Verbesserungen wie

- vollständiger Arithmetik-Logik-Befehlssatz mit Multiplizier-Logik, Dividier-Logik, Normalisier-Logik,
- Paritäts-Generator,
- Drei-Port-/Drei-Adreß-Architektur für beliebige Speichererweiterung,
- Stromaufnahme 350 mA,
- maximale Verzögerungszeit 100 ns.

#### KS 1804 WR 1

Look-ahead-Carry-Generator; ein schneller, vorausschauender Übertragsbildner für den K 1804 WS 1 oder den K 1804 WS 2, der bis zu 4 Überträge bildet und an die ALU überträgt.

#### KR 1804 WR 2

Status- und Shift-Controller; enthält drei unabhängige Logik-Funktionseinheiten, die direkt mit der ALU zusammenarbeiten. Zu den Aufgaben gehören Carry-Generierung, Schiebeoperationen sowie Speichern und Testen von ALU-Statusflags; Betriebsspannung 5 V, Stromaufnahme 318 mA.

#### KR 1804 WA 1

4-Bit-Bus-Transceiver mit offenem Kollektor.

#### KS 1804 WU 1, KS 1804 WU 2

Die Mikroprogramm-Ablaufsteuerungen sind 4 bit breite kaskadierbare Adressen-Controller, die über die Mikrobefehle des Mikroprogrammspeichers gesteuert werden. Sie enthalten ein 4x4-Bit-File mit Stack-Pointer, internes Adressenregister, Multiplexer und einen kaskadierbaren 4-Bit-Mikroprogrammzähler. Der KR 1804 WU 1 enthält zusätzliche ODER-Eingänge für jedes Bit, ansonsten sind beide Schaltkreise identisch; Betriebsspannung 5 V, Stromaufnahme 130 mA, maximale Verzögerungszeit 102 ns.

KS 1804 WU 3

Befehlssteuerung für die Mikroprogramm-Sequencer K 1804 WU 1 und K 1804 WU 2; ermöglicht im wesentlichen die gleichen Befehle wie der KR 1804 WU 4 und dient der Folgeadresssteuerung.

KR 1804 WU 4

Mikroprogrammsteuerung mit 12 bit Verarbeitungsbreite; ein Adressen-Sequencer, der den Ablauf der Ausführung der im Mikroprogrammspeicher untergebrachten Mikrobefehle überwacht und steuert. Neben dem sequentiellen Ablauf bietet er auch die Möglichkeit der bedingten Verzweigung zu jedem Mikrobefehl innerhalb des vorgesehenen Bereichs von 4096 Mikroworten. Ein Last-in/first-out-Stack-Speicher ermöglicht die Verbindung von Mikro-Subroutinen und die Ausführung von Schleifen bis zu fünffacher Schleifenverschachtelung; Betriebsspannung 5 V, Stromaufnahme 344 mA.

KS 1804 IR 1

4xD-Flip-Flop, tristate-Ausgänge;  
Betriebsspannung 5 V, Stromaufnahme 130 mA, Verzögerungszeit 17 ns.

KM 1804 IR 2

8xD-Flip-Flop, tristate-Ausgänge.

Im folgenden werden die Schaltkreise der Serie K 1810 kurz beschrieben, eine ausführliche technische Darstellung der Typen K 1810 WM 86 mit Kennwerten ist veröffentlicht in /9/.

K 1810 WM 86

16-Bit-CPU; 5 MHz, 1-MByte-Speicheradressierbereich, 64-KByte-E/A-Adressierbereich, 16-Byte-Arithmetik mit Multiplikation und Division, 14 x 16-Bit-Registersatz, 24 Adressierungsarten, 16/20-Bit-Multiplex-Daten-/Adreßbus, 7 ... 12fach schnellerer Datendurchsatz als K 580 WM 80 A.

K 1810 WM 87

Arithmetik-Coprozessor mit interner 80-Bit-Architektur, entlastet die CPU um alle Funktionen zur Bearbeitung numerischer Daten, 7 Datenformate, 18stellige BCD-Zahlen und bis 64-Bit-Fest- und Gleitkommazahlen, bis 100fach schneller als eine entsprechende Software-Lösung, Busstruktur des Schaltkreises im Maximum-Mode.

K 1810 WM 88

16-Bit-E/A-Prozessor; entlastet die CPU von zeitintensiven Ein- und Ausgabefunktionen wie Steuerung der Peripherie-Bausteine, Verarbeitung von Zustandsmeldungen, Umsetzung logischer Datenmengen in ihre physikalische Abbildung und periphere Einheiten; enthält 16-Bit-CPU und zwei DMA-Kanäle, 5 MHz, Datenübertragungsrate 1,25 Mbyte/s.

K 1810 WM 89

Bipolarer Bustreiber (Arbiter); arbeitet als "Schiedsrichter" für die Freigabe des Bus-Zugriffs, wobei er gleichzeitig Puffer- und Treiberfunktionen übernimmt. Der K 1810 WB 89 stellt die Buszuteilungslogik dar und ermöglicht in Verbindung mit dem Bus-Controller KR 1810 WG 88 den Anschluß der CPU an einen Multimaster-Systembus (Multibus I). Der Arbiter ermöglicht ein einfaches Bus-Interface mit dem Controller K 1810 WG 88. Wenn die CPU den Bus nicht benutzen darf, hindert der KR 1810 WB 89 den Bus-Controller, die Daten-Transceiver und die Adreß-Latchspeicher daran, auf den Systembus zuzugreifen. Der Systembus erscheint für die CPU als "nicht bereit", so daß sich die CPU in den wait-Zustand begibt, in dem sie so lange verbleibt, bis der Bus freigegeben wird. Dann erst kann die CPU ihren Übertragszyklus beenden. Der Bus-Arbiter übernimmt somit die Aufgabe, einen Prozessor im Multiplex-Verfahren mit einem Multi-Master-Bus zu verbinden und Konflikte zu vermeiden, die bei Vorhandensein mehrerer Bus-Master auftreten können.

K 1810 GE 84

Taktsignalgenerator mit Treiber; dient der Generierung des Systemtaktes sowie der ready- und reset-Steuerung; der 5 MHz-Systemtakt ist unsymmetrisch mit 1/3-H-Pegel und 2/3-L-Pegel.

K 1810 WG 88

Bipolarer Bus-Controller; generiert aus den CPU-Statussignalen S0, S1 S2 den Steuerbus des K 1810 WM 86. Der Bus-Controller ist an die CPU direkt anschließbar.

KR 1810 WN 59 A

Interrupt-Steuerung für 8 Prioritätsebenen, kaskadierbar bis 64 Ebenen, einsetzbar für 8/16-Bit-CPU's, programmierbare Interrupt-Betriebsarten. Ein einzelner Schaltkreis kann 8 Interruptquellen verwalten und für diese die Prioritätsentscheidung übernehmen. Durch die Anschaltung von bis zu 8 Slave-Bausteinen an einen Master können maximal 64 unterschiedliche Interruptquellen im System verarbeitet werden.

#### 4. Schnelle Schaltkreise der Serie KA 1013

Die 16-Bit-Serie ist für die Herstellung von transportablen Rechnern für verschiedene Anwendungsfälle mit autonomer Stromversorgung vorgesehen. Zur Serie gehören

- KA 1013 WM 1 16-Bit-Mikroprozessor,
- KA 1013 RE 1 32K x 8-ROM,
- KA 1013 RU 1 Hauptspeicher 2K x 8,
- KA 1013 WG 2 LCD-Ansteuerschaltkreis.

Die Schaltkreise befinden sich in SMD-Plastgehäusen mit Anschlußraster 1 mm. Die Abmessungen, die Anschlußanzahl und ihre Lage sind für die verschiedenen Schaltkreistypen in Tabelle 7 angegeben, Tabelle 8 enthält elektrische Kennwerte der Serie.

Tabelle 7: Schaltkreisgeometrie

Typ KA 1013	Abmessungen in mm	Anschluß- anzahl	Lage der Anschlüsse
- WM 1	17 x 17 x 3	64	vierseitig
- WG 2	nicht bekannt	nicht bek.	nicht bek.
- RE 1	14 x 14 x 3	48	vierseitig
- RU 1	12 x 11 x 2	24	zweiseitig

Tabelle 8: Wichtigste Kennwerte der Serie KA 1013

Kenngröße	Wert		Einheit
	min	max	
Betriebsspannung	4,5	6,0	V
Laststrom, statisch	20		µA
Laststrom, dynam. (bei f = 2 MHz)		6,0	mA
Arb.geschwindigkeit.	250	1000	Befehle/s

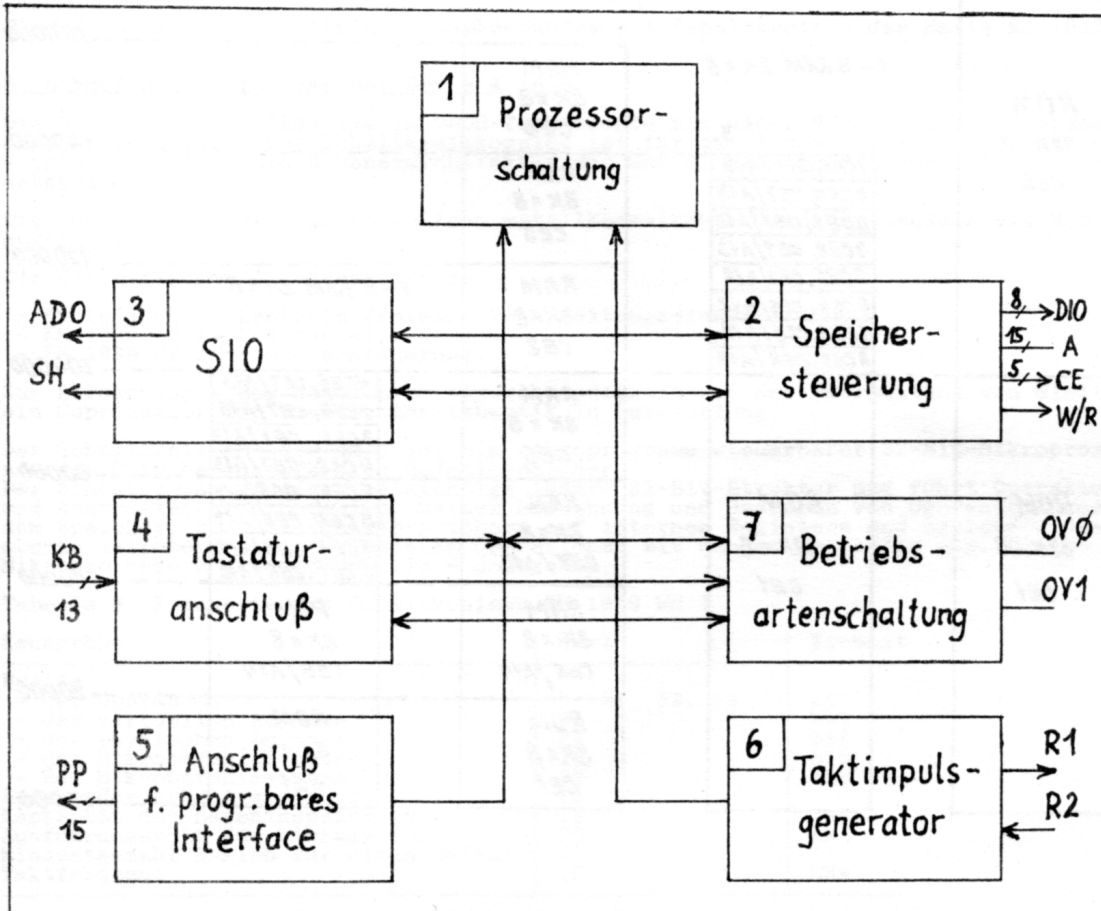


Bild 2: Übersichtsschaltplan KA 1013 WM 1

#### 4.1. Funktionsbeschreibung

In Bild 2 entspricht die Prozessorschaltung (1) nach Architektur und Befehlssystem im wesentlichen der Familie der 16-Bit-Rechner des Typs "Elektronika 60". Der Unterschied besteht im Fehlen der Möglichkeit für vektoriellen Interrupt. Zur Prozessorschaltung gehört die Arithmetik-Hardwareerweiterung. Die Speichersteuerung (2) realisiert das Interface für den unmittelbaren Austausch zwischen dem ROM und dem Hauptspeicher mit bytemäßiger Organisation:

- KA 1013 RU 1, KR 537 RU 8 : Hauptspeicher 2K x 8,
- K 537 RU 16 : Hauptspeicher 8K x 8,
- KA 1013 RE 1, K 563 RE 2 : ROM 32K x 8,
- K 563 RE 1 : ROM 8K x 8.

Die SIO-Steuerung (3) ist für die serielle Datenübertragung in die Anzeigesteuerung KA 1013 WG 2 bestimmt. Der Tastaturanschluß (4) ist für den unmittelbaren Informationsempfang der Kontaktgruppen der Tastatur vorgesehen. Ein Teil der Kontakte wird zum Ein- und Ausschalten der Spannung, zur Vorgabe der im ROM benutzten Konfiguration und zur Umschaltung der Prozessorschaltung in das HALT-Regime benutzt. Der Interface-Anschluß (5) hat 15 Informationsbits, unterteilt in 4 Gruppen (4, 4, 4, 3 bit). Jede Gruppe kann - in Abhängigkeit vom Zustand der Trigger - durch die Datenübertragungsrichtung unterschieden werden. Der Taktimpuls-generator (6) übernimmt die Taktung des Schaltkreises. Seine Struktur erlaubt eine programmäßige Verringerung der Taktfrequenzen oder deren Abschaltung. Die Betriebsartenschaltung (7) beinhaltet eine Überwachung für die Stromversorgung der einzelnen Teilschaltungen, ermöglicht das Ein- und Ausschalten des Prozessortells, die Speicherverwaltungsorganisation nach Bild 3, die Vorgabe der Datenübertragungsrichtung in Anschlußgruppen für programmierbares Interface und die Steuerung des Taktimpuls-generators.

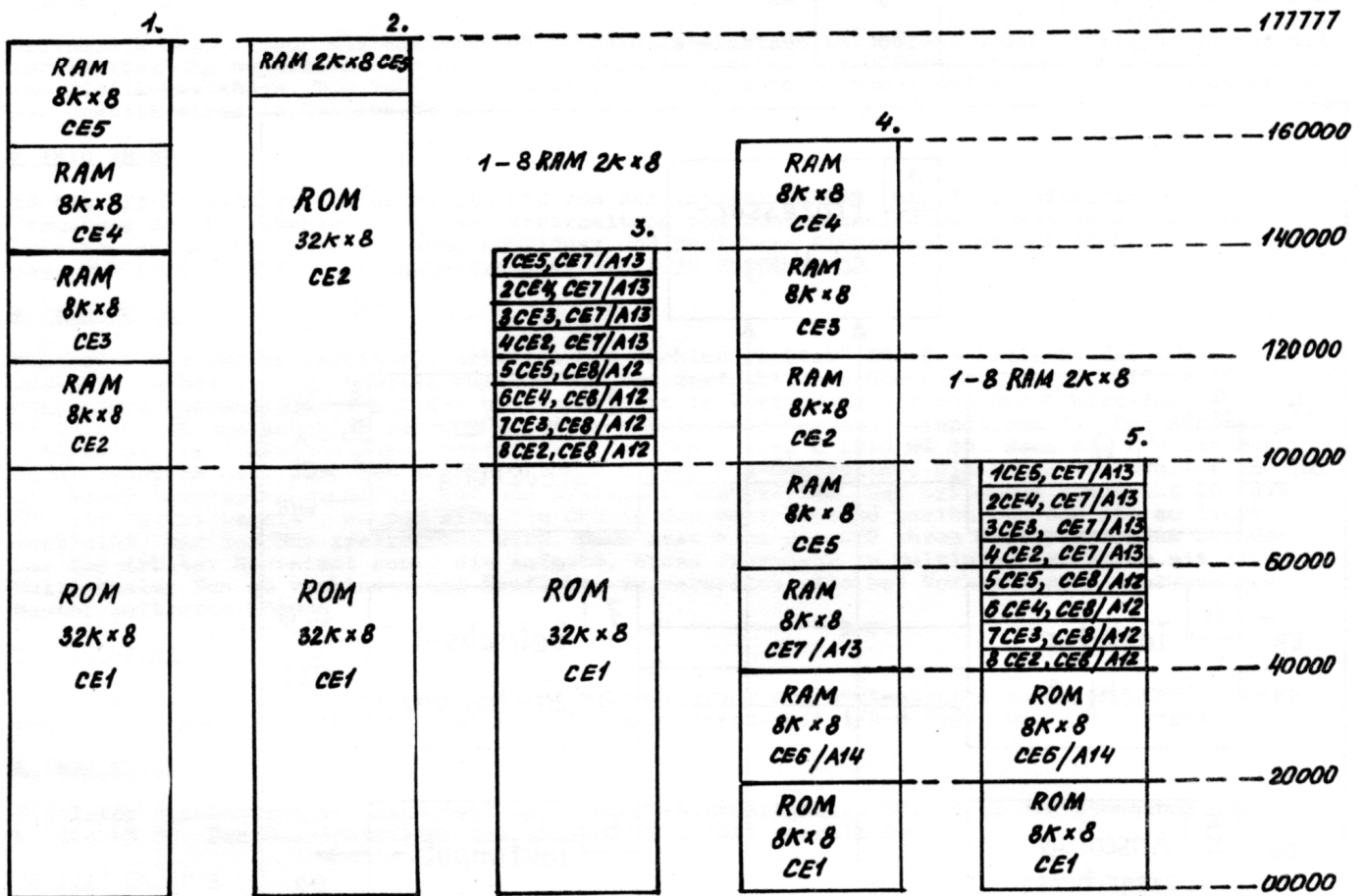


Bild 3: Fünf verschiedene Speicherkonfigurationen mit Schaltkreisen der Serie KA 1013



Der Schaltkreis KA 1013 WG 2 erfüllt die folgenden Funktionen

- Empfang der Adresse und Information über die Steuerung des seriellen Interface vom Mikroprozessor KA 1013 WM 1 für eine Flüssigkristallanzeige,
- Umwandlung der digitalen Information in Steuersignale für eine LCD-Anzeige vom Matrixtyp mit 30 x 16 Anzeigeelementen, die im Multiplexregime 1 : 16 arbeitet,
- Formierung von zwei Cursortypen.

Der Schaltkreis besteht aus den Bausteinen

- serielle Interface-Steuerung,
- Hauptspeicherpuffer 480 bit,
- Signalumwandlung,
- Synchronisation für Signalumwandlung,
- Schaltung zur Formierung des Cursors,
- Taktimpulsgenerator,
- 4-Bit-Anschluß für Informationsausgabe.

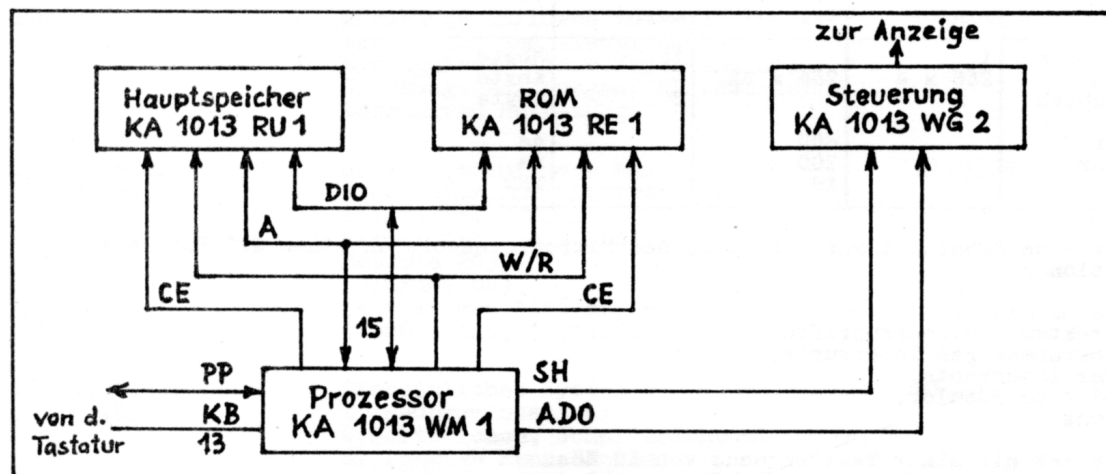


Bild 4: Übersichtsschaltplan eines Rechners mit Schaltkreisen der Serie KA 1013

#### 5. Schnelle Schaltkreise der Serie K 1839

Die 32-Bit-Serie K 1839 ist in CMOS-Technologie mit einer N-Wanne und Zweiebenen-Al-Metallisierung gefertigt. Der Schaltkreiskomplex ist für die Anwendung in 32-Bit-Mikrorechnern vorgesehen, wobei die Rechnerarchitektur der des 32-Bit-Minirechners "Elektronika 82" (SM 1700) entspricht.

Die Serie K 1839 wird im 132poligen metallkeramischen Grid-dip-Gehäuse mit 2,5 mm Raster gefertigt.

Zur Serie gehören die Schaltkreise

- KM 1839 WM 1 Zentrale Prozessorverarbeitungseinheit (CPU),
- KM 1839 WW 1 Busadapter,
- KM 1839 WT 1 Speichersteuerung.

Zur Erreichung einer hohen Arbeitsgeschwindigkeit bei der Bearbeitung von Gleitkommazahlen ist ein Coprozessor für Gleitkommaarithmetik in Entwicklung.

Der Schaltkreis KM 1839 WM 1 ist ein mikroprogramm-steuerbarer 32-Bit-Mikroprozessor mit einem aus dem Chip herausgeführten Befehlsspeicher.

Der Schaltkreis hat eine vollständige innere 32-Bit-Struktur und führt Operationen des Lesens und Abarbeitens von Befehlen, weiter Berechnung und Umsetzen von Operandenadressen, Lesen aus dem Speicher, zeitweiliges Abspeichern auf internen Registern und Speichern des Operanden und ebenso arithmetische und logische Operationen mit diesen Operanden aus. Einige Kennwerte des Mikroprozessors sind in Tabelle 9 angegeben.

Tabelle 9: Kennwerte des Schaltkreises KM 1839 WM 1

Kenngröße	Wert	Einheit
Breite		
- der Operanden	8, 16, 32, 64	bit
- der virtuellen Adresse	32	bit
- der physischen Adresse	24	bit
- der Mikrobefehlsadresse	14	bit
- des Mikrobefehlswortes	32	bit
Anzahl der Arbeitsspeicher	16	
Kapazität des Befehlsspeichers	16	Kbyte
Ausführungszeit für Mikrozyklus	200	ns
Mindestanzahl Zyklen für einen Befehl	1	
Taktfrequenz	10	MHz



Im KM 1839 WM 1 werden die Befehle programmäßig seriell abgearbeitet. Vollständig hardwaremäßig und parallel zu anderen Operationen im Prozessor wird die Umwandlung der virtuellen in die physische Adresse realisiert. Der Mikroprozessor besteht aus den Funktionsblöcken

- Befehlsdekoder,
- Mikrobefehlsverarbeitung,
- Operationsschaltung,
- Interfaceschaltung,
- Speicherverwaltung,
- Schaltung zur Analyse der Interruptprioritäten.

Der KM 1839 WG 1 ist eine Schaltung zur Steuerung des Hauptspeichers und zur Fehlersuche sowie zur Steuerung des CACHE-Speichers; er ist eine Weiterentwicklung der Typen KM 565 RU 7 bzw. KM 565 RU 8. Einige Kennwerte des Steuerschaltkreises sind in Tabelle 10 enthalten.

Tabelle 10: Kennwerte des Schaltkreises KM 1839 WG 1

Kenngröße	Werte			Einheit
	min.	typ.	max.	
Größe des Hauptspeichers	1		15	Mbyte
Speicherorganisation	256 x 4	256 x 32		Kbyte
Größe d. CACHE-Speichers			8	Kbyte
Zykluszeit				
- für Hauptspeicher		600		ns
- für CACHE-Speicher		200		ns
Taktfrequenz		16		MHz

Der KM 1839 WW 1 ist eine Schaltung zur Anpassung des Mikroprozessors an einen Q22-Bus, sie realisiert die Funktionen

- Umwandlung der Datenleitung,
- Sicherung des direkten Speicherzugriffs,
- Sicherung von programmäßigen Interrupts,
- Sicherung radialer Interrupts,
- programmäßige Zeitgeber/Zähler,
- interne Speicherung.

Der Schaltkreis arbeitet mit einer Taktfrequenz von 10 MHz.

#### 6. Mikrorechner auf der Basis des Schaltkreiskomplexes KM 1839

Der Einplatinenrechner "Elektronika 32" enthält folgende Bauelemente:

- KM 1839 WM 1 CPU,
- Mikrobefehlsspeicher (ROM 8K x 8; 8 Stück),
- KM 1839 WG 1 Hauptspeichersteuerung,
- KM 565 RU 8 Hauptspeicher 4 Mbyte (16 Stück),
- KM 132 RU 13 CACHE-Speicher und Übertragungspuffer KM 132 RU 13 (4 Stück),
- KR 1801 WP 1-065 Kopplungs-IS mit Terminalpult,
- Taktfrequenzgenerator,
- KM 1839 WW 1 Leitungstreiber,
- Signalverstärker für Systembus.

Auf Grund der Kompatibilität des Rechners "Elektronika 32" mit dem Rechner "Elektronika 82" können die Betriebssysteme UNIX und VAX-VMS verwendet werden und eine Reihe weiterer kompatibler Systeme, die durch die genannten unterstützt werden.

#### Literatur

- /1/ Vašenkov, A. A. ; Šachnov, V. A.: Mikroprozessorsysteme aus integrierten Schaltkreisen (Spravočnik), Moskva, (1988)
- /2/ Sachnov, V. A.: Mikroprozessoren und Mikroprozessorsysteme integrierter Schaltkreise (Spravočnik in 2 Bänden), Moskva, (1988)
- /3/ Dschunjan, V. L. ....: Monolithische Mikroprozessorkomplexe aus superschnellen integrierten Schaltkreisen der Serie K 1801 Mikroprozessorbausteine und Systeme, (1982)4, S.12-18
- /4/ Borčenko, J. I. ....: Superschnelle integrierte Schaltkreise eines 16-Bit-Mikroprozessors des Typs KM 1801 WM 2 Elektronische Industrie, Moskva, 7(1984)145, S. 3-5
- /5/ Volkov, R. I. ....: Monolithischer Mikroprozessor KM 1801 WM 3 Mikroprozessorbausteine und Systeme, (1986)4, S. 37-41
- /6/ Dschunjan, V. L. ....: Einplatinenmikrorechner der Reihe Elektronika MC 1201 Mikroprozessorbausteine und Systeme, (1985)2, S. 8-13
- /7/ Faktografischer Informationsdienst des Instituts "Elektronika", Moskva (Ausgabe Mai 1989)
- /8/ Dschunjan, V.L.; Mašević, P. R.: Gegenwärtige Mikroprozessoren und ihre Anwendungsmöglichkeiten Vortragsmanuskript zum 13. Mikroelektronik-Symposium der DDR in Frankfurt/Oder (1989) (unveröffentlicht)
- /9/ Prof. Dr. Münzer, B. ....: Mikroprozessorsystem K 1810 WM 86; Hardware, Software, Applikation Mikroprozessortechnik, Berlin 2(1988)2, S. 45-52; 5, S. 141-148; 8, S. 239-244; 10, S. 303-306; 12, S. 365-372; 3(1989)2, S. 45-52; 4, S. 109-116

## Standards

TGL/ Ausgabe	T i t e l	Verbind- lich ab	Ersatz für TGL/Ausgabe
DDR 9199/03 06.89	Umgebungseinflüsse auf elektro- technische und elektronische Erzeugnisse; Klassifizierung der Umgebungsbedingungen; Klassen der korrosiven Belastung	01.02.90	DDR 9199/03 07.82
DDR 9206/02 06.89	Umgebungseinflüsse auf elektro- technische und elektronische Er- zeugnisse; Prüfung mit feuchter Wärme; Zyklische Bedingungen, Methode 2032 (Prüfung Db) (eqv ST RGW 1456-88, eqv IEC 68-2-30 (1980), Änd. 1 (1985))	01.02.90	DDR 9206/02 04.81
DDR 16 005 03.89	Einheitliches System der Konstruk- tionsdokumentation; Schaltzeichen, Schaltzeichenelemente, allgemeine Kennzeichen (eqv ST RGW 5679-86, neq IEC 617-2 (1983) neq IEC 617-3 (1983), neq IEC 617-10 (1983))	01.01.90	DDR RGW 210-75 03.77 DDR 16 005 DDR 16 006 DDR 16 007 12.76
DDR RGW 661 1. Änd. 05.79	Einheitliches System der Konstruk- tionsdokumentation; Schaltzeichen für Halbleiterbauelemente	01.01.90	
DDR RGW 865 1. Änd. 12.79	Einheitliches System der Konstruk- tionsdokumentation; Schaltzeichen für Elektronenröhren und Gas- entladungsröhren	01.01.90	
DDR RGW 866 1. Änd. 10.79	Einheitliches System der Konstruk- tionsdokumentation; Schaltzeichen für Lichtquellen	01.01.90	
DDR 16 017 1. Änd. 06.85	Einheitliches System der Konstruk- tionsdokumentation; Schaltzeichen für piezoelektrische und magnetostrik- tive Elemente, Verzögerungsleitungen und Elemente elektromechanischer Filter	01.01.90	
DDR 16 022 04.89	Einheitliches System der Konstruk- tionsdokumentation; Schaltzeichen für Kontakte und elektromechanische Koppeleinrichtungen (eqv ST RGW 5720-86, neq IEC 617-3 (1983), neq IEC 617-7 (1983), neq IEC 617-9 (1983))	01.01.90	DDR RGW 287-76 03.78 DDR RGW 711-77 05.79
DDR 44 602/01 10.89	Informationsverarbeitung; CAD-Standardbeschreibung, Fachsprache STADAS; Allgemeine Festlegungen	01.06.90	
29 247 06.89	Halbleiterbauelemente; Schaltdiode SA 403; Technische Bedingungen	01.03.90	29 247 und 1. Änd. 02.81
28 364 06.89	Halbleiterbauelemente; Schalterdiode SA 412; Technische Bedingungen	01.03.90	28 364 02.81

Fortsetzung

TGL/ Ausgabe	T i t e l	Verbind- lich ab	Ersatz für TGL/Ausgabe
29 053 06.89	Halbleiterbauelemente; Diode SA 418 und SA 418/1; Technische Bedingungen	01.03.90	29 053
24 285 01.89	Halbleiterbauelemente; Siliziumgleichrichterdiode SY 170 und SY 171; Technische Bedingungen	01.01.90	24 285 09.83
43 346 12.88	Halbleiterbauelemente; Siliziumgleichrichterdiode SY 191; Technische Bedingungen	01.05.90	43 346 02.87
43 347 12.88	Halbleiterbauelemente; Siliziumgleich- richterdiode SY 192; Technische Be- dingungen	01.05.90	43 347 04.87
45 046 12.88	Halbleiterbauelemente; Siliziumgleich- richterdiode SY 193; Technische Be- dingungen	01.05.90	
45 047 12.88	Halbleiterbauelemente; Siliziumgleich- richterdiode SY 198; Technische Be- dingungen	01.05.90	
43 354/15 12.88	Halbleiterbauelemente; Bipolare Transistoren; Verfahren zur Messung der Kollektor-Emitter-Durchbruch- spannung (ST RGW 6038-87)	01.12.89	200-8317/06 11.72
43 354/16 12.88	Halbleiterbauelemente; Bipolare Transistoren; Verfahren zur Messung der y-Parameter im HF-Bereich (ST RGW 6039-87)	01.12.89	200-8317/16, /17, /19 und /20 11.72
42 218 04.89	Halbleiterbauelemente; Feldeffekt- transistoren; Messmethoden für elektrische Kenngrößen (ST RGW 3413-81)	01.02.90	
43 971 05.89	Halbleiterbauelemente; Silizium- Niederfrequenz-Transistoren; npn - SCE 535, SCE 537, SCE 539, pnp - SCE 536, SCE 538, SCE 540; Technische Bedingungen	01.03.90	
39 700 09.88	Halbleiterbauelemente; Infrarot- emitterdiode VQ 130; Technische Bedingungen	01.07.90	
39 701 09.88	Halbleiterbauelemente; Fotodiode SP 104; Technische Bedingungen	01.07.90	
42 101 03.89	Halbleiterbauelemente; Ladungs- gekoppelte Sensormatrix L 211 CA; Technische Bedingungen	01.03.90	
42 591 12.88	Halbleiterbauelemente; Lichtemitteranzeige MQC 11; Technische Bedingungen	01.02.90	
43 402/08 11.88	Halbleiterbauelemente; Lichtemitter-Flachbandanzeige MQH 200; Technische Bedingungen	01.10.89	
42 426 12.88	Halbleiterbauelemente; Optoelektronische Koppler MB 130 bis MB 135; Technische Bedingungen	01.01.90	36 609 06.85 42 878 08.85

Fortsetzung

TGL/ Ausgabe	T i t e l	Verbind- lich ab	Ersatz für TGL/Ausgabe
39 794 09.88	Flüssigkristallbauelemente; Flüssigkristallanzeigen; Elektrische und optische Messverfahren	01.10.89	39 794 04.83
45 656 02.89	Integrierte Halbleiterschaltkreise; BIFET-Operationsverstärker-Schalt- kreis B 411 DD; Technische Bedingun- gen	01.03.90	
45 659 01.89	Integrierte Halbleiterschaltkreise; Analog-Prozessor-Schaltkreis für Teilnehmeranschlußschaltungen B 3870 DC; Technische Bedingungen	01.02.90	
43 268 2. Änd. 03.86	Integrierte Halbleiterschaltkreise; Digitalprozessor-Schaltkreise für integrierende Analog-Digital- Wandler C 504 D und C 504 DC; Technische Bedingungen	01.04.90	
45 443 06.89	Integrierte Halbleiterschaltkreise; 12-bit-Analog-Digital-Wandler-Schalt- kreis U 739 DC; Technische Bedingungen	01.05.90	
45 523 02.89	Integrierte Halbleiterschaltkreise; Nullspannungsschalter-Schaltkreise B 4204 DE und B 4205 DE; Technische Bedingungen	01.03.90	
38 521 05.89	Integrierte Halbleiterschaltkreise; Unipolarer Fernbedienungs-Sender- Schaltkreis U 807 DC; Technische Be- dingungen	01.02.90	
38 519 06.88	Integrierte Halbleiterschaltkreise; Unipolarer LCD-Ansteuer-Schaltkreis U 714 PC; Technische Bedingungen	01.10.89	
43 808 1. Änd. 03.87	Integrierte Halbleiterschaltkreise; Graphics-Display-Controller U 82720 DC02, U 82720 DC03, U 82720 DC04; Technische Bedingungen	01.12.89	
45 235 05.89	Integrierte Halbleiterschaltkreise Peripherieschaltkreis U 82536 DC04, U 8036 DC04; Technische Bedingungen	01.07.90	
37 787 2. Änd. 12.81	Integrierte Halbleiterschaltkreise; Festwertspeicher-Schaltkreise U 555 C und U 555 C3; Technische Be- dingungen	01.10.89	
42 051 05.89	Halbleiterbauelemente; Digitale integrierte Schaltkreise; Messmethoden für elektrische Kenn- größen (ST RGW 3197-81)	01.02.90	
39 865 12.88	Integrierte Halbleiterschaltkreise; Low-Power-Schottky-TTL-Schaltkreise DL 000 D, DL 002 D, DL 003 D, DL 004 D, DL 008 D, DL 010 D, DL 011 D, DL 020 D, DL 021 D, DL 026 D, DL 030 D, DL 074 D; Technische Bedingungen	01.03.90	39 865 und 1. Änd. 12.83
42 643/01 06.89	Integrierte Halbleiterschaltkreise CMOS-Logik-Schaltkreis; Technische Bedingungen, Baureihe U 74HCT	01.05.90	
42 643/02 06.89	Integrierte Halbleiterschaltkreise; CMOS-Logik-Schaltkreis; Technische Bedingungen, Gatter U 74HCT00 DK	01.05.90	



## Fortsetzung

TGL/ Ausgabe	T i t e l	Verbind- lich ab	Ersatz für TGL/Ausgabe
42 643/03 06.89	Integrierte Halbleiterschaltkreise; CMOS-Logik-Schaltkreis; Technische Bedingungen, Gatter U 74HCT02 DK	01.05.90	
42 643/04 06.89	Integrierte Halbleiterschaltkreise; CMOS-Logik-Schaltkreis; Technische Bedingungen, Gatter U 74HCT04 DK	01.05.90	
42 643/05 06.89	Integrierte Halbleiterschaltkreise; CMOS-Logik-Schaltkreis; Technische Bedingungen, Gatter U 74HCT86 DK	01.05.90	
42 643/06 06.89	Integrierte Halbleiterschaltkreise; CMOS-Logik-Schaltkreis; Technische Bedingungen, Flip-Flop U 74 HCT74 DK	01.05.90	
42 643/07 06.89	Integrierte Halbleiterschaltkreise; CMOS-Logik-Schaltkreis; Technische Bedingungen, Flip-Flop U 74HCT374 DK, U 74HCT534 DK	01.05.90	
42 643/08 06.89	Integrierte Halbleiterschaltkreise; CMOS-Logik-Schaltkreis; Technische Bedingungen, Dekoder/Demultiplexer U 74HCT138 DK	01.05.90	
42 643/09 06.89	Integrierte Halbleiterschaltkreise; CMOS-Logik-Schaltkreis; Technische Bedingungen, Transceiver U 74 HCT242 DK, U 74 HCT243 DK	01.05.90	
42 643/10 06.89	Integrierte Halbleiterschaltkreise; CMOS-Logik-Schaltkreis; Technische Bedingungen, Latch U 74 HCT373 DK, U 74HCT533 DK	01.05.90	
9480 11.88	Elektronenröhren; Sendetrode SRL 459; Technische Be- dingungen	01.10.89	9480 und 1. Änd. 01.74
36 737 1. Änd. 09.84	Keramik-Hochfrequenz-Leistungs- kondensatoren; Scheibenkondensatoren; Technische Bedingungen	01.06.90	
29 331/05 08.88	Kontaktbauelemente; Einheitliches Flach- steckverbindersystem; Montageleisten 3 - 8/28 - 88 x 13,5; Technische Be- dingungen	01.10.89	29 331/05 08.77
37 813 12.88	Kontaktbauelemente; Tastenschalter mit Elastomerschaltsystem im 20 mm Aufreih- raster; Technische Bedingungen	01.10.89	37 813 04.82
43 715 08.88	Kontaktbauelemente; Tipptastenschalter; Technische Bedingungen	01.07.89	
42 670 11.87	Kontaktbauelemente; Miniaturschiebe- schalter; Technische Bedingungen	01.09.88	
42 671 (ST RGW 3783-82) 11.87	Kontaktbauelemente; Tasten-, Schiebe- und Kippschalter bis 2 A; Meß- und Prüfverfahren	01.09.88	
38 199 11.87	Kontaktbauelemente; Tastenschiebe- und Kippschalter bis 2 A; Allgemeine tech- nische Bedingungen	01.09.88	
36 812 02.88	Kontaktbauelemente; Tastenschalter mit Elastomerschaltsystem mit 15 mm Aufreih- raster; Technische Bedingungen	01.12.88	36 812 09.79