

10. Микропроцессорный комплект интегральных схем серии U83-K1883

МПК серии U83-K1883, разработка которого проводилась специалистами СССР и ГДР, выполнен на базе *n*-МДП-технологии и предназначен для построения процессоров микро- и мини-ЭВМ, контроллеров и других вычислительных устройств среднего быстродействия. Этот МПК принадлежит к группе секционированных микропроцессоров с микропрограммным управлением, что позволяет строить на его основе вычислительные устройства с длиной обрабатываемых чисел 8, 16 или 32 разряда.

В состав МПК U83-K1883 входят четыре микросхемы высокой степени интеграции, выполненные в керамических корпусах типа 3 (ГОСТ 17467—72) с 48 выводами; МПК следует использовать в диапазоне температур от 0 до 70°C (в нерабочем состоянии — от —60 до 125°C). Питание всех схем МПК осуществляется от одного источника (+5 В ± 5%), их электрические параметры приведены в табл. 10.1.

Таблица 10.1

| Обозначение ИС | Напряжение, В | | Ток потребления, мА | Средняя мощность, Вт | Длительность цикла, нс |
|----------------|---------------|------|---------------------|----------------------|---|
| | .0* | .1* | | | |
| U830-K1883IA0 | <0,8 | >2,0 | <220 | <1 | <1,4 |
| U831-K1883PT1 | <0,8 | >2,0 | <150 | <0,9 | <1,0 |
| U832-K1883BP2 | <0,8 | >2,0 | <180 | <1,0 | <2,5(умн.) |
| U834-K1883BA4 | <0,8 | >2,0 | <180 | <1,0 | <15,0(дел.) 8·10 ⁶ слов/с |

В состав комплекта входят БИС арифметического устройства, управляющей памяти, арифметического расширителя и магистрального адаптера.

Арифметическое устройство (АУ) U830-K1883IA0 представляет собой 8-разрядную процессорную секцию, выполняющую сложение, вычитание, логические операции И, ИЛИ, ИЛИ—ИЛИ, перенос, сдвиг, дополнение и т. д. Назначение выводов корпуса БИС АУ приведено в табл. 10.2.

В состав БИС АУ U830-K1883IA0 входят: арифметико-логическое устройство (АЛУ), регистр и дешифратор микрокоманд (РМК и ДШ), блок местного управления (БМУ), блок регистров (БРГ), блок расширения (БРШ), блок формирования флагов (БФФ), три блока усилителей каналов 1, 2, 3, блок управления каналами и регистр состояний (рис. 10.1).

Арифметико-логическое устройство выполняет обработку 8-разрядных данных, поступающих по шинам X и Y на два входных регистра. Блок регистров содержит 18 свободно адресуемых 8-разрядных регистров R_{00} — R_{15} , A_1 , A_2 , предназначенных для приема операндов и результатов обработки. Регистр A_2 , кроме того, служит для хранения флагов N, Z, V, C. Регистр микрокоманд и дешифратор служат для приема поступающей на схему микрокоманды, ее дешифровки и выработки последовательности управляющих импульсов.

Каналы 1 и 2 предназначены для приема и передачи данных. Блок управления каналами управляет приемом и передачей данных по ним. Канал 3 служит для выдачи содержимого флагового регистра A_2 или блока формирования флага.

Блок расширения предназначен для объединения до четырех схем АУ с целью расширения разрядности обрабатываемых данных. 4-разрядный регистр состояний может быть загружен микрокомандами обработки опе-

рандов или микрокомандами управления каналами. Вся схема синхронизируется блоком местного управления.

Работа схемы происходит по асинхронному принципу. На входы кода микрокоманды (МК) поступает 14-разрядный код микрокоманды, считанный из схемы управляющей памяти. После ее дешифрации формируется совокупность сигналов, которые поступают на те блоки схемы, которые обеспечивают выполнение данной микро-

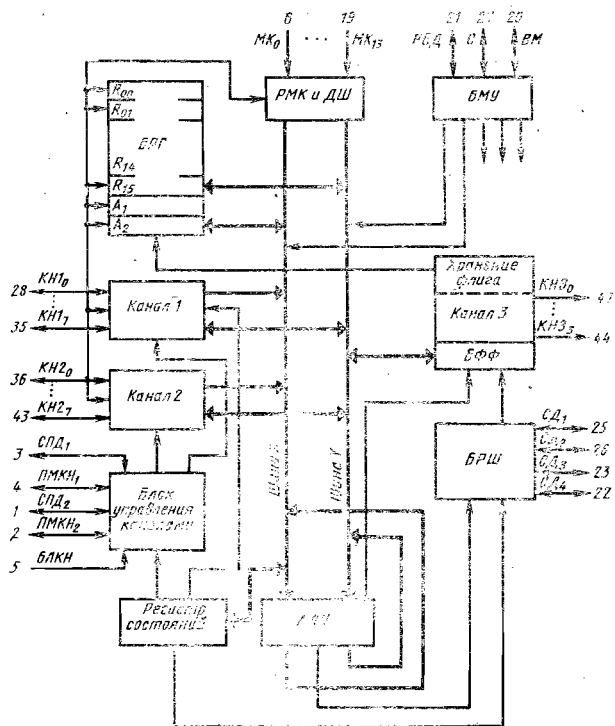


Рис. 10.1. Структурная схема БИС арифметического устройства U830-K1883IA0

команды. АЛУ производит обработку данных, поступающих по одинаковым по значимости каналам 1 и 2 или хранящихся в регистрах R_{00} — R_{15} , A_1 , A_2 и в регистре состояний. Результат операции поступает на один из регистров или на один из каналов.

Сигналы сопровождения данных (СПД), приема данных по каналу (ПМК), разрешения выдачи (РВД), син-

Таблица 10.2

| Номер вывола | Обозначение | Наименование | Примечание |
|---------------------------|---------------------------------------|---|------------|
| 1, 3 | СПД ₂ , СПД ₁ | Сопровождение данных Прием данных по каналу | Вход |
| 2, 4 | ПМКН ₂ , ПМКН ₁ | | Вход |
| 5 | БЛКН | Блокировка канала | Вход |
| 6—19 | МК ₀ —МК ₁₃ | Код микрокоманды | Вход |
| 20 | ВМ | Выбор микросхемы | Вход |
| 21 | РВД | Разрешение выдачи | Вход |
| 22, 23 | СД ₄ , СД ₃ | Передача и сдвиг влево (ВЫХ), сдвиг вправо (ВХ) | Вход/выход |
| 24 | $\frac{1}{\text{СД}}$ | Общий | |
| 25, 26 | СД ₁ , СД ₂ | Передача и сдвиг влево (ВХ), сдвиг вправо (ВЫХ) | Вход/выход |
| 27 | С | Синхронизация канала | Вход |
| 28—35, 36—43, 44—47 | КН1, КН2, КН3 | Каналы 1, 2, 3 | Вход/выход |
| 48 | U _{пит} | Питание (+5 В) | |

хронизации канала входа (С) и выбора микросхемы (ВМ) служат для синхронизации работы схемы и для разрешения ввода и вывода данных. Кроме того, сигнал ВЫБОР МИКРОСХЕМЫ служит для выбора прибора. Через вход БЛКН может быть подана команда о прямом

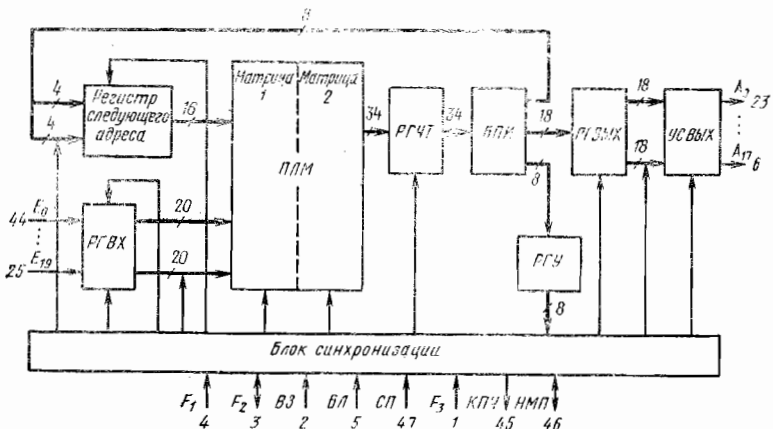


Рис. 10.2. Структурная схема БИС управляющей памяти U831-K1883PT1

обращении к памяти. Входы $СД_1$ — $СД_4$ предназначены для объединения схем АУ для обработки многоразрядных слов (16, 24, 32 разряда). Содержание флагового регистра блока формирования флага может быть выдано по каналу 3.

БИС управляющей памяти (УП) U831—K1883PT1 предназначена для организации вычислительного процесса путем преобразования машинных команд в последовательности микрокоманд, необходимых для управления БИС АУ U830-K1883IA0 и БИС АР U832-K1883BP2. Кроме того, БИС УП может быть использована в качестве кодирующего и декодирующего преобразователя. Назначение выводов корпуса БИС УП приведено в табл. 10.3.

В состав УП (рис. 10.2) входят: программируемая логическая матрица, блок синхронизации и регистры различного назначения.

Таблица 10.3

| Номер вывода | Обозначение | Наименование | Примечание |
|--------------|------------------|--|------------|
| 1 | F_2 | Окончание передачи входной информации | Вход |
| 2 | ВЗ | Возврат | Вход |
| 3 | F_2 | Динамический выход | Вход/выход |
| 4 | F_1 | Выдача информации на выводах А0—А17 | Вход |
| 5 | БЛ | Блокировка блокируемых выходов данных | Вход |
| 6—23 | А | Код информации | Выход |
| 24 | \downarrow | Общий | |
| 25—44 | E_0 — E_{19} | Код информации | Вход |
| 45 | КПЧ | Окончание передачи информации | Выход |
| 46 | НПМ | Начало приема входной информации | Вход/выход |
| 47 | СП | Сопровождение данных по входам E_0 — E | Вход |
| 48 | $U_{уп}$ | Питание (+5 В) | |

Программируемая логическая матрица (ПЛМ) состоит из матрицы 1, содержащей 140 логических схем НЕ—ИЛИ и имеющей 56 входов, и матрицы 2, содержащей 34 логические схемы НЕ—ИЛИ и имеющей 140 входов и 34 выхода. Принцип работы ПЛМ уже достаточно подробно рассмотрен в литературе. В данной ПЛМ

машинная команда может быть приведена к последовательности микрокоманд, число которых может достигать 256.

На выходе ПЛМ размещен регистр чтения (РГЧТ), с которого информация через блок программируемых инверторов (БПИ) подается либо на регистр следующего адреса, либо на управляющий регистр (РГУ), либо на выходной регистр (РГВЫХ). 8-разрядный регистр следующего адреса предназначен для организации необходимой последовательности микрокоманд на выходе БИС УП. 8-разрядный управляющий регистр используется для внутренней синхронизации работы схемы. Выходной регистр и блок выходных усилителей (УСВЫХ) предназначен для временного хранения информации и выдачи ее на схемы, которые управляются от БИС УП.

Режим работы БИС УП (т. е. список микрокоманд, вырабатываемых ПЛМ) задается изготовителем схемы путем программирования связей внутри ПЛМ в соответствии с назначением. Поэтому может быть несколько модификаций БИС УП, отличающихся лишь записанной в них информацией.

Таблица 10.4

| Номер вывода | Обозначение | Наименование | Примечание |
|--------------|----------------------|---|------------|
| 1—16 | K2 | Код микрокоманд, поступающих на канал КН2 | Вход/выход |
| 17, 18 | ПС, $\overline{ПС}$ | Прямой и обратный коды переноса из АЛУ | Вход/выход |
| 19 | Ф1 | Флаг переноса | Вход/выход |
| 20—22 | Ф2—Ф4 | Флаги переполнения, „нуль“, „знак“ | Выход |
| 23 | ВМ | Выбор микросхемы | Вход |
| 24 | \overline{C} | Общий | |
| 25—27 | \overline{C} | Синхронизация | Вход |
| 28 | СПК1 | Сопровождение информации по каналу КН1 | Вход |
| 29 | РК1 | Разрешение приема—выдачи информации по каналу КН1 | Вход |
| 30—31 | $\overline{ПП}$, ПП | Прямой и обратный коды переполнения в АЛУ | Вход/выход |
| 32—37 | K1 | Код данных по каналу КН1 | Вход/выход |
| 48 | $U_{пп}$ | Питание (+5 В) | |

Асинхронный режим работы БИС УП позволяет использовать ее для организации медленно протекающих операций, что позволяет исключить необходимые для этого схемы задержки, ожидания и согласования. Возможно применение нескольких БИС УП для управления процессом, причем каждая БИС может управлять частью процесса.

Арифметический расширитель (БИС АР) U832-K1883BP2 предназначен для аппаратного выполнения основных арифметических операций над числами с фиксированной и плавающей запятой. Включение этой схемы в состав МПК U83-K1883 позволяет увеличить быстродействие построенных на нем вычислительных устройств. В одной схеме БИС АР производятся операции над числами с разрядностью 16 бит. Включая две или четыре БИС АР, можно обрабатывать числа с разрядностью 32 или 64 бита.

БИС АР выполняет следующие функции:

- сложение, вычитание, умножение, деление, умножение с последующим сложением двух чисел с фиксированной и плавающей запятой;
- преобразование чисел с фиксированной запятой в числа с плавающей запятой и обратно;
- сравнение, сдвиг, поиск разрядов.

Наличие внутреннего управления, работа схемы по поступлению одной внешней соответствующей микрокоманды, сравнительно короткое время выполнения операций, асинхронный режим работы и т. д. позволяют использовать БИС АР не только в традиционных вычислительных устройствах, но и в дискретных фильтрах, полиномиальных процессорах, различной бытовой аппаратуре.

БИС АР выполнена в 48-выводном корпусе, назначение которых приведено в табл. 10.4. Структурная схема БИС АР приведена на рис. 10.3. В состав БИС АР входят: матрица с регистрами РГХ, РГУ и РГН, АЛУ, блок регистров (БРГ), два канальных регистра (РГК1 и РГК2) и блок местного управления (БМУ).

Матрица, представляющая собой поле из 16×8 сумматоров, соединенных по схеме умножения, предназначена для выполнения операции умножения 16-разрядного операнда, поступающего на регистр РГХ, и 8-разрядного операнда, поступающего на РГУ. Результат умножения размещается в регистре РГ N или поступает

на вход АЛУ. АЛУ выполняет арифметические и логические операции, код которых поступает по каналу К2 на регистр РГК2. Прием операндов и выдача результатов осуществляется по каналу К1 через РГК1.

Восемь 16-разрядных регистров (БРГ) используются как внутренняя память БИС АР. Блок местного управления осуществляет управление работой схемы при поступлении на него различных условий. Обмен данными между узлами БИС АР осуществляется с помощью 16-разрядной шины.

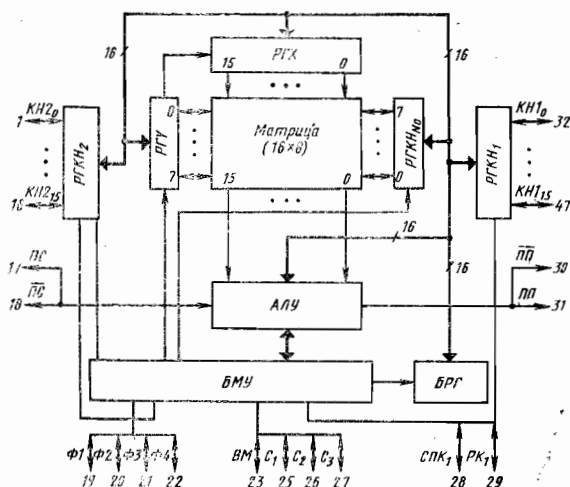


Рис. 10.3. Структурная схема БИС арифметического расширителя U832-K1883BP2

Магистральный адаптер (МА) U834-K1883BA4 предназначен для осуществления аппаратной связи между внешними устройствами (в том числе объектами управления) и процессором ЭВМ.

МА выполняет следующие функции:

- связь между шиной МП и шиной внешних устройств;
- управление передачей данных из МП во внешние устройства и обратно;
- управление режимом прямого обращения к памяти;
- организацию режима прерываний при работе с внешними устройствами и памятью.

Таблица 10.5

| Номер вывода | Обозначение | Наименование | Примечание |
|--------------|------------------|--|------------|
| 1—3 | УРГ | Управление внешними регистрами | Выход |
| 4, 33 | УЛ | Управление внешней логикой | Выход |
| 5—20 | ДА | Код данных/адресов | Вход/выход |
| 21—23, 28 | ПР | Прерывание | Вход |
| 24 | $\underline{1}$ | Общий | |
| 25, 26 | A16, A17 | Адрес | Вход/выход |
| 27 | СА | Синхронизация адреса | Вход |
| 29 | ПДП | Прямое обращение к памяти | Вход |
| 30 | СБР | Сброс | Вход |
| 31 | ОТВ ₁ | Ответ | Вход |
| 32 | ЗПД | Запрос прямого обращения к памяти | Выход |
| 34 | ЗД | Запрос на ввод данных | Вход/выход |
| 35 | ВФ | Функция | Вход/выход |
| 36 | СПД | Сопровождение выдачи данных | Вход/выход |
| 37 | УПР | Управление приоритетным прерыванием | Вход |
| 38 | ЗПР | Запрос на прерывание | Вход |
| 39 | УШ | Управление шиной | Выход |
| 40 | УМ | Управление усилителями младших разрядов данных | Выход |
| 41 | УД | Управление усилителей старших разрядов данных | Выход |
| 42 | ПЧД | Передача данных | Выход |
| 43 | УПП | Управление внешними приемопередатчиками | Выход |
| 44 | ОТВ ₂ | Ответ | Выход |
| 45 | БЛС | Блокировка старших разрядов | Вход |
| 46 | БЛМ | Блокировка младших разрядов | Вход |
| 47 | НУСТ | Начальная установка | Вход |
| 48 | U _{вд} | Питание (+5,0 В) | |

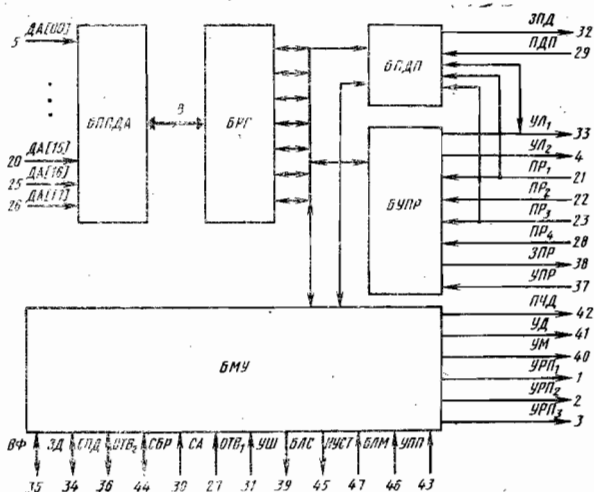


Рис. 10.4. Структурная схема БИС магистрального адаптера U834-K1883BA3

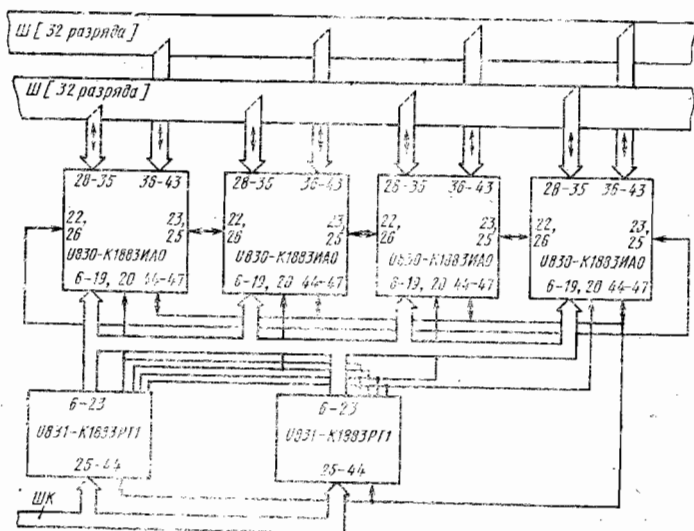


Рис. 10.5. Пример построения 32-разрядного микропроцессора на МПК ИС серии U83-K1883

БИС МА размещена в корпусе из 48 выводов, назначение каждого приведено в табл. 10.5. Структурная схема БИС МА приведена на рис. 10.4. МА включает в себя блок регистров (БРГ), блок местного управления (БМУ), блок управления прерываниями (БУПР), блок прямого доступа к памяти (БПДП) и блок приемопередатчиков адресов и данных (БППДА). БМУ осуществляет внутреннюю синхронизацию БИС МА, управляя работой как отдельных блоков, так и внутренней шины.

На базе БИС МПК U83-K1883 достаточно просто могут быть построены вычислительные устройства с разрядностью обрабатываемых чисел 8, 16, 32. На рис. 10.5 приведена структурная схема процессора, построенного на четырех БИС АУ (U830-K188IA0) и двух БИС УП (U831-K1883PT1). Включение БИС АУ и БИС УП, как показано на рис. 10.5, позволяет обрабатывать числа как с фиксированной, так и с плавающей запятой, например 24 разряда — мантисса, 8 разрядов — порядок.