

BETRIEBSDOKUMENTATION

Zentrale Verarbeitungseinheit

robotron K 2771

VEB Robotron-Elektronik Dresden

r o b o t r o n

Produzent:

VEB Robotron-Elektronik Dresden
DDR 8010 Dresden
Grunaer Straße 2

Änderungen im Sinne des technischen Fortschritts vorbehalten.
Im Interesse einer ständigen Weiterentwicklung werden alle Leser
gebeten, dem Herausgeber Hinweise zur Verbesserung mitzuteilen.
Nachdruck und jegliche Vervielfältigung, auch auszugsweise, sind
nur mit Genehmigung des Herausgebers zulässig.

Herausgeber:

VEB Robotron-Elektronik Dresden
DDR 8010 Dresden
Grunaer Straße 2

Inhaltsverzeichnis

Seite

1.	Verwendungszweck	11
2.	Technische Daten	12
2.1.	Leistungskennwerte	12
2.2.	Anschlußkennwerte	15
2.2.1.	Belastung der Systembusse	15
2.2.2.	Belastung der X4-Signale	16
2.2.3.	Belastung der X2-Signale	16
2.2.4.	Allgemeine Anschlußkennwerte	17
2.2.5.	Konstruktive Kennwerte	18
2.3.	Varianten	19
2.4.	Umgebungsbedingungen	19
2.5.	Schutzmaßnahmen	20
3.	Funktionsbeschreibung	20
3.1.	Allgemeine Bemerkungen	20
3.2.	Bauelementebasis	21
3.3.	Struktur des Moduls ZVE K 2771	22
3.4.	Taktversorgung	25
3.4.1.	CPU-Takt	25
3.4.2.	Bus-Takte	26
3.4.3.	Interface-Takte	27
3.5.	Reset	27
3.6.	Ready-Steuerung	28
3.7.	WAIT-Generator	29
3.8.	Timeout	30
3.9.	CPU	30
3.9.1.	Allgemeine Bemerkungen	30
3.9.2.	Registersatz	31
3.9.3.	CPU-Grundtaktierung	32
3.9.4.	CPU-Lesezyklus	33
3.9.5.	CPU-Schreibzyklus	35
3.9.6.	HALT	37
3.9.7.	TEST	37
3.10.	Busstruktur der ZVE K 2771	37
3.10.1.	Allgemeine Bemerkungen	37
3.10.2.	Adreßbus	37
3.10.3.	Adreßbussteuerung	38
3.10.4.	Datenbus	38
3.10.5.	Datenbussteuerung	38
3.10.6.	Bytevertauschung	40
3.11.	Speicherorganisation	41
3.11.1.	Allgemeine Bemerkungen	41
3.11.2.	Lokaler PROM	42
3.11.2.1.	Adreßverteilung und Ansteuerung	42
3.11.3.	Zweiportspeicher	44
3.11.3.1.	CPU-Zugriff zum ZPS	45
3.11.3.2.	Systembuszugriff zum ZPS	45

	Seite	
3.11.4.	ZVE-Speicheradreßverteilung	46
3.12.	Ein-/Ausgabeorganisation	46
3.12.1.	Allgemeine Bemerkungen	46
3.12.2.	Lokale Ein-/Ausgabe	47
3.12.3.	System-Ein-/Ausgabe	48
3.12.4.	ZVE-E/A-Adreßverteilung	48
3.13.	Interruptstruktur	50
3.13.1.	Allgemeine Bemerkungen	50
3.13.2.	Interrupt-Matrix	51
3.13.3.	Interruptarten	52
3.13.4.	Interruptoperationen	53
3.13.5.	Interruptbearbeitungsfolge	56
3.13.6.	Nicht busvektorierte Interrupts (NBV)	57
3.13.7.	Busvektorierte Interrupts (BV)	57
3.14.	Busarbitrage	58
3.14.1.	Allgemeine Bemerkungen	58
3.14.2.	Funktionsweise des Arbiters	58
3.14.3.	Serielle Prioritätsentscheidung	59
3.14.4.	Bus Lock	59
3.15.	Schnittstellen	60
3.15.1.	Allgemeine Bemerkungen	60
3.15.2.	Systembus MMS 16 - X1	60
3.15.3.	ZPS-Anschluß - X2	60
3.15.4.	Frontpaneel-Anschluß - X4	61
3.15.5.	Seriell Interface IFSS	61
3.15.6.	Paralleles Interface	63
3.15.6.1.	Allgemeine Bemerkungen	63
3.15.6.2.	Port-Verwendung	63
3.15.6.3.	Signalzuordnung	64
3.15.6.4.	Interface Centronics	65
3.16.	Firmware des ZVE-Moduls K 2771	66
4.	Beschreibung der Konstruktion	67
5.	Transport, Lagerung, Verpackung und Ent- packung	69
5.1.	Verpackung	69
5.2.	Transport und Lagerung	69
5.3.	Entpackung	70
6.	Montage und Installation	70

	Seite	
7.	Einstellung und Initialisierung	71
7.1.	Lage der Einstellelemente	71
7.2.	DIL-Schaltereinstellung	71
7.3.	Steuereingänge	73
7.4.	Wickelverbindungen	74
7.4.1.	CPU-Taktgenerator	74
7.4.2.	Timeout-Steuerung	74
7.4.3.	Intervall-Timer	74
7.4.4.	Bustakte	75
7.4.5.	PZA-Dekoder	75
7.4.6.	Lokaler PROM	76
7.4.7.	Busarbiter	76
7.4.8.	Seriellles Interface	77
7.4.9.	Paralleles Interface	77
7.4.10.	Interrupt-System	78
7.5.	Einstellung des Moduls ZVE K 2771 für den Einsatz im A 7100 und IGT	81
7.6.	Initialisierung des Moduls ZVE K 2771 für den Einsatz im Rechner A 7100	82
8.	Inbetriebnahme und Betrieb	86
8.1.	Inbetriebnahmevoraussetzungen	86
8.2.	Inbetriebnahme des Moduls	86
8.3.	Betrieb	87
9.	Pflege und Wartung	87
10.	Instandsetzung	88

Anlagen

Seite

Anlage 1:	Maschinenbefehlsliste der CPU K1810WMS6	1-1 ... 1-30
Anlage 2:	Steckverbinderbelegung	2-1 ... 2-9
Anlage 3:	Signalverzeichnis ZVE K 2771	3-1 ... 3-4
Anlage 4:	PROM-ZPS-Adreßdekoder (Y622)	4-1 ... 4-4
Anlage 5:	PIC-Interruptursachen bei Einsatz des Moduls ZVE K 2771 im Rechner A 7100	5-1

Verzeichnis der Bilder

Bild	Titel	Seite
3-1	Blockschaltbild der ZVE K 2771	23
3-2	CPU-Takt CLK	25
3-3	CPU-Grundtaktierung	32
3-4	CPU-Lesezyklus	35
3-5	CPU-Schreibzyklus	36
3-6	Speicherorganisation	41
3-7	PROM-Ansteuerung	43
3-8	EPR0M-Bestückung	44
3-9	Interrupt-Acknowledge-Zyklus	55
3-10	Interruptbearbeitungsfolge	56
3-11	Lage der Steckverbinder	68
7-1	Lage der Einstellelemente auf dem Modul ZVE K 2771	72

Verzeichnis der Tabellen

Tabelle	Titel	Seite
3 - 1	RDY Zeitforderungen	29
3 - 2	CPU Statuskodierung	33
3 - 3	Queuestatus	33
3 - 4	Zugriffssteuerung	34
3 - 5	Bytevertauschung	40
3 - 6	EPROM-Bestückungsvarianten	42
3 - 7	PROM-Adreßverteilung	43
3 - 8	Speicheradreßverteilung ZVE K 2771	46
3 - 9	Dekodierung der CS-Signale	47
3 - 10	ZVE-E/A-Adreßverteilung	48
3 - 11	E/A Ressourcen	49
3 - 12	Verteilung der Interruptvektoren	51
3 - 13	Definierte interne Interrupts	52
3 - 14	Interruptvektortabelle ZVE K 2771	54
3 - 15	X4, FP-Signalumfang	61
3 - 16	Port-Signalzuordnung	64
7 - 1	Schalterstellung	71
7 - 2	DIL/Schalterstellungen	73
7 - 3	Steuereingänge	73
7 - 4	Wickelverbindungen, CPU-Taktgenerator	74
7 - 5	Wickelverbindungen, Timeout-Steuerung	74
7 - 6	Intervall-Timer, verfügbare Eingangstakt- frequenzen	74
7 - 7	Intervall-Timer, Steuermöglichkeiten	75
7 - 8	Wickelverbindungen, Bustakte	75
7 - 9	Wickelverbindungen, PSZ-Dekoder (Y622)	75
7 - 10	Wickelverbindungen, lokaler PROM	76
7 - 11	Wickelverbindungen, Busarbiter Betriebsart	76
7 - 12	Wickelverbindungen, Busarbiter Prioritätsfest- legung	77

7 - 13	Wickelverbindungen, Serielles Interface	77
7 - 14	Wickelverbindungen, Paralleles Interface	77
7 - 15	Interrupt-Matrix	78
7 - 16	Wickelverbindungen, NMI- Oderung	79
7 - 17	Wickelverbindungen, NMI-Freigabe	79
7 - 18	Wickelverbindungen, Systembus-Interrupt- Erzeugung	80
7 - 19	Wickelverbindungen, Interrupt- Oderung	80
7 - 20	Wickelverbindungen, Arithmetikprozessor- Interrupt	80
7 - 21	Einstellung des Moduls K 2771 für den Einsatz im A 7100 und IGT	81

Verzeichnis der Abkürzungen

AC	Arbeitsplatzcomputer
AG	Akustischer Geber
AR	Adressregister
BTG	Bus-Taktgenerator
BLP	bestückte Leiterplatte
BV	Bus-vektoriert (Interrupt)
CPU	μ Prozessorchaltkreis K 1810WM86
CTG	CPU-Taktgenerator
DBZ	Division durch \emptyset (Interrupt Typ \emptyset)
E/A	Ein-/Ausgabe
FP	Frontpaneel
GND	Massepotential
I	Eingabe
IF	Interface
I/O	Ein-/Ausgabe
ICWn (n=1...4)	Initialisierungswert für PIC
IFSS	Interface für sternförmig serielle Informationsübertragung
IGT	Intelligentes Grafisches Terminal
INTn (n= \emptyset ...255)	Interruptbefehl
INTR	maskierbarer Interrupt
IRn (n= \emptyset ...7)	Interruptanforderung für PIC
IV	Interruptvektor
LB	Lokalbus
LBC	Buscontroller für Lokalen Bus
MLL	Mehrlagenleiterplatte
MMS 16	Mikrorechnermodulsystem 16

NBV	nicht busvektoriert
NMI	nichtmaskierbarer Interrupt
O	Ausgang
O.C.	offener Kollektor
OCW	Kommandowort für PIC
OSC-Signal	Oszillatorsignal
PE	Papierende
PIC (USART- KR580W51A)	programmierbares Kommunikationsinterface
PIC (KR580W59A)	programmierbarer Interruptkontroller
PIT(KR580WI53)	programmierbarer Intervalltimer
PPI(KR580W55A)	programmierbares Peripherie-Interface
QS	Queue-Status
SB	Systembus
SBC	Buscontroller für Systembus
SK	Schaltkreis
SS	Single Step
STE	Steckeinheit
STV	Steckverbinder
SUL	Systemunterlagen
TS	Tri-state
TW	Wait-Takt
USART	universeller synchroner asynchroner Empfänger/ Treiber
ZPS	Zweiportspeicher

Erzeugnisbezeichnung : Zentrale Verarbeitungseinheit robotron K 2771

Kurzbezeichnung : ZVE K 2771

Notation Verträglichkeitsniveau : M-D16M20I16V02LS-VOL

1. Verwendungszweck

Die Zentrale Verarbeitungseinheit robotron K 2771 ist ein 16-bit-Mikroprozessor-Modul, der als ZVE-Kern in Mikrorechnern eingesetzt werden kann.

Der Modul ZVE K 2771 enthält bestimmte Hardware- und Firmwaremittel, um den verschiedenen Anforderungen des OEM-Einsatzes gerecht zu werden. Er erlaubt den Aufbau von leistungsfähigen Mikrorechnersystemen verschiedenster Konfigurationen und die Realisierung von Multiprozessorsystemen für ein breites Spektrum von Einsatzgebieten.

Der Modul ZVE K 2771 ist eine Basiskomponente des Mikrorechner-Modulsystems 16 (MMS 16) für den Aufbau unterschiedlicher Mikrorechnerkonfigurationen für die Haupteinsatzgebiete:

- Büroautomatisierung
Buchung, Abrechnung, Fakturierung, Planung und Leitung, ökonomische Berechnungen, Optimierungsaufgaben, Datenerfassung, Textverarbeitung
- Arbeitsplätze für Konstrukteure und Technologen
- Ingenieurtechnische Berechnungen in Forschung, Entwicklung sowie Ausbildung
- Programmentwicklung
u. a. für Echtzeitsteuerung
- Terminal für ESER- und SKR-Rechner in DFV- und Kommunikationssystemen
- Labor-, Experimental- und Prüffeldautomatisierung
- Auswerterechner in der Meßtechnik
- Datenbank-, Informations- und Auskunftssysteme
- Prozeßsteuerung
- Grundgerät für den Aufbau anwendungsorientierter Konfigurationen

Kernstück des Moduls ZVE K 2771 ist der 16-bit-Mikroprozessor (CPU) K1810WM86 aus dem Mikroprozessor-Schaltkreissystem K1810, der die Leistungsfähigkeit des ZVE-Moduls bestimmt.

Durch das Vorhandensein eines lokalen Busses für den Anschluß eines Zweiportspeichers (ZPS) kann insbesondere in Multiprozessorsystemen die Belastung des Systembusses in Grenzen gehalten werden.

Vier DIL-Fassungen bieten dem Anwender die Möglichkeit, einen bis maximal 32 K Byte großen lokalen EPROM für seine spezielle Firmware zu verwenden.

Der Modul ZVE K 2771 liefert auf Basis des programmierbaren Peripherie-Schaltkreises (PPI) KR580WW55A ein paralleles Interface vom Typ Centronics, das vorrangig für den Anschluß eines Druckers vorgesehen ist, vom Anwender aber durch Uminitialisierung des

PPI und Richtungssteuerung seinen speziellen Anforderungen angepaßt werden kann.

Auf Basis des USART KR580WN51A wird auf dem Modul ZVE K 2771 das serielle Interface IFSS realisiert, das vorrangig als Bedieninterface vorgesehen ist.

Der USART kann durch den Nutzer individuell programmiert werden und erlaubt somit den Anschluß verschiedenster Geräte.

Einstellmöglichkeiten erlauben die Auswahl der aktiven oder passiven Arbeitsweise des Senders oder Empfängers sowie die Wahl der Übertragungsgeschwindigkeit.

Ein programmierbarer Intervalltimer (PIT) KR580WI53 bietet dem Nutzer vielfältige Einsatzmöglichkeiten, da ein Gate-Eingang über den PPI KR580WN55A steuerbar und ein Ausgang auf eine Interruptmatrix geführt wird.

Der PIT dient auch als Baudratengenerator für das IFSS.

Der Modul ZVE K 2771 realisiert den Systembus MMS 16 und kann über diesen mit anderen Modulen des MMS 16 gekoppelt werden. Er realisiert einen Speicheradressraum von 1 M Byte, einen E/A-Adressraum von 64 K Byte und ein erweiterungsfähiges, programmierbares vektororganisiertes Interruptsystem auf der Basis des programmierbaren Interruptcontrollers (PIC) KR580WN59A.

Über Software sind vielfältige Interruptprioritäts-Modi realisierbar. Eine einstellbare Interruptmatrix erlaubt verschiedene Interruptquellen auszuwählen.

Der Modul ZVE K 2771 arbeitet mit einer CPU-Taktfrequenz von 4,915 MHz, erzeugt den Bustakt mit einer Frequenz von 9,832 MHz und realisiert den Maschinenbefehlssatz der CPU K1810WM86.

2. Technische Daten

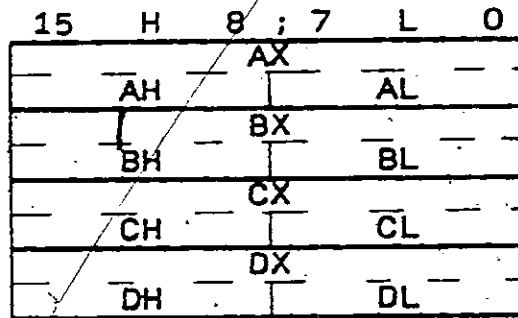
2.1. Leistungskennwerte

Befehlswortlänge	-	8 - 48 bit
Datenwortlänge	-	8, 16 bit
Zahlendarstellung	-	Festkomma, Zweierkomplement
		Maschinenbefehlssatz der CPU K1810WM86 (siehe Anlage 1) 70 Basisbefehle
Adressierungsarten		30 (einschließlich Modi)
Befehlsausführungszeiten		ca. 400 ns bei Abarbeitung des Befehls aus der Queue ca. 1 μ s, wenn sich der Befehl nicht in der Queue befand und bei 1 T_w für Speicherzugriff
	-	allgemein ergibt sich die Befehls- ausführungszeit aus der Anzahl der pro Befehl benötigten Taktzyklen unter Beachtung der Frequenz des CPU-Taktes CLK, sowie der Anzahl

der notwendigen Speicherzugriffe pro Befehl unter Beachtung der Speicherzugriffszeiten, der an den Modul angeschlossenen Speicher

Registersatz

Datengruppe



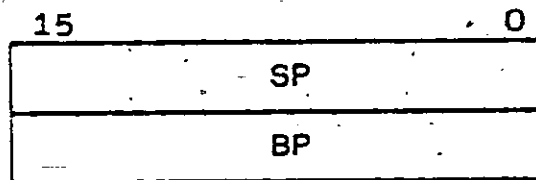
Akku-Register

Basis-Register

Count-Register

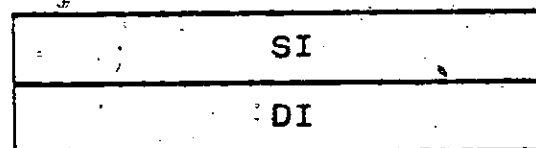
Daten-Register

Pointer- und Indexgruppe



Stackpointer

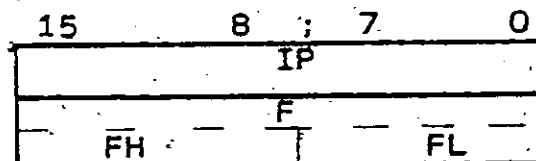
Basispointer



Source Indexregister

Destination Indexregister

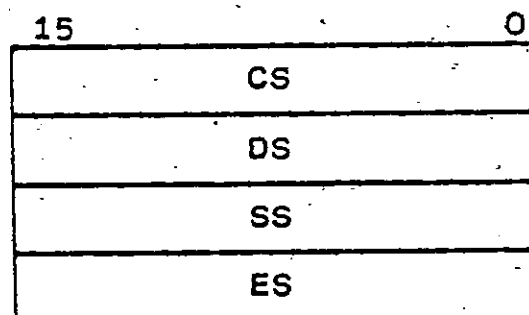
Steuergruppe



Instructionpointer

Statusregister (Flag)

Segmentregister



Codesegment-Register

Datensegment-Register

Stacksegment-Register

Extrasegment-Register

Speicheradreibraum	1 M Byte
E/A-Adreibraum	64 K Byte
PROM-Kapazität	4 - 32 K Byte Bestückungsvarianten siehe Pkt. 3.11.2.
PROM-Adressierung	FE000H - FFFFFH (4 x K573RF2) FC000H - FFFFFH (4 x K573RF3) F8000H - FFFFFH (4 x K573RF4)
Zweiportspeicher	Anschluß über X2 möglich 00000H - 1FFFFH Belegung siehe Anlage 2
Takterzeugung	
Quarztypen	Q 51/E2010 TGL 33584
Quarznennfrequenzen	14745 kHz, 9832 kHz
CPU-Taktfrequenz (CLK)	4,915 MHz
Bus-Taktfrequenz (/BCLK,/CCLK)	9,832 MHz
CPU-Takt Flankenanstiegs- u. abfallzeiten	10 ns max.
CPU-Takt Pegel	Low -0,5 V ... +0,6 V High 3,9 V ... (V _{CC} +1) V
Interruptsystem	vektororganisierte Interrupt- behandlung 1 NMI (maskierbar) Vektoradresse 00008 H 8 INTR (maskierbar) erweiterungsfähig bis auf 64 Interruptebenen Interruptquellen wählbar über Interruptmatrix
Bedienung	Über Bedientastatur oder Terminal; Anschluß an IFSS, X3 Voraussetzung; entsprechende Firmware
Stackorganisation	vorhanden
Timeoutüberwachung	ca. 10 ms, abschaltbar
WAIT-Steuerung	vorhanden, extern nutzbar (über Steuersignal am X4) programmierbar mittels Signal /TEST

Intervalltimer und Baud-
ratengenerator
Eingangsfrequenz (einstellbar)

- 2458,0 kHz
- 1229,0 kHz
- 614,5 kHz
- 153,6 kHz
- 76,8 kHz

Ausgangsfrequenzen

Funktion	Einzeltimer		Doppeltimer	
	Min	Max	Min	Max
Echtzeit-Interrupt	1,63 μ s	427,1 ms	3,26 μ s	466,5 min
Baudraten-Generator (Frequenz)	2,342 Hz	613,5 kHz	0,000036 Hz	306,8 kHz

Serielles Interface

IFSS

Paralleles Interface

Centronics

2.2. Anschlußkennwerte

2.2.1. Belastung der Systembusssignale

Lfd.-Nr.	Signal	Maximale Belastung	
		Low-Pegel/ μ A	High-Pegel/ μ A
1	/ADR (F:Ø)H	0,1	50
2	/ADR (13:1Ø)H	0,5	80
3	/BPRN	0,5	60
4	/BUSY	0,5	60
5	/CBRQ	0,5	60
6	/DAT (F:Ø)H	0,1	50
7	/INT (7:Ø)H	0,36	20
8	/PFIN	0,36	20
9	/XACK	0,36	20

2.2.2. Belastung der X4-Signale

Lfd. Nr.	Signal	Maximale Belastung	
		Low-Pegel/ μ A	High-Pegel/ μ A
1	/AUX-RESET	0,6	50
2	CSYN	0,5	50
3	/CTIME	1,5	20
4	EFI	1,6	50
5	/RDY1C	1,5	20
6	/RDY2C	1,5	20
7	RQ/GT \bar{O}	0,01	10
8	/TEST	0,01	10

2.2.3. Belastung der X2-Signale

Lfd. Nr.	Signal	Maximale Belastung	
		Low-Pegel/ μ A	High-Pegel/ μ A
1	/ABENC	1,5	20
2	CLK-TEST	2,4	70
3	/CSC-DB	1,5	20
4	DB (7: $\bar{0}$)H	0,30	160
5	DB (F:8)H	0,32	150
6	/LB-ZPS-ACK	1,5	20
7	/PROM-LOCK	1,5	20
8	/SB-RAM-DATA-EN	1,5	20
9	/SB-RAM-MODE	5	210
10	/SB-RAM-RD	2,2	60
11	ZPS-LOCK	3,1	50
12	/ZPS-NMI	1,5	20
13	/ZPS-PR	3,1	50
14	/ALEC	1,5	20
15	/CSC-ADR	1,5	20

2.2.4. Allgemeine Anschlußkenwerte

Energieversorgung	5P - ca. 3,0 A 12P - ca. 0,05 A
Leistungsaufnahme	gesamt etwa 16 W
Bus	Systembus MMS 16 (MMS 16-S) ZPS-Anschluß (siehe Anlage 2)
Serielle Schnittstelle IFSS	nach TGL 42886, sternförmig seriell
Obertragung Stromschleifen	bitseriell, asynchron 1 Sende-, 1 Empfangschleife (20 mA Stromschleifen)
Stromeinspeisung	getrennt für Senden und Emp- fangen Konstantstromquelle, einstellbar, im Normalfall auf Senderseite
Schutz	Galvanische Trennung über Opto- koppler (mit Zusatzisolation)
Logische Bedingungen	High = 15.....25 mA Low = 0.....3 mA
Obertragungsrate	programmierbar, max. 9600 Baud
Kabellänge	max. 500 m paarweise verdrehte, abge- schirmte Leitung
Schnittstellenleitungen	SD+ Kontakt 19 Sendeschleife SD- Kontakt 10 ED+ Kontakt 14 Empfangs- ED- Kontakt 13 schleife GND Kontakt 1 GND (Schirm) mit log. Null über Wickelstift verbindbar X701 - X702
Steckverbinder	Subminiatur-D, 25polig, Buchsenleiste, 203-25 EBS4-GD 4006/01-2-V, Kontaktbelegung siehe Anlage 2
Zeichenformat	programmierbar 1 Startbit 5, 6, 7, 8 bit Zeichenlänge Breakzeichenerkennung Parität gerade oder ungerade 1; 1,5; 2 Stoppbits

Parallele Schnittstelle Centronics

Obertragung	bitparallel, byteseriell, nur Ausgabe
logische Bedingungen	TTL-Pegel Low - 0,4 V High - 2,4 V
	Ausgangsstrom Low -I _{OL} = 32 mA bei U _{OL} = 0,4 V
	Ausgangsstrom High I _{OH} = 5 mA bei U _{OL} = 2,4 V
Obertragungsrage	max. 2,2 KByte/sec
Kabellänge	max. 3 m paarweise verdrehte Leitungen, abgeschirmtes Rundkabel Adernquerschnitt mind. 0,08 mm ² Wellenwiderstand 60...150 Ohm
Leitungsabschluß	3,3 kOhm nach 5 P
Schnittstellenleitungen	/STROBE Datengültigkeit PDAT1...PDAT8 Daten /ACK Empfangsquittung PBUSY Datenübernahmeperrre PE Papierende SELECT Gerätebereitschaft /FAULT Fehlermeldung GND Verdrehte Rückleitung für Signal
Steckverbinder	Subminiatur-D, 25polig, Stecker- leiste DB 25 P1B1N, Kontakt- belegung siehe Anlage 2
Zeitbedingungen	Datenvorbereitungszeit 1 µs min Datenhaltezeit 1 µs min /STROBE-Impulsbreite 1 µs min /ACK-Impulsbreite 5 µs max

2.2.5. Konstruktive Kenwerte

LP-Typ-Nr.	031-0350; MLL; 6 Ebenen
BLP-Abmessungen	233,4 x 160 mm ² (Doppelleuropa- format)
zulässiges Steckraster	20,32 mm
Bauhöhe	max. 13,5 mm
BLP-Masse	ca. 400 g

Steckverbinder
Rückverdrahtungsseite

X1: Systembus MMS 16
Steckerleiste, 96polig, IEC,
C96M-C1A DIN 41612

X2: ZPS-Anschluß
Steckerleiste, 96polig, IEC
C96M-01A, DIN 41612

Griffseite

X3: Interface IFSS,
Buchsenleiste, 25polig
Subminiatur-D, 203-25 EBS-GO
4006/01-2-V

X4: Anschluß FBG, Prüfsteckver-
binder
Steckerleiste, 26polig
EFS-SK, 102/26 TGL 37912

X5: Interface Centronics
Steckerleiste, 25polig
Subminiatur-D, DB 25 P1B1N

Steckverbinderbelegungen siehe Anlage 2

2.3. Varianten

Variante 1: BLP-Typ-Nr. 031-035010
Bestückung des Moduls ZVE K 2771 mit 4 Stück EPROM
K573RF4 mit A 7100-Monitor als ZVE-Basisvariante
für den Einsatz im Arbeitsplatzcomputer A 7100.

Variante 2: BLP-Typ-Nr. 031-035020
Modul ZVE K 2771 ohne EPROM-Bestückung für den OEM-
Einsatz im MMS 16. Der Anwender hat die Möglichkeit,
eine eigene Bestückungs- und Firmwarevariante seinen
speziellen Forderungen anzupassen.

Variante 3: BLP-Typ-Nr. 031-035050
Bestückung des Moduls ZVE K 2771 mit 4 Stück EPROM
K573RF4 mit IGT-Monitor als ZVE-Basisvariante für
den Einsatz im Intelligenten Grafischen Terminal
(IGT).

2.4. Umgebungsbedingungen

Für den Modul K 2771 gelten die Einsatzgrenzbedingungen
0/+55/+30/90//10/1/10.

2.5. Schutzmaßnahmen

Der Modul ZVE K 2771 wird mit Kleinspannung betrieben und erzeugt intern keinerlei gefährliche Spannungen. Notwendige Schutzmaßnahmen hängen vom sicherheitstechnischen Konzept des Finalerzeugnisses sowie von den für die entsprechende Erzeugnisgruppe geltenden Sicherheitsstandards ab.

Der Modul ZVE K 2771 ermöglicht für das Interface IFSS im Passivmodus eine sicherheitstechnische galvanische Trennung.

Die Isolationsbedingungen sind:

- Kriech- und Luftstrecke: 4 mm
- Prüfspannung : 2500 V_{eff}, 1 min nach 48 h Feuchteconditionierung bei 93 % rel. Luftfeuchte zwischen 20 °C und 30 °C

(Entsprechend den Bedingungen "Zusatzisolation" nach IEC 380/435 und VDE 0806/0805)

3. Funktionsbeschreibung

3.1. Allgemeine Bemerkungen

Punkt 3 liefert eine allgemeine Funktionsbeschreibung des Moduls ZVE K 2771, die den Anwender in die Lage versetzen soll, den Modul entsprechend seinen konkreten Anforderungen in Finalprodukten einzusetzen.

Die Funktionsbeschreibung des Moduls ZVE K 2771 basiert auf dem in Pkt. 3.2 vorgestellten Blockschaltbild, den Schaltkreisbeschreibungen der einzelnen Schaltkreise des Mikroprozessor-Schaltkreissystems K1810 sowie des MMS 16 Systembusrichtlinie.

Zum vollen Verständnis der Funktionsweise des ZVE-Moduls K 2771 wird die interne Struktur sowie das logische und zeitliche Verhalten der einzelnen LSI-Schaltkreise des Mikroprozessor-Schaltkreissystems K1810 vorausgesetzt.

Zur Realisierung seiner Funktionen benötigt der Modul ZVE K 2771 eine spezielle Firmware, die durch den Anwender entsprechend seinen konkreten Forderungen erstellt werden muß. Dabei sind die Adreßverteilung des Moduls und die speziellen Initialisierungsvorschriften der programmierbaren Schaltkreise des Mikroprozessor-Schaltkreissystems K1810 zu beachten.

Die Struktur des Moduls ZVE K 2771 wird von folgenden Gesichtspunkten bestimmt:

- Anpassung an den Systembus MMS 16
- Anpassung an das Mikroprozessor-Schaltkreissystem K1810

- Realisierung des Moduls auf einer Leiterplatte vom Format 233,4 x 160 mm² (Doppelleuropaformat)
- Einsatz des Moduls im MMS 16
- Funktionsfähigkeit des Moduls ohne Anschluß eines Zweiportspeichers
- Lokalspeicher- und Interruptsystemerweiterungsmöglichkeiten
- Realisierung eines SUL-Konzepts mit Einsatz international üblicher Betriebssysteme in dieser Rechnerklasse bei Einsatz des Moduls in Komplettrechnersystemen
- Neues, dem internationalen Trend entsprechendes Architekturkonzept
- Verwendung standardisierter Interfaces
- Berücksichtigung der vorhandenen Prüf- und Servicetechnik
- Verbesserung der technischen und ökonomischen Leistungskennziffern

Der Modul ZVE K 2771 realisiert die Systemphilosophie des MMS 16, die auf der grundsätzlich modularen Gestaltung beruht, die es gestattet, durch Auf- und Abrüstbarkeit, Austausch- und Erweiterbarkeit von einzelnen Baugruppen entsprechend dem jeweiligen technisch-technologischen Stand, Systeme in einem weiten Leistungsbereich für die verschiedensten Anwendungsfälle einheitlich zu konzipieren.

3.2. Bauelementebasis

- Spezifische systembestimmende Bauelemente:
Mikroprozessor-Schaltkreissystem K1810 mit den Schaltkreisen

K1810WM86	16-Bit CPU, 5 MHz
K1810GF84	Taktgenerator
KR580WW51A	PCI, Programmierbares Kommunikationsinterface (USART)
KR580WI53	PIT, Programmierbarer Intervall Timer
KR580WW55A	PPI, Programmierbares Peripherieinterface
KR580WN59A	PIC, Programmierbarer Interruptcontroller
KR580WG88	Buscontroller
KR580WG89	Busarbiter

- Speicherbauelemente:

74S571	PROM 512 x 4 Bit Adreßdeko- der	
K573RF2	EPR0M, 2 K x 8 Bit	Lokaler PROM
K573RF3	EPR0M, 4 K x 8 Bit	wahlweiser Einsatz der ange-
K573RF4	EPR0M, 8 K x 8 Bit	gebenen Typen
		Einstellungen siehe Pkt. 7

- Sonstige Logikbauelemente:

Low-Power-Schottky-TTL	Standardbauelementesortiment
Schottky-TTL	Standardbauelementesortiment

3.3. Struktur des Moduls ZVE K 2771

Bild 3-1 zeigt das Blockschaltbild des Moduls ZVE K 2771. Die wesentlichsten Funktionskomplexe des Moduls, die auf Basis hochintegrierter Schaltkreise (LSI) des Mikroprozessor-Schaltkreissystems K1810 realisiert werden, sind folgende:

- CPU
- Taktversorgung (CPU, Bus, Interface) mit Reset-Logik und Ready-Steuerung
- Arbitr
- System- und Lokalbuscontroller
- Daten- und Adreßbussteuerung
- Lokaler PROM
- Parallelinterface
- Serielles Interface
- Programmierbarer Intervall Timer
- Interruptsystem

Der Modul ZVE K 2771 verfügt über ein lokales Bussystem, über das alle lokalen Ressourcen (Speicher, E/A) ohne Systembusbelegung erreicht werden. Damit ist die Parallelarbeit des Moduls zu anderen Busmastern in einem Multimaster-System möglich.

Über eine spezielle Schnittstelle ist der Anschluß eines Zweiportspeichers (ZPS) möglich. ZPS-Zugriffe des Moduls ZVE K 2771 haben eine höhere Priorität als ZPS-Zugriffe anderer Master über den Systembus MMS 16.

CPU

Als CPU kommt der H-MOS LSI-SK K1810WM86 zum Einsatz, der sowohl 8- als auch 16-Bit-Verarbeitung gestattet und mit seiner internen Struktur und Funktionsweise wesentliche Teilsysteme des Moduls bestimmt. Die leistungsfähige Befehlsliste des CPU-Schaltkreises, die verschiedenen Adressierungsarten, seine moderne Architektur gewährleisten ein breites Anwendungsfeld der ZVE K 2771.

Taktversorgung

Die Taktversorgung des Moduls übernehmen zwei quarzstabilisierte Taktgeneratoren auf Basis des Schaltkreises K1810GF84. Der CPU-Taktgenerator wird von der Ready-Steuerung, der Reset-Logik und dem WAIT-Generator beeinflusst.

Arbitr

Der Arbitr auf Basis des Schaltkreises KR580WG89 realisiert ein schnelles Busmasterwechselsystem und ein serielles Prioritätsentscheidungssystem. Er erlaubt den Anschluß des Moduls ZVE K 2771 an den Systembus MMS 16 und ist erweiterungsfähig für den Einsatz dezentralisierter Busarbitr zur Realisierung der parallelen Prioritätsentscheidung.

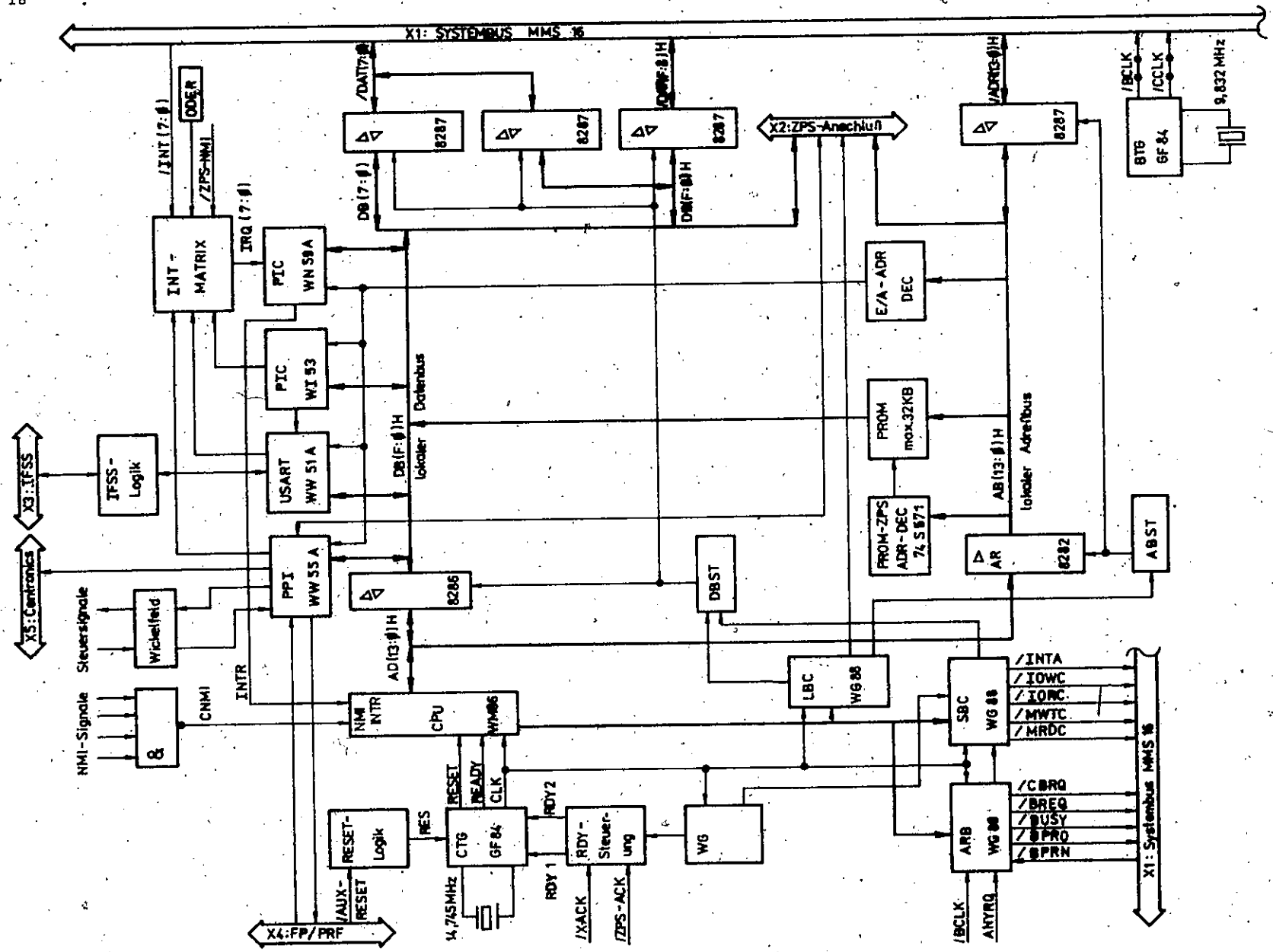


Bild 3.1. Blockschaltbild ZVE K 2771.

Systembus- und Lokalbuscontroller

Als System- und Lokalbuscontroller kommt der Schaltkreis KR580WG88 zum Einsatz. Mit seiner Hilfe wird die effektive Realisierung des universellen Systembus MMS 16 (X1) sowie der speziellen Schnittstelle für den Anschluß eines ZPS möglich (X2).

Daten- und Adreßbussteuerung

Die Daten- und Adreßbussteuerung ist in S-TTL-Logik realisiert und steuert die verschiedenen Teilbusse des Moduls auf Basis der Schaltkreise DS8286, DS8287. Der CPU-AD-Bus AD (13 : 0)H wird in folgende Teilbusse zerlegt, die separat gesteuert werden:

- lokaler Datenbus DB (F : 0)H
- lokaler Adreßbus AB (13 : 0)H
- System-Datenbus /DAT (F : 0)H
- System-Adreßbus /ADR (13 : 0)H

Lokaler PROM

Der lokale PROM mit einer Kapazität von 4 KByte - 32 KByte dient zur Speicherung der gesamten Firmware des Moduls ZVE K 2771. Durch den Anwender kann die Speicherkapazität auf- und abgerüstet werden und der Inhalt der Firmware den speziellen Einsatzbedingungen angepaßt werden.
(siehe Pkt. 2.3, Varianten)

Parallelinterface

Der Modul ZVE K 2771 realisiert über den Steckverbinder X5 auf Basis des PPI-SK KR580WW55A ein paralleles Interface nach Centronics-Standard für den Anschluß entsprechender Drucker. Die freien Ports des PPI-SK werden für sonstige Steuerzwecke innerhalb des Moduls verwendet.

Seriellles Interface

Über den Steckverbinder X3 realisiert der Modul ZVE K 2771 auf der Basis der Schaltkreise KR580WI53 und KR580WW51A ein serielles Interface IFSS für den Tastatur- oder Terminalanschluß. Mit Hilfe des PIT KR580WI53 werden weitere Funktionen des Moduls realisiert.

Interruptsystem

Auf Basis des PIC-Schaltkreises KR580WN59A wird mit Hilfe einer Interruptmatrix ein flexibles Unterbrechungssystem mit 8 Interruptebenen (maskierbar) realisiert. Eine weitere Interruptebene (NMI) wird direkt durch den CPU-Schaltkreis K1810WN86 gebildet (nicht maskierbar). Die Realisierung des Interruptsystems erlaubt eine Erweiterung über den Systembus durch Anschluß weiterer Slave-PIC.

3.4. Taktversorgung

Die Taktversorgung des Moduls ZVE K 2771 erfolgt über zwei quarzgesteuerte Taktgeneratoren auf Basis des Schaltkreises K1810GF84. Der Modul erzeugt folgende Taktsignale, die einerseits nur intern verwendet und andererseits für ein übergeordnetes Rechnersystem sowie OEM-Anwendungen bereitgestellt werden:

- CPU-Takt CLK
- Bus-Takte /BCLK, /CCLK
- Interface-Takte

3.4.1. CPU-Takt

Der für den Modul ZVE K 2771 verwendete CPU-Schaltkreis K1810WM86 arbeitet synchron und benötigt für die Steuerung aller Abläufe einen freilaufenden Oszillator als Taktgeber, der ein asymmetrisches Taktsignal mit einem Tastverhältnis von 1:2 und einer Frequenz von maximal 5 MHz als zeitliches Bezugssignal zu liefern hat.

Dieser CPU-Takt wird von dem CPU-Taktgenerator CTG (K1810GF84), der über einen Quarz mit einer Grundfrequenz von 14745 KHz stabilisiert ist, geliefert. Die nominelle Taktfrequenz beträgt 4915 KHz. Mit diesem Taktsignal werden gleichzeitig der Bus-Arbitrer KR580WG89 und die Bus-Controller KR580WG88 versorgt.

Der CPU-Takt CLK wird durch folgende Parameter charakterisiert (Bild 3.2):

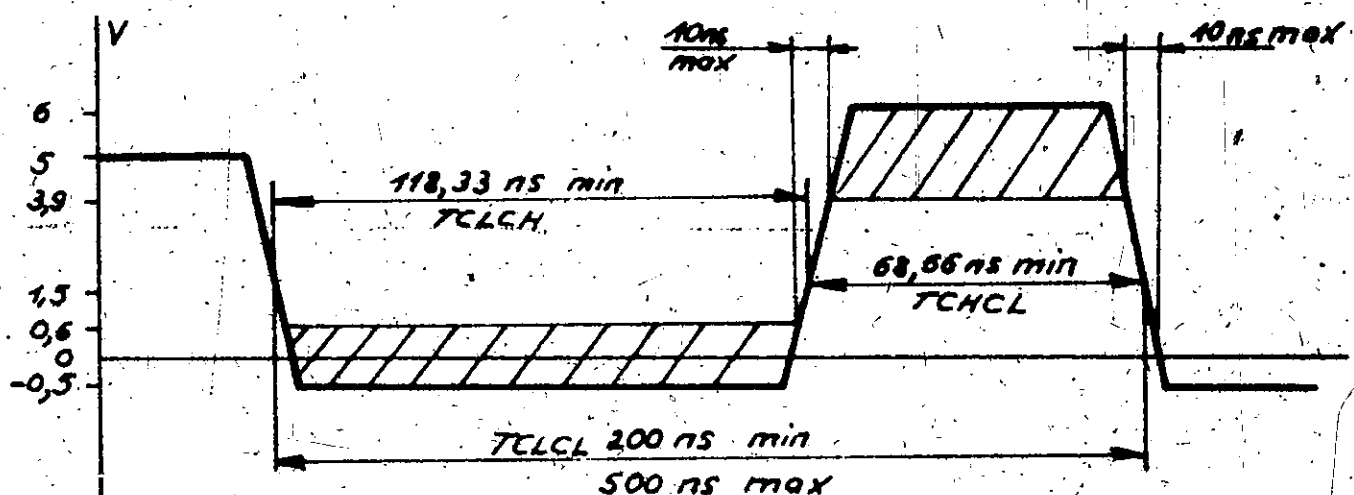


Bild 3-2: CPU-Takt CLK

- Periode TCLCL = 203,46 ns
- High-Zeit TCHCL_{min} = $(\frac{1}{3} \text{ TCLCL}) + 2 = 69,82 \text{ ns}$
- Low-Zeit TCLCH_{min} = $(\frac{2}{3} \text{ TCLCL}) - 15 = 120,64 \text{ ns}$
- Flankenanstiegs- u. -abfallzeiten - 10 ns
- Low-Ausgangsspannung $U_{OL \text{ max}} = 0,45 \text{ V}$
- High-Ausgangsspannung $U_{OH \text{ min}} = 4,0 \text{ V}$
- Low-Ausgangsstrom $I_{OL} = 5 \text{ mA}$
- High-Ausgangsstrom $I_{OH} = -1 \text{ mA}$
- Kapazitive Belastung $C_L = 100 \text{ pF}$

Da der CPU-Schaltkreis K1810MM86 dynamische Zellen enthält, ist in jedem Fall eine minimale Taktfrequenz von 2 MHz zu gewährleisten. Daraus folgt, daß Schrittbetrieb nicht durch Taktblockierung realisiert werden darf.

Der CPU-Taktgenerator CTG liefert neben dem CPU-Takt CLK ein Taktsignal OSC mit der Grundfrequenz des verwendeten Quarzes, das für Meß- und Prüfzwecke auf den Kontakt X2:A05 gelegt ist und vom OEM-Anwender für spezielle Zwecke genutzt werden kann.

Parameter des OSC-Taktsignals:

- Periode TCLCL = 67,82 ns
- Tastverhältnis 1:1
- Low-Ausgangsspannung $U_{OL \text{ max}} = 0,45 \text{ V}$
- High-Ausgangsspannung $U_{OH \text{ min}} = 2,4 \text{ V}$
- Low-Ausgangsstrom $I_{OL} = 5 \text{ mA}$
- High-Ausgangsstrom $I_{OH} = -1 \text{ mA}$
- Kapazitive Belastung $C_L = 100 \text{ pF}$

Für eine externe Taktversorgung sowie eine externe Synchronisation des Moduls ZVE K 2771 sind die EFI- und CSYN-Eingänge des CPU-Taktgenerators auf den Steckverbinder X4 gelegt.

EFI - X4: B06 externer Takteingang
 CSYN - X4: A06 Auswahl externe Synchronisation

Über das Signal /SEL-EFI (Kontakt X4:A08) kann zwischen interner oder externer Taktversorgung des Moduls gewählt werden.

/SEL-EFI = Low Auswahl externe Taktversorgung
 /SEL-EFI = High Auswahl interne Taktversorgung

3.4.2. Bus-Takte

Der Systembus MMS 16 verwendet zwei Bustakte:

- /BCLK Bustakt
- /CCLK Konstanttakt

Der Bustakt /BCLK synchronisiert mit seiner Vorderflanke alle Bussignale, die für den Wechsel der Busmasterschaft benötigt werden.

Der Bustakt /CCLK besitzt eine konstante Frequenz und dient als Grundtakt für alle Master und Slaves innerhalb eines übergeordneten Systems.

Beide Takte werden auf dem Modul ZVE K 2771 vom quarzstabilisierten Bustaktgenerator BTG auf Basis des Schaltkreises K1810GF84 gebildet und haben eine Taktfrequenz von 9832 KHz. Es wird der Taktgeneratorausgang OSC verwendet, das heißt die Taktfrequenz entspricht der Quarzfrequenz, das Tastverhältnis beträgt 1 : 1 und die Takte haben TTL-Pegel. Die Bustakte können über Wickelbrücken abgeschaltet werden, so daß sie bei Einsatz des Moduls in Mehrprozessorsystemen von anderen Masters erzeugt werden können. Der Modul ZVE K 2771 treibt beide Bustakte über TTL-Gatter N140.

Über den DIL-Schalter S1 kann das OSC-Taktsignal des Bustaktgenerators BTG für Prüfzwecke abgeschaltet werden. Dabei wird eine externe Takteinspeisung über den Kontakt X2:CO4 ermöglicht.

3.4.3. Interface-Takte

Für den Anschluß eines Terminals oder einer Tastatur wird auf dem Modul ZVE K 2771 das Interface IFSS realisiert. Den Kern dieses Interfaces bilden die Schaltkreise KR580WW51A und KR580WI53. Um die entsprechenden Taktfrequenzen der Sende- und Empfangssignale für verschiedene Baud-Raten erzeugen zu können, wird der Grundtakt über Zähler heruntergeteilt.

Der Schaltkreis KR580WW51A wird mit einer Taktfrequenz von 2457,5 KHz vom CPU-Taktgenerator versorgt. Der programmierbare Zeitgeber KR 580WI53 kann über ein Wickelfeld mit verschiedenen Taktsignalen versorgt und vom Anwender speziell verschaltet werden (siehe Tab. 7-6, Tab. 7-7).

Der Zähler O2 des PIT KR580WI53 dient zur Erzeugung des Sendetaktes TXC sowie des Empfangstaktes RXC des USART KR580WW51A.

3.5. Reset

Die Grundeinstellung des Moduls ZVE K 2771 übernimmt der CPU-Taktgenerator, indem er nach Spannungszuschaltung ein internes Reset-Signal liefert, das nach Verstärkung als /INIT-Signal über X1 : C10 auch auf den Systembus gelangt. Gemäß Systembusrichtlinie MMS 16 wird auf dem Systembus eine minimale /INIT-Impulsdauer von 5 ns garantiert. Das Reset-Signal wird über eine RC-Kombination am Schmitt-Trigger-Eingang /RES des CPU-Taktgenerators erzeugt.

Der CPU-Taktgenerator synchronisiert das Reset-Signal mit dem CPU-Takt CLK und generiert das CPU-Reset-Signal RESET.

Mit der Low-High-Flanke des CPU-RESET-Signals werden alle CPU-Operationen abgebrochen und mit der High-Low-Flanke eine interne Reset-Folge von ca. 10 CLK-Takten gestartet.

Mit dem RESET-Signal wird folgender ZVE-Grundzustand eingestellt:

- IP = 0000 H
- CS = FFFF H
- DS, ES, SS = 0000 H
- Queue = leer
- Statusregister wird gelöscht
- USART wird in Resetzustand gebracht; wartet auf Initialisierungskommandowort
- PPI wird in Eingabe-Modus gesetzt
- Ausgänge des Bus-Arbiters werden in den hochohmigen Zustand gebracht

Damit beginnt die Befehlsbearbeitung ab Adresse FFFF0H.

Die CPU selbst verlangt ein High aktives Reset-Signal mit einer minimalen Impulsbreite von vier CPU-Taktzyklen mit Ausnahme nach Spannungszuschaltung, wo die Impulsbreite mindestens 50 µs betragen muß.

Das /INIT-Signal kann auch extern, z. B. über eine RESET-Taste, die mit dem Signal /AUX-RESET über den Kontakt X4 : B02 auf den /RES-Eingang des CPU-Taktgenerators wirkt, erzeugt werden.

Die /INIT-Leitung wird von einer Open-Collector-Stufe getrieben, so daß sie in einem Multimastersystem auch von anderen Busmastern aktiviert werden kann.

3.6. Ready-Steuerung

Die Ready-Steuerung des Moduls ZVE K 2771 dient zur Synchronisation der Abläufe beim Anschluß langsamer Speicher und E/A-Geräte, die nicht mit der CPU-Geschwindigkeit arbeiten. Das READY-Signal veranlaßt die CPU, Wartezyklen in den Busablauf einzufügen.

Da der CPU-RDY-Eingang nicht mit dem READY-Signal synchronisiert ist, andererseits zur korrekten Operationsdurchführung bestimmte Vorbereitungs- und Haltezeiten einzuhalten sind, übernimmt diese Synchronisation der CPU-Taktgenerator.

Dazu verfügt der SK K1810GF84 über zwei separate RDY-Eingänge, die über zugehörige /AEN-Eingänge vorbereitet werden. Über RDY1 und /AEN1 erfolgt die Ready-Steuerung für den lokalen Bus, wobei der /AEN1-Eingang durch das Signal /RDY1C über Kontakt X4:A07 gesteuert werden kann.

Über die Eingänge RDY2 und /AEN2 erfolgt die Ready-Steuerung für den Systembus MMS 16.

Bei jedem Systembus-Zugriff wird mit dem Signal /SB-AEN des Bus-Arbiters der /AEN2-Eingang des CPU-Taktgenerators aktiv. Das Bussignal /XACK steuert den zugehörigen RDY2-Eingang.

Mit dem Signal /RDY2C ist über Kontakt X4:B05 der /AEN2-Eingang des CPU-Taktgenerators steuerbar.

In die RDY1-Steuerung greift zwecks automatischer Einfügung von Wartezyklen bei PROM-Zugriffen, ZPS-Zugriffen und lokalen E/A-Zyklen der WAIT-Generator ein.

Da bei dem Interrupt-Acknowledge-Zyklus keine Busadresse ausgegeben wird, erfolgt die Ready-Steuerung des ersten /INTA-Zyklus über RDY1 mittels eines speziellen /INTA-Flip-Flops.

Bei der Realisierung einer externen Ready-Steuerung über die Signale /RDY1C und /RDY2C sind bestimmte Zeitforderungen einzuhalten (Tab. 3-1).

Tab. 3-1: RDY-Zeitforderungen

Signal	Parameter	
/RDY1C	Vorbereitungszeit 1)	- 15 ns 3)
	Haltezeit 1)	- $(\frac{1}{3} \text{ TCLCL}) + 2 \text{ ns}$
/RDY2C	Vorbereitungszeit 2)	- 40 ns
	Haltezeit 2)	0

1) Bezugspunkt ist LH-Flanke von CLK T3

2) Bezugspunkt ist LH-Flanke von T2

3) Da automatisch 1 TW eingefügt wird, handelt es sich um weitere TW

3.7. WAIT-Generator

Der WAIT-Generator (WG) ist auf Basis des Schaltkreises 74LS175 realisiert und erzeugt die Signale T4, T2 und /AENC.

Das Signal /AENC gibt den Systembuscontroller frei, wenn das Signal /LB-ADR inaktiv und das Signal /SB-AEN des Bus-Arbiters aktiv ist.

Das Signal T2 bewirkt, daß der RDY1-Eingang des CPU-Taktgenerators erst mit Beginn von T3 aktiv werden kann. Damit wird automatisch ein Wartezyklus bei ZPS-, PROM- und lokalen E/A-Zugriffen eingefügt.

Mit jedem ALE-Signal wird der WAIT-Generator zurückgesetzt. Signalisiert der Status /S(1 : 0) einen Halt oder "kein Buszyklus", so bleibt der WAIT-Generator inaktiv. Werden Buszyklen initiiert, so zeigen die Signale T2 und T4 die Dauer des Buszyklus an.

3.8. Timeout

Die CPU K1810WN86 verlangt bei der Ausgabe jedes Lese- oder Schreibkommandos ein Antwortsignal von der adressierten Einheit (Speicher, E/A-Port usw.). Ist die adressierte Einheit nicht in der Lage, mit der CPU-Geschwindigkeit zu antworten, geht die CPU in den Wartezustand. Ist die Timeout-Überwachung ausgeschaltet (über Signal /CTIME=Low, Kontakt X4:A05) und bleibt aus bestimmten Gründen das Antwortsignal aus, so verweilt die CPU in dem Wartezustand. In diesem Fall kann nur durch Reset und Neuinitialisierung die Funktionsfähigkeit des Moduls wieder hergestellt werden.

Durch Einschalten der Timeout-Überwachung wird ein ausbleibendes Antwortsignal durch das TIME-OUT-Signal ersetzt.

Die Time-out-Erkennung erfolgt auf dem Modul ZVE K 2771 mit Hilfe eines Monoflops vom Typ 74LS123, der eine Timeout-Zeit von ca. 10 ms realisiert. Mit jedem ALE-Signal wird die Timeout-Überwachung gestartet. Erfolgt kein ordnungsgemäßer Abschluß eines gestarteten Buszyklus mit dem /XACK-Signal, wird das TIME-OUT-Signal erzeugt. Die ZVE reagiert daraufhin durch selbständige Bildung des Antwortsignals nach Ablauf der Timeout-Zeit, ordnungsgemäßen Abschluß des gestarteten Buszyklus und Fortsetzung des Befehlsablaufes. Wurde ein Schreib- oder Ausgabezyklus initiiert, so gehen die Daten verloren. Beim Lesen und bei Eingaben übernimmt die CPU falsche Daten.

Das TIME-OUT-Signal kann zur Erzeugung eines Interrupts verwendet werden. Zu diesem Zweck wird es auf die Interruptmatrix geführt (X844).

Über den Kontakt X4:A05 ist die Timeout-Überwachung abschaltbar.

Anmerkung:

- Wird das TIME-OUT-Signal zur Interrupterzeugung verwendet, muß der PIC KR580WN59A in den Modus "Flankentriggerung" initialisiert werden.
- Der HALT-Befehl aktiviert das ALE-Signal, wodurch die Timeout-Überwachung gestartet wird.

3.9. CPU

3.9.1. Allgemeine Bemerkungen

Als CPU wird auf dem Modul ZVE K 2771 der HMOS-LSI-Mikroprozessorschaltkreis K1810WN86 eingesetzt. Der Schaltkreis arbeitet synchron mit einer Taktfrequenz von 4,915 MHz, erlaubt sowohl Byte- als auch Wortverarbeitung und liefert einen Speicheradressraum von 1 MByte sowie einen E/A-Adressbereich von 64 KByte. Die CPU verkehrt mit der Randlogik über einen 20-bit breiten zeitmultiplexen Adreß-Daten-Bus sowie einen 3-bit breiten Statusbus.

Die interne Struktur sowie das logische und zeitliche Verhalten der CPU sind den entsprechenden Datenblättern zu entnehmen.

Das CPU-Taktsignal, CLK, das CPU-Reset-Signal sowie das mit dem CPU-Takt synchronisierte READY-Signal werden von dem CPU-Takt-generator bereitgestellt. Die Interrupt-Eingänge NMI und INTR versorgt das Interruptsystem (siehe Pkt. 3.13.). Der /TEST-Eingang kann über den PPI-Schaltkreis KR580WW55A gesteuert sowie über den Kontakt X4:B09 für Prüfwzwecke und OEM-Anwendung beeinflusst werden. Der M-Eingang des CPU-SK liegt auf Low-Potential, da die CPU im Maximum-Modus arbeitet.

Das RQ/GT1-Signal wird in der ZVE K 2771 nicht verwendet. Status /S (2 : 0) sowie Queue-Status QS (1 : 0) und RQ/GT0 sind für Prüfwzwecke und OEM-Anwendungen auf Steckverbinderkontakte gelegt.

3.9.2. Registersatz

Die CPU K1810WM86 enthält vier 16-bit Register für allgemeine Verwendungen, die auch als acht 8-bit Register adressiert werden können, zwei 16-bit Pointerregister, zwei 16-bit Indexregister, vier Segmentregister, ein Flagregister und den Befehlszähler.

15	8	7	0
AH	AX	AL	
BH	BX	BL	
CH	CX	CL	
DH	DX	DL	

- Akku
- Basis-Register
- Count-Register
- Daten-Register

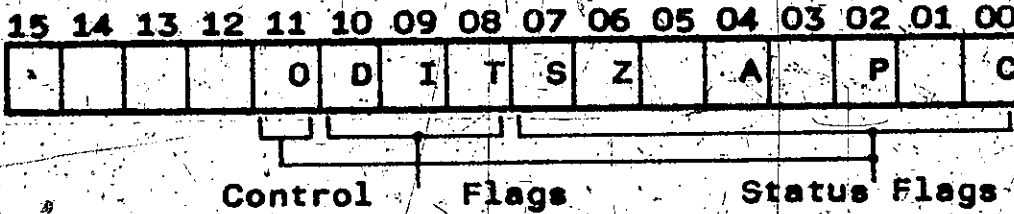
SP
BP
SI
DI

- Stackpointer
- Basispointer
- Sourceindex-Register
- Destinationindex-Register

CS
SS
DS
ES

- Code-Segment
- Stack-Segment
- Daten-Segment
- Extra-Segment

Flaggregister



Status Flags:

- C - Carry
- P - Parity
- A - Auxiliary Carry
- Z - Zero
- S - Sign
- O - Overflow

Control Flags:

- I - Interrupt Enable
- D - Direction
- T - Trap

3.9.3. CPU-Grundtaktierung

Jeder CPU-Maschinenzyklus besteht aus mindestens vier Taktzyklen T1-T4. Während T1 wird die Adresse ausgegeben, in T2 erfolgt die Bus-Richtungsumschaltung und in T3, T4 erfolgt der Datenaustausch (Bild 3-3).

Liegt zum bestimmten Zeitpunkt kein READY-Signal an, so fügt die CPU zwischen T3 und T4 Wartezyklen T_w ein. Ein Wartezyklus T_w hat die Dauer eines CPU-Taktzyklus. Steuert die CPU keine Buszyklen, laufen Leertakte T_i ab. In jedem Maschinenzyklus wird während T1 der Status /S (2:0) generiert, der von den Bus-Controllern und dem Bus-Arbitr empfangen wird und den Typ des laufenden Maschinenzyklus definiert.

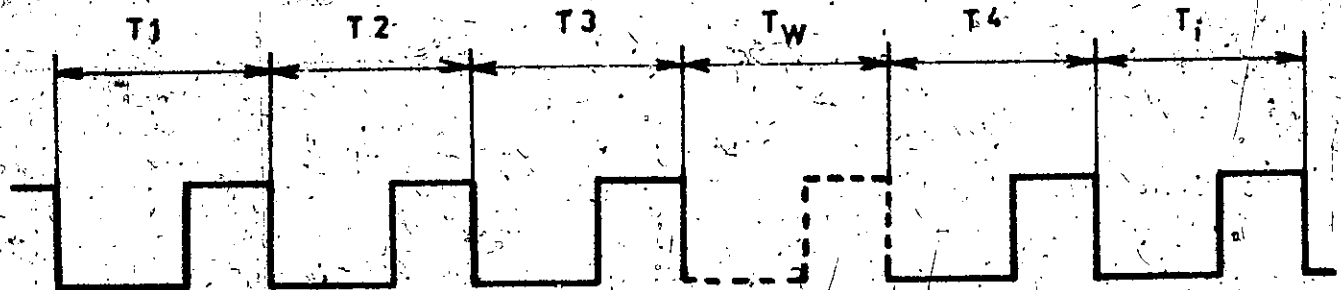


Bild 3-3: CPU-Grundtaktierung

Laufen keine Buszyklen; initiiert die CPU-Befehlsaufrufzyklen und füllt ihren internen Befehlspeicher (Queue), aus dem die Befehlsbearbeitung erfolgt. Tabelle 3-2 zeigt die CPU-Statuskodierung und die Zuordnung zu den Maschinenzyklen.

Tab. 3-2: CPU Statuskodierung

/S2	/S1	/S0	CPU-Maschinenzklus
0	0	0	Interrupt-Acknowledge
0	0	1	Eingabe
0	1	0	Ausgabe
0	1	1	Halt
1	0	0	Befehlsaufruf
1	0	1	Lesen Speicher
1	1	0	Schreiben Speicher
1	1	1	kein Buszyklus

Da die CPU K1810WM86 auf dem Modul ZVE K 2771 im Maximum-Modus arbeitet, liefert sie über QS (1 : 0) den Queuestatus, der Auskunft über die Queueoperation im letzten CPU-Taktzyklus gibt (Tab. 3-3).

Tab. 3-3: Queuestatus

QS0	QS1	Queueoperation
0	0	keine Operation
0	1	1. Befehlsbyte wurde aus Queue gelesen
1	0	Löschen der Queue
1	1	weitere Befehlsbyte wurden aus Queue gelesen

3.9.4. CPU-Lesezyklus

Ein CPU-Lesezyklus beginnt in T1 mit der Ausgabe der Adresse und der Aktivierung des ALE-Signals durch den Lokalbuscontroller

(LBC). Die High-Low-Flanke des ALE-Signals speichert die gültige Adresse in dem Adreßregister (AR).

Das /BHE -Signal und das Adreßbit AD(0) bestimmen, ob das niederwertige, höherwertige oder beide Bytes gelesen werden (siehe Tabelle 3-4).

Tab. 3-4: Zugriffsteuerung

/BHE	AD	Funktion
0	0	Wortzugriff
0	1	höherwertige Byte von/ zu ungerader Adresse
1	0	niederwertiges Byte von/ zu gerader Adresse
1	1	-

An Ende von T1 wird das DT/ \bar{R} -Signal des Lokalbuscontrollers Low-aktiv, mit dem die entsprechenden Bustreiber/-empfänger für einen CPU-Lesezyklus vorbereitet werden. Das entsprechende Kommandosignal (/MRDC oder /IORC) wird mit Beginn von T2 aktiviert und bleibt bis zum Beginn von T4 aktiv.

Mit Beginn von T3 wird der CPU-AD-Bus in den Datenmodus geschaltet und das DEN-Signal gesendet, das die vorbereiteten Bustreiber/-empfänger freigibt. Die CPU testet daraufhin das READY-Signal und übernimmt mit der High-Low-Flanke von T3 die anliegenden Daten, wenn READY = High. Ist das READY-Signal inaktiv, werden von der CPU Wartezyklen T_w ausgeführt.

Sind die Daten übernommen, beendet die CPU mit T4 den CPU-Lesezyklus. Die Steuersignale werden inaktiv und die Bustreiber/-empfänger in den hochohmigen Zustand geschaltet. Bild 3-4 zeigt den CPU-Lesezyklus.

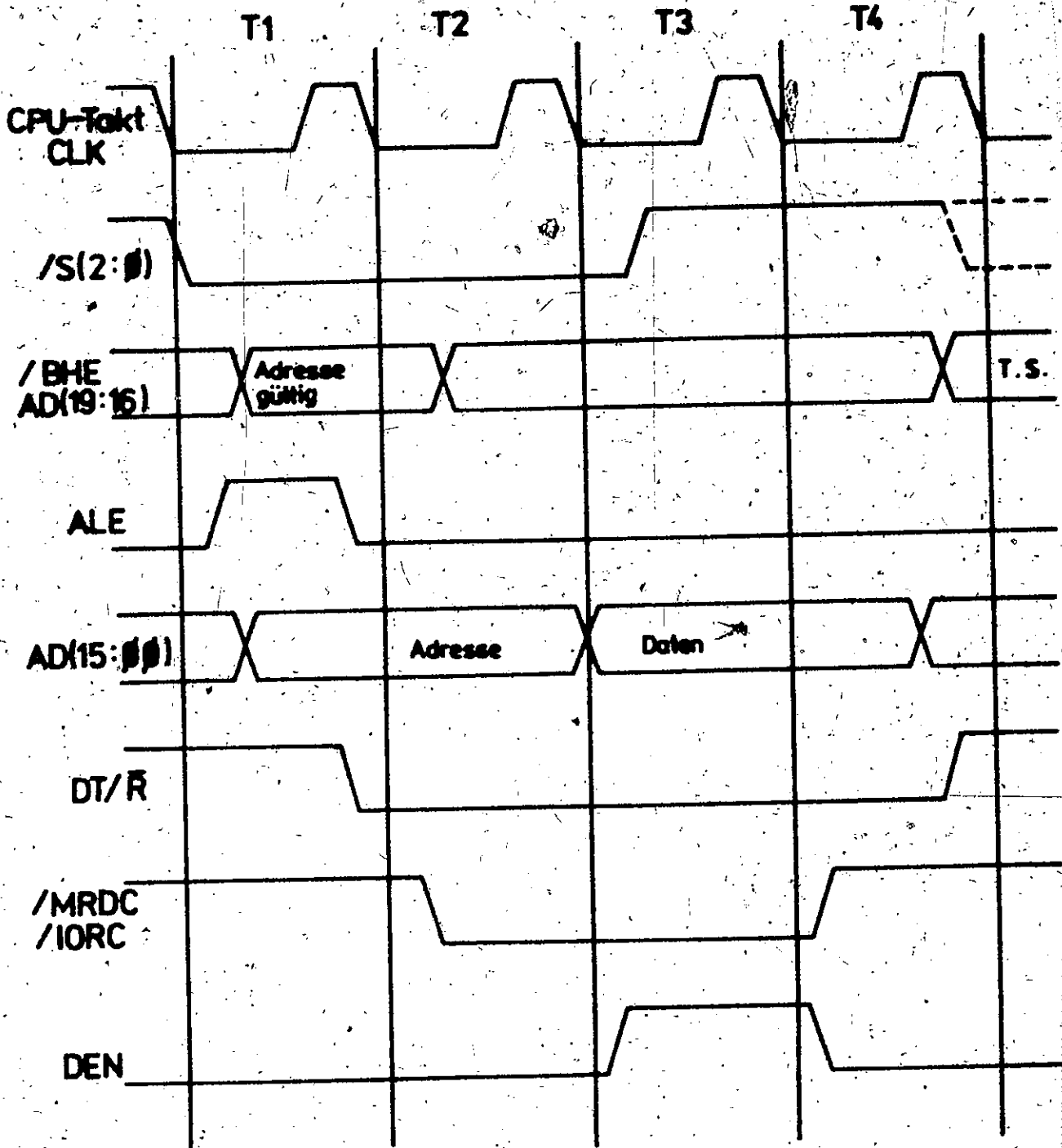


Bild 3-4: CPU-Lesezyklus

3.9.5. CPU-Schreibzyklus

Ein CPU-Schreibzyklus beginnt in T1 mit der Ausgabe der Adresse und der Aktivierung des ALE-Signals durch den Lokalbuscontroller. Analog zum CPU-Lesezyklus wird die Adresse in dem Adreßregister gespeichert.

Das DT/R-Signal bleibt auf High-Pegel liegen und bereitet die entsprechenden Bustreiber/empfänger für einen CPU-Schreibzyklus vor. Der Lokalbuscontroller aktiviert jeweils zwei Schreibkommando-Signale, ein vorgezogenes, das in T2 aktiv wird, und ein normales, das erst in T3 aktiv ist.

Auf dem Modul ZVE K 2771 werden die normalen Schreibkommando-Signale verwendet. Mit Beginn von T2 werden die Schreibdaten auf den CPU-AD-Bus gelegt und mit dem Signal DEN gültig erklärt. Das DEN-Signal gibt gleichzeitig die vorbereiteten Bustreiber/-empfänger frei. In T3 testet die CPU das READY-Signal. Ist READY aktiv, beendet die CPU den Schreibzyklus mit T4; die Steuersignale werden inaktiv und die Bustreiber/-empfänger in den hochohmigen Zustand geschaltet. Geht der READY-Test negativ aus, werden analog zum CPU-Lesezyklus Wartezyklen T_w zwischen T3 und T4 eingeschoben. Bild 3-5 zeigt den CPU-Schreibzyklus.

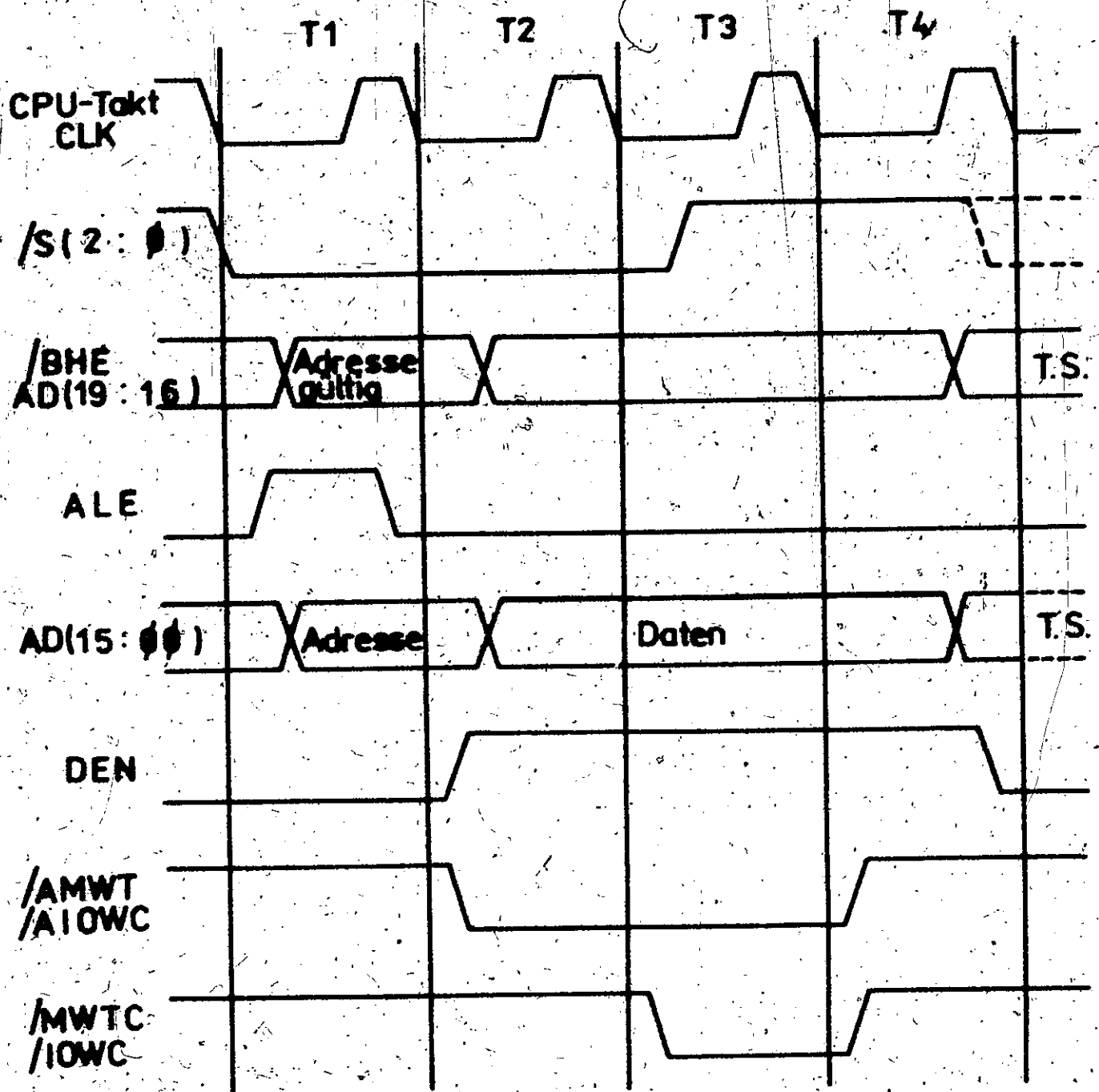


Bild 3-5: CPU-Schreibzyklus

3.9.6. HALT

Wird der HALT-Befehl dekodiert, geht die CPU in den Haltzustand. Der Haltzustand kann nur durch einen externen Interrupt oder durch Systeminitialisierung verlassen werden. Während des Haltzustandes werden die Signalleitungen nicht in den hochohmigen Zustand gebracht. Daten und Adressen sind undefiniert.

Anmerkung:

Der Haltbefehl aktiviert das ALE-Signal, wodurch die Timeout-Überwachung eingeschaltet wird.

3.9.7. TEST

Der TEST-Eingang der CPU K1810WM86 erlaubt eine Synchronisation mit externen Ereignissen. Dazu wird mit dem WAIT-Befehl der TEST-Eingang softwaremäßig abgefragt. Die CPU verweilt so lange im WAIT-Zustand, wie das /TEST-Signal inaktiv ist. Wird das /TEST-Signal aktiv, wird der WAIT-Zustand verlassen. Während des WAIT-Zustandes führt die CPU Leerzyklen aus. Ist das Interruptenable-Flag gesetzt, werden Interrupts während des WAIT-Zustandes behandelt.

Über den Wickelstift X911 kann das /TEST-Signal durch den PPI-Schaltkreis mittels PC1 (X909) gesteuert werden.

3.10. Busstruktur der ZVE K 27713.10.1. Allgemeine Bemerkungen

Der auf dem ZVE-Modul K 2771 verwendete CPU-Schaltkreis K1810WM86 liefert einen 20 bit breiten zeitmultiplexen Adreß-Daten-Bus AD(13:0) H sowie einen separaten 3 bit breiten Statusbus S(2:0). Der CPU-AD-Bus wird gemäß den Forderungen der Systembusrichtlinie MMS 16 in einen separaten System-Adreß- und einen System-Datenbus aufgeteilt. Für den Anschluß der lokalen ZVE-Ressourcen, wie EPROM, serielles und paralleles Interface sowie eines Zweiportspeichers wird von dem CPU-AD-Bus ein lokaler, d. h. ZVE-interner Bus abgeleitet. Aus dem lokalen Bus wird durch Verstärkung und Steuerung der Systembus gebildet (siehe Blockschaltbild ZVE K 2771, Pkt. 3.3).

3.10.2. Adreßbus

Der Systembus MMS 16 verlangt für die Dauer der Buszyklen eine stabil anliegende Adresse. Deshalb wird die von der CPU während T1 auf den zeitmultiplexen CPU-AD-Bus gelieferte Adresse in dem Adreßregister (AR) auf Basis der Schaltkreise DS 8282 zwischengespeichert. Mit der Low-High-Flanke des ALE-Signals vom Lokal-

buscontroller wird die Adresse vom CPU-AD-Bus auf den lokalen Adreßbus AB(13:0) H durchgeschaltet. Die Rückflanke des ALE-Signals speichert die Adresse im Adreßregister und sperrt die Eingänge. Durch Verstärkung des lokalen Adreßbusses über die Adreßtreiber/-empfänger ADR-T/E (DS 8287) wird der Systemadreßbus /ADR(13:0) H gebildet. Da bei Systembuszugriffen zum angeschlossenen ZPS die Adresse über den Systembus geliefert wird, ist der lokale Adreßbus ein bidirektionaler Bus.

3.10.3. Adreßbussteuerung

Das Durchschalten der Adresse AD(13:0) H vom CPU-AD-Bus auf den lokalen Adreßbus erfolgt mit der Low-High-Flanke des ALE-Signals, wenn das Signal /SB-RAM-MODE inaktiv ist.

Das Abspeichern der Adresse AD(13:0) H im Adreßregister AR erfolgt in jedem Fall mit der High-Low-Flanke des ALE-Signals ohne weitere Bedingungen.

Ist das Signal /SB-RAM-MODE aktiv, werden die Ausgänge des Adreßregisters in den hochohmigen Zustand gebracht.

Das Durchschalten der Adresse AB(13:0) H vom lokalen Adreßbus auf den Systembus erfolgt bei inaktivem Signal /SB-RAM-MODE mit dem Signal /SB-AEN des Arbiters.

Bei einem Zugriff zu dem an X2 angeschlossenen ZPS über den Systembus erfolgt das Durchschalten der Systembusadresse /ADR(13:0) H auf den lokalen Adreßbus durch das aktive Signal /SB-RAM-MODE. Dabei werden die Ausgänge des Adreßregisters (AR) in den hochohmigen Zustand geschaltet.

3.10.4. Datenbus

Der zeitmultiplexe CPU-AD-Bus wird bei Eingaben zu Beginn von T3 in den Datenmodus geschaltet. Bei Ausgaben erfolgt diese Umschaltung zu Beginn von T2. Durch Verstärkung des CPU-AD-Busses AD(F:0) H über die Datentreiber/-empfänger DAT-T/E DS 8286 wird der lokale Datenbus DB(F:0) H gebildet, von dem durch weitere Verstärkung über die Datentreiber/-empfänger DS 8287 der Systemdatenbus /DAT(F:0) H abgeleitet wird. Zur Realisierung der Bytevertauschung sind die Datenleitungen /DAT(7:0) H mit den Datenleitungen DB(F:8) H über Treiber gekoppelt.

3.10.5. Datenbussteuerung

Die Datenbussteuerung erfolgt über die Auswahl- (CS) und Richtungssteuerung (DIR) der Datentreiber/-empfänger.

Auswahlsteuerung lokaler Datenbus

- Durch aktives Signal LBC-DEN des Lokalbuscontrollers sowohl bei lokalen PROM- sowie E/A-Zugriffen als auch bei der Übernahme der Interrupttyp-Information vom Interruptcontroller.
- Durch aktives Signal LBC-DEN des Lokalbuscontrollers sowie inaktiven Signalen /SB-RAM-MODE, /PROM-IO-EN und /LB-INTA-DEN bei CPU-Zugriffen zu einem an X2 angeschlossenen Zweiportspeicher.

Auswahlsteuerung System-Datenbus

- Durch aktives Signal /SB-RAM-DATA-EN und inaktives Signal /LB-INTA in Abhängigkeit von AB(0).

AB(0) = Low : /DAT (F:0) H .DB (F:0) H
 AB(0) = High : /DAT (7:0) H .DB (F:8) H

- Bei inaktivem Signal /SB-RAM-DATA-EN
 - a) durch /LB-INTA bei BV-Interrupts
 - b) bei inaktiven Signalen /LB-INTA und /LB-ADR durch SBC-DEN vom Systembuscontroller bei normalen Buszyklen in Abhängigkeit von AB(0) wie oben angegeben.

Richtungssteuerung lokaler Datenbus

Die Richtungssteuerung zwischen CPU-AD-BUS und lokalem Datenbus erfolgt durch das Signal LBC-DT/R des Lokalbuscontrollers.

Richtungssteuerung System-Datenbus

Die Richtungssteuerung zwischen lokalem Datenbus und Systemdatenbus erfolgt:

- Bei inaktivem Signal /SB-RAM-MODE durch das Signal LBC-DT/R des Lokalbuscontrollers
- Durch das Signal /SB-RAM-RD
 - /SB-RAM-RD = Low : Ausgaberrichtung auf Systembus
 - /SB-RAM-RD = High : Eingaberichtung von Systembus
 bei Zugriffen zu einem an X2 angeschlossenen Zweiportspeicher über den Systembus. Dabei liefert die ZVE K 2771 die CS- und DIR-Steuersignale für die Datentreiber/-empfänger auf dem ZPS.

3.10.6. Bytevertauschung

Tab. 3-5: Bytevertauschung

/BHEN	/ADR(0)	Slave-Datenwege	Systembusleitungen	an Transfer beteiligte Datenleitungen	übertragenes Byte	Verwendung
H	H		<p>/DAT (7:0)H</p> <p>/DAT (F:8)H</p>	/DAT(7:0)H	gerades	bei 8-bit Moduln 16-bit Moduln oder bei Kombinationen
H	L		<p>/DAT (7:0)H</p> <p>/DAT (F:8)H</p>	/DAT(7:0)H	ungerades	8-bit Moduln
L	H		<p>/DAT (7:0)H</p> <p>/DAT (F:8)H</p>	/DAT(F:0)H	gerades und ungerades	16-bit Moduln

Zur Gewährleistung der Kompatibilität von 8-bit- und 16-bit-Moduln des MMS 16 besitzt die ZVE K 2771 eine Bytevertauschungsschaltung, die die Übertragung von Bytes auf den niederwertigen Datenleitungen realisiert. Das aktive Signal /BHEN zeigt an, daß es sich um eine Übertragung eines Wortes handelt. Das Signal /ADR(0) legt die Übertragung des geraden oder ungeraden Bytes fest. Die Freigabe der Bytevertauschung erfolgt mit dem Signal /SW-CS. Tabelle 3-5 zeigt die an der Übertragung beteiligten Datenleitungen in Abhängigkeit von den Signalen /BHEN und /ADR(0).

3.11. Speicherorganisation

3.11.1. Allgemeine Bemerkungen

Die CPU K1810WM86 liefert einen Speicheradressraum von 1 MByte. Aus der Sicht der Programmierung kann ein Byte oder ein Wort auf eine beliebige Adresse abgespeichert werden, d. h., es sind keine Wortgrenzen festgelegt. Physisch ist der gesamte CPU-Speicheradressraum in zwei Banks von je 512 KByte organisiert.

Strukturell ist die eine Bank mit den niederwertigen 8 Datenleitungen verbunden und enthält somit nur Bytes mit geraden Adressen, die andere Bank ist mit den höherwertigen 8 Datenleitungen verbunden und enthält somit nur Bytes mit ungeraden Adressen. Ein Byte innerhalb der Banks wird durch die Adressen A(13:1) H ausgewählt. Die Auswahl der entsprechenden Bank erfolgt über die Signale A(0) und /BHE der CPU Bild 3-6. Das Signal /BHE wird für die Blockierung der höherwertigen Bank bei einem Übertragungszyklus verwendet. Die richtige Absperrung von Bytes in den internen CPU-Registern realisiert die CPU automatisch. Speicherwortzugriffe auf ungerade Adressen werden von der CPU automatisch in zwei aufeinanderfolgende Byte-Zugriffe umgewandelt.

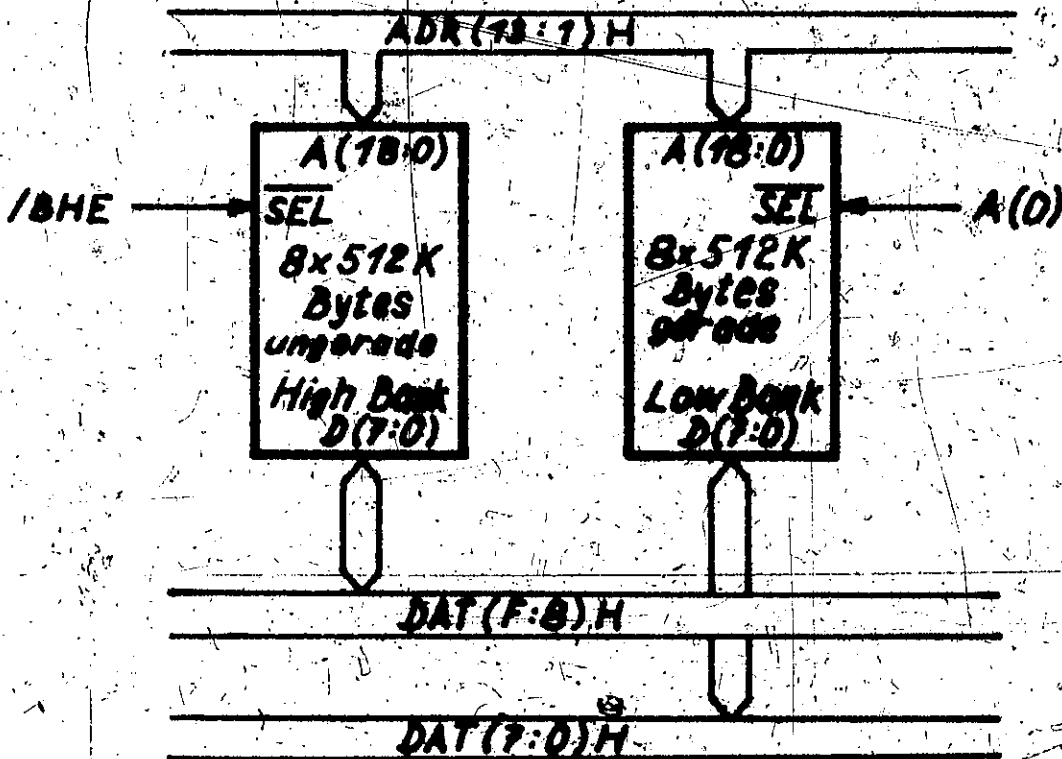


Bild 3-6: Speicherorganisation aus der Sicht CPU K1810WM86

3.11.2. Lokaler PROM

Die ZVE K 2771 enthält vier 28polige DIL-Fassungen für den Einsatz verschiedener EPROM-Typen als lokalen PROM-Speicher, in dem die Firmware der ZVE untergebracht wird. Folgende Bestückungsvarianten sind möglich (Tab. 3-6):

Tab. 3-6: EPROM-Bestückungsvarianten

Variante	Bestückung	Kapazität
1	2 x K573RF2	4K Byte
2	4 x K573RF2	8K Byte
3	2 x K573RF3	8K Byte
4	4 x K573RF3	16K Byte
5	2 x K573RF4	16K Byte
6 ^{x)}	4 x K573RF4	32K Byte

x) Bestückungsvariante bei Auslieferung des ZVE-Moduls K 2771 für den Einsatz im Arbeitsplatzcomputer A 7100. Werden andere EPROM-Typen eingesetzt, ist die Einstellung durch den Anwender vorzunehmen (siehe Pkt. 7).

3.11.2.1. Adreßverteilung und Ansteuerung

Die Auswahl und Ansteuerung der PROM's erfolgt durch den PROM-ZPS-Adreßdekor, der auf Basis des PROM-Schaltkreises 74 S571 realisiert ist.

Der PROM-ZPS-Dekor generiert folgende Signale:

- /ZPS	ZPS-Zugriff	Ausgang 04
- /ZPS-P	ZPS-Prüfung	Ausgang 03
- CS-EPROM	Chip Select EPROM	Ausgang 02
- /EN-EPROM	Enable EPROM	Ausgang 01

Aus den Signalen CS-EPROM und /EN-EPROM werden die PROM-Ansteuersignale /PCS₀ und /PCS₁ gebildet.

Folgende Zuordnung der Ansteuersignale zu den Steckplätzen ist realisiert:

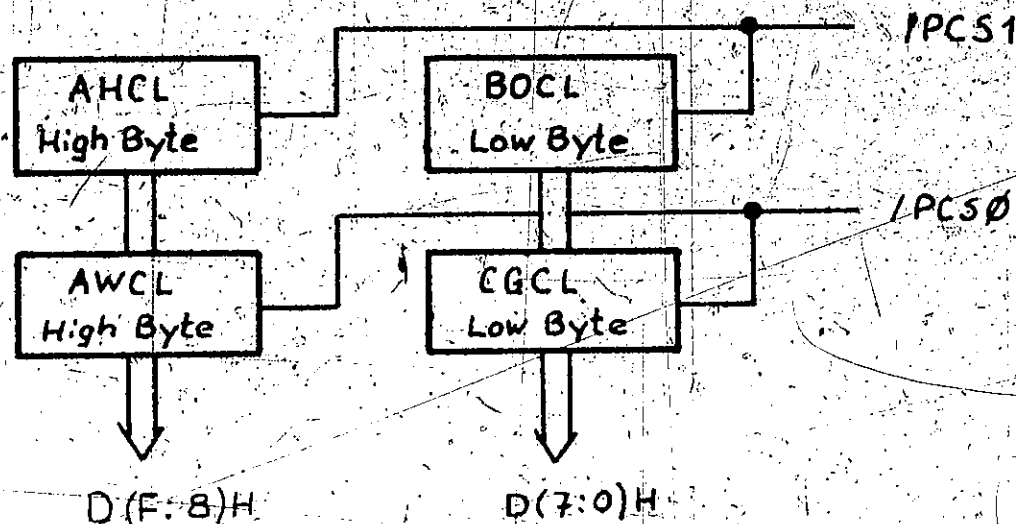


Bild 3-7: PROM-Ansteuerung

Die Adreßzuordnung zu den Ansteuersignalen zeigt Tabelle 3-7.

Tab. 3-7: PROM-Adreßverteilung

Variante	Adreßverteilung PCS 1	Adreßverteilung PCS 0
1	FFFFFH FF000H	FEFFFH FE000H x)
2	FFFFFH FF000H	FEFFFH FE000H
3	FFFFFH FE000H	FDFPFH FC000H x)
4	FFFFFH FE000H	FDFPFH FC000H
5	FFFFFH FC000H	FBFFFH F8000H x)
6	FFFFFH FC000H	FBFFFH F8000H

x) Signal /PCS 0 wird generiert; Adreßraum darf nicht anderweitig benutzt werden.

Achtung!

- Es dürfen vom Anwender nur EPROM-Schaltkreise mit einer maximalen Zugriffszeit von 390 ns eingesetzt werden.
- 24polige EPROM-Schaltkreise sind so zu bestücken, daß Pin 12 des Schaltkreises mit Pin 14 der 28poligen DIL-Fassung korrespondiert (Bild 3-8).

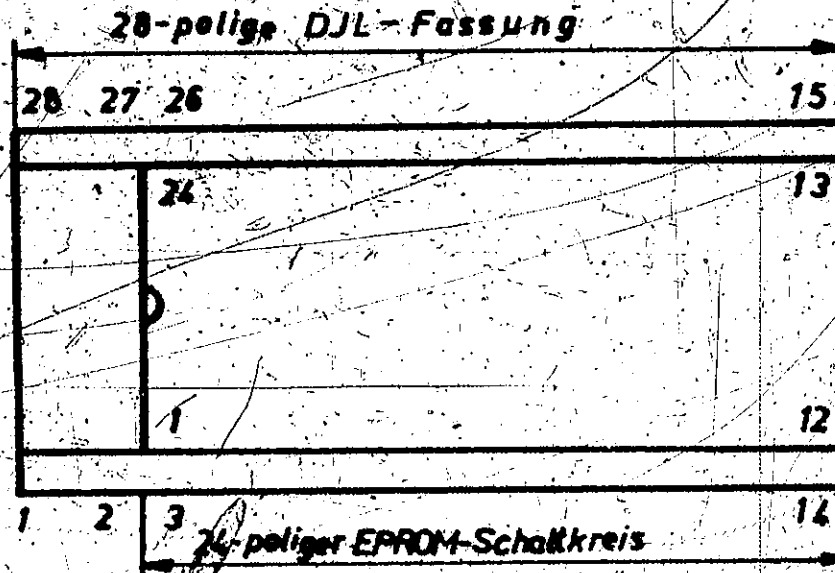


Bild 3-8: EPROM-Bestückung

3.11.3. Zweiportspeicher

Über die spezielle Schnittstelle X2 kann an den ZVE-Modul K 2771 ein Zweiportspeicher, speziell der Modul ZPS K 2071, angeschlossen werden. Der Anschluß des Zweiportspeichers erfolgt an den lokalen Bus der ZVE. Da der Zweiportspeicher sowohl CPU-Zugriffe als auch Zugriffe eines anderen Busmasters über den Systembus MMS 16 gestattet, übernimmt im letzteren Fall die ZVE K 2771 die Vermittlung des Verkehrs zwischen ZPS und Systembus.

Bei CPU-Zugriffen liegt der Adreßraum des Zweiportspeichers im Bereich von 0000H - 1FFFFH, d. h. die ZVE K 2771 ist in der Lage max. 128 KByte als Zweiportspeicher zu adressieren.

Bei Systembuszugriffen muß eine Transformierung der Systembusadresse in diesen Bereich erfolgen und der Zugriff über das Signal /SB-RAM-MODE der ZVE mitgeteilt werden.

CPU-Zugriffe haben gegenüber Systembuszugriffen eine höhere Priorität.

Die ZVE K 2771 ist in der Lage, spezielle Fehlermeldesignale über Interrupt zu erkennen. Die Fehlermeldung kann über die Signale:

ZPS - INTR Kontakt X2:A09
 /ZPS - NMI Kontakt X2:A08

erfolgen.

Für eine spezielle Auswertung des Fehlermeldesignals können in der entsprechenden Interruptbehandlungsroutine zusätzlich die Signale

/HIGH Port A(6) Kontakt X2:C09
 /LOW Port A(7) Kontakt X2:B08

über den PPI-Schaltkreis KR580WW55A abgefragt werden.

3.11.3.1. CPU-Zugriff zum ZPS

Dekodiert der PROM-ZPS-Adreßkoder eine Speicheradresse innerhalb des ZPS-Adreßraumes, so aktiviert er das Signal /ZPS. Die Verknüpfung dieses Signals mit dem Adreßbit AB(13)H liefert das Anforderungssignal für einen CPU-Zugriff zum angeschlossenen Zweiportspeicher /LB-ZPS-REQ.

Über den ZPS-Anschluß X2 wird das Signal dem ZPS bereitgestellt, der es für die Steuerung der Speicherzugriffe in Verbindung mit den entsprechenden Kommandos /ADV-MEM-WRT oder /MEM-RD verwenden muß.

Die Bereitschaft zur Beendigung des ZPS-Zugriffs der CPU muß der angeschlossene ZPS über das Signal /LB-ZPS-ACK, Kontakt X2:C07, signalisieren. Dieses Signal greift in die Readysteuering RDY1 des CPU-Taktgenerators ein. Die Steuerung der Adreß- und Datenwege für den CPU-ZPS-Zugriff übernimmt die Adreß- und Datenbussteuerung der ZVE K 2771.

3.11.3.2. Systembus-Zugriff zum ZPS

Hat ein anderer Busmaster als die ZVE K 2771 die Steuerung des Systembusses MMS 16 übernommen, so kann dieser Busmaster über den Systembus zu dem über X2 an die ZVE angeschlossenen Zweiportspeicher zugreifen.

Über das Signal /SB-RAM-MODE muß der jeweilige ZPS diese Situation der ZVE K 2771 mitteilen, die dann bei gewünschten CPU-Zugriffen bei laufenden Systembus-Zugriffen auf die Beendigung derselben warten muß.

Da der ZPS an den lokalen Bus der ZVE angeschlossen wird, ist die Weiterarbeit der ZVE mit ihren lokalen Ressourcen bei laufenden Systembuszugriffen zum ZPS blockiert. Die ZVE übernimmt aber die Steuerung der Adreß- und Datenwege vom/zum ZPS, indem sie die entsprechenden Steuersignale bereitstellt.

Anmerkung:

Der ZVE-Modul K 2771 kann zu einem an X2 angeschlossenen Zweiportspeicher nicht über den Systembus MMS 16 (X1) zugreifen.

3.11.4. ZVE-Speicheradreßverteilung

Von der CPU werden 20 bit-Speicheradressen auf den CPU-AD-Bus AD(13:0) H ausgegeben, die bei lokalen Speicher- und ZPS-Zugriffen auf dem lokalen Adreßbus AB(13:0) H und bei SB-Zugriffen auf den Leitungen /ADR(13:0) H bereitstehen. Die auf dem Systembus MMS 16 vorhandenen vier höchstwertigen Adreßleitungen /ADR(17:14) H werden von der ZVE K 2771 nicht bedient. Tabelle 3-8 zeigt die Speicheradreßverteilung der ZVE K 2771.

Tab. 3-8: Speicheradreßverteilung ZVE K 2771

Adreßbereich (H)	Ressourcen	Bemerkung
00000-1FFFF	ZPS, falls vorhanden, sonst SB-Zugriff	bei SB-Zugriff gleichzeitig Adreßausgabe auf X2
20000-F7FFF	Systembuszugriff	bei max. EPROM Speicherkapazität
F8000-FDFFF	Systembuszugriff oder lokaler EPROM-Zugriff bei entsprechender EPROM-Bestückung	EPROM nicht von SB zugreifbar
FE000-FFFFF	stets lokaler EPROM-Zugriff	EPROM nicht von SB zugreifbar

3.12. Ein-/Ausgabeorganisation

3.12.1. Allgemeine Bemerkungen

Von der CPU K1810WM86 werden 16 bit-E/A-Adressen auf den Leitungen AD(F:0) H bereitgestellt, die bei lokalen Ein-/Ausgaben auf den Leitungen AB(F:0) H und bei Systembus-Ein-/Ausgaben auf den Leitungen /ADR(F:0) H bereitstehen. Damit können 64 K E/A-Byteregister oder 32 K E/A-Wortregister adressiert werden. Bei der E/A-Adreßausgabe liefert die CPU auf den Leitungen AD(13:10) H Low-Potential. E/A-Ports werden auf die gleiche Weise wie Speicherzellen adressiert, d. h. E/A-Zugriffe können als Byte- oder Wortzugriff programmiert werden. Bytezugriffe auf dem lokalen Bus mit gerader E/A-Adresse erfolgen über die niederwertigen 8 Datenleitungen, Bytezugriffe mit ungerader E/A-Adresse über die höherwertigen 8 Datenleitungen. Die CPU bringt bei einem Byte-Eingabezyklus die nicht verwendeten Datenleitungen in den hochohmigen Zustand. Bei einem Byte-Ausgabezyklus werden die nicht verwendeten Datenleitungen von der CPU getrieben, so daß die Information undefiniert ist. Ein Wortzugriff auf eine ungerade E/A-Adresse wird von der CPU automatisch in

zwei aufeinanderfolgende Bytezugriffe ungewandelt, wobei zunächst das Byte mit der ungeraden E/A-Adresse und danach das Byte mit der nächstfolgenden geraden E/A-Adresse behandelt wird.

Die Abspeicherung des Wortes in den internen CPU-Registern erfolgt automatisch richtig und ist für den Programmierer transparent.

E/A-Zugriffe zwecks Byteübertragung auf dem Systembus erfolgen sowohl bei gerader als auch ungerader E/A-Adresse immer auf den niederwertigen Datenleitungen /DAT(7:0) H. Die Bytevertauschung steuert die ZVE durch Beeinflussung der Systembus-Datentreiber/-empfänger. E/A-Wortzugriffe auf ungerade E/A-Adressen werden wie oben beschrieben behandelt.

3.12.2. Lokale Ein-/Ausgabe

Der E/A-Adreßdekoder dekodiert die Adresse auf den Leitungen AB(F:3) H und wird durch das Signal ADV-IO-ADR freigegeben. Ist AB(F:8) H = Low, AB(7:6) = High und AB(5) = Low, bildet der E/A-Adreßdekoder das Signal /IO-AACK. Das Signal /IO-AACK gibt den CS-Dekoder frei, der die Adreßsignale AB(4:3) dekodiert.

Gleichzeitig greift /IO-AACK über das Signal /PROM-IO in die Readysteuering des RDY1-Eingangs des CPU-Taktgenerators ein.

In Abhängigkeit der Adreßkodierung erzeugt der CS-Dekoder die CS-Signale der lokalen ZVE-Ressourcen (Tab. 3-9).

Tab. 3-9: Dekodierung der CS-Signale

Adresse		Chip-Select Signal
AB(4)	AB(3)	
L	L	/CS8259
L	H	/CS8255
H	L	/CS8253
H	H	/CS8251

Von dem /IO-AACK-Signal werden die Signale /PROM-IO und /LB-ADR abgeleitet. Das Signal /PROM-IO steuert die Datentreiber/-empfänger des lokalen Busses, und das /LB-ADR-Signal sperrt den Bus-Arbitrer und den Systembuscontroller. Das Richtungssteuersignal des Lokalbuscontrollers LBC-DT/R steuert die entsprechende Richtung der Datentreiber/-empfänger. Ist der über die E/A-Adresse angesprochene Schaltkreis bereit, so wird über die Signale AB(2:1) und die entsprechenden Kommandosignale des Lokalbuscontrollers die gewünschte Funktion ausgelöst.

3.12.3. System-Ein-/Ausgabe

Der E/A-Adreßdekorier dekodiert die E/A-Adresse AB(F:3) H wie unter Pkt. 3.12.2. beschrieben. Wird keine lokale E/A-Adresse erkannt, liegt das /LB-ADR-Signal auf High und der Bus-Arbiter und Systembus-Controller sind freigegeben. Beide empfangen den CPU-Status /S(2:0). Wird bei der Dekodierung eine E/A-Operation erkannt, bemüht sich der Bus-Arbiter um die Busherrschaft (siehe Pkt. 3.14.). Die Verknüpfung des /LB-ADR-Signals mit dem /SB-AEN-Signal aktiviert den Systembuscontroller zur Ausgabe der entsprechenden Kommandosignale. Das Signal SBC-DEN wird aktiv, womit die Systembus-Datenempfänger/-treiber vorbereitet werden. Mit dem LBC-DT/R-Signal des Lokalbuscontrollers wird die Übertragungsrichtung festgelegt.

Mit dem Empfang des XACK-Signals über den Systembus beendet die CPU den E/A-Zyklus.

3.12.4. ZVE-E/A-Adreßverteilung

Die E/A-Adreßverteilung der ZVE K 2771 zeigt Tabelle 3-10:

Tab. 3-10: ZVE-E/A-Adreßverteilung

Adreßbereich (H)	Ressource	Bemerkung
0000 - 00BF	Systembuszugriff	
00C0 - 00DF	lokale ZVE-E/A-Ressourcen	nicht über SB zugreifbar
00E0 - FFFF	Systembuszugriff	

Anmerkung:

Alle lokalen ZVE-E/A-Ressourcen sind 8 bit-Register. Wortzugriffe auf gerade E/A-Adressen sind erlaubt, wobei beim Lesen das höherwertige Byte undefiniert ist. Ungerade E/A-Adressen sind unerlaubt.

Tab. 3-11: E/A-Ressourcen

E/A-Adresse (Hex)	Ressourcen	Funktion
0000 0002 0040 0042	OPS OPS OPS OPS	Fehlerregister Zuordnung wahlfrei
00C0	Interrupt- controller PIC KR580WN59A	Write: ICW1, OCW2, OCW3 Read: Status and Poll
00C2		Write: ICW2, ICW3, ICW4 OCW1 (Maske) Read: OCW1 (Maske)
00C8	Parallel- interface PPI KR580WW55A	Write/Read: Port A
00CA		Write/Read: Port B
00CC		Write: Port C Read: Port or Status
00CE		Write: Control Read: -
00D0	Timer PIT KR580WI53	Write/Read: Counter 0
00D2		Write/Read: Counter 1
00D4		Write/Read: Counter 2
00D6		Write: Control Read: -
00D8	Serieller Interface (IFSS) USART KR580WW51A	Write/Read: Data
00DA		Write: Mode or Command Word Read: Status
0100 0101	KES	Wake up 1. Kanal gilt für A 7100-Monitor Wake up 2. Kanal
0200 0202	ABS oder KGS	Status-Register gilt für Daten-Register A 7100-Monitor

3.13. Interruptstruktur

3.13.1. Allgemeine Bemerkungen

Die Interruptstruktur der ZVE K 2771 basiert auf dem Interruptverhalten des CPU-Schaltkreises K1810WM86 in Zusammenarbeit mit dem programmierbaren Interruptcontroller (PIC) KR580WN59A, der acht Interruptebenen behandelt. Die Interruptbehandlung ist vektororganisiert auf der Grundlage einer im Speicher vorhandenen Interruptvektortabelle, die 256 Interruptvektoren enthält (Tab. 3-12). Die ZVE K 2771 enthält einen Master-PIC und gestattet durch externe Erweiterung mittels Kaskadierung weiterer Slave-PIC über den Systembus die Anzahl der Interruptebenen auf maximal 64 zu erhöhen. Dabei ist der Master-PIC entsprechend zu initialisieren. Jede Interruptleitung des Master-PIC kann individuell zur Behandlung eines nicht busvektorierten (NBV) oder eines busvektorierten (BV) Interrupts programmiert werden. Um den unterschiedlichen Anforderungen der verschiedenen Einsatzfälle Rechnung zu tragen, ist auf dem ZVE-Modul eine Interrupt-Matrix realisiert, die es ermöglicht, verschiedene Interruptquellen mittels Wickelbrücken auszuwählen und dem Master-PIC auf verschiedenen Interruptebenen zur Behandlung anzubieten. Alle Interrupts, die dem Master-PIC zur Behandlung angeboten werden, führen in der CPU zu einem maskierbaren Interrupt (INTR). Darüber hinaus bietet die ZVE K 2771 die Möglichkeit, Interruptsachen als nicht maskierbaren Interrupt in der CPU zu behandeln (NMI).

Eine Besonderheit der Interruptstruktur der ZVE K 2771 besteht darin, daß sie in der Lage ist, über den PPI-Schaltkreis KR580WW55A einen programmierbaren Interrupt auf dem Systembus MMS 16 zu erzeugen. Dazu wird der Ausgang PC1 (X909) oder PC2 (X932) mit dem Wickelstift X908 verbunden. Durch Verbindung des Wickelstiftes X822 mit den Systembus-Interruptleitungen /INT (7:0) über die entsprechenden Wickelstifte (siehe Tab. 7-15) kann das programmierbare Interruptsignal direkt auf den Systembus gelegt werden.

Tab. 3-12: Verteilung der Interruptvektoren

Typ	Vektor	Bemerkung
Typ 255	frei	für den Nutzer
⋮	frei	verfügbar
39	PIC-IR 7	gilt für Modul K 2771 mit A 7100-Monitor 4 x K573RF4
⋮	⋮	
32	PIC-IR 0	
⋮	reserviert	für Erweiterungen
4	INT 0	Überlauf
3	INT 3	1-Byte Interruptbefehl
2	NMI	nicht maskierbarer Interrupt
1	SB	Einzel-schritt
0	DBZ	Division durch 0

3.13.2: Interrupt-Matrix

Die Interrupt-Matrix der ZVE K 2771 gibt die möglichen Quellen der Interruptanforderungssignale und die zugehörigen Wickelstifte (X) an sowie die Ziele, die mit den möglichen Quellen mittels Wickelbrücken verbunden werden können:

INTR-Ursachen lösen in der CPU einen maskierbaren Interrupt aus, NMI-Ursachen einen nichtmaskierbaren Interrupt.

Die Interrupt-Matrix bietet die Möglichkeit, über die Signale FINTOR (X817) und SINTOR (X833) verschiedene Interruptursachen zur Erzeugung eines gemeinsamen Interruptsignals INTOR (X801) zu odern.

Die ZVE K 2771 ist für den Einsatz des Arithmetikprozessors K1810WM87 vorbereitet. Dazu ist über die Durchkontaktierung BKEJ (Einsatz eines Garry-Kontaktes) das Interruptsignal des K1810WM87 auf den Wickelstift X834 der Interrupt-Matrix geführt.

Bemerkungen zur Interrupt-Matrix:

- Das Signal /INT~~0~~ besitzt die höchste, das Signal /INT7 die niedrigste Priorität (bei A 7100-Initialisierung).
- Die Interruptanforderungssignale vom Systembus sind High aktiv an den entsprechenden Wickelstiften.

- Das Systembusinterruptsignal vom PPI (SB-INTR-OUT) ist Low aktiv am entsprechenden Wickelstift. Polarität ist durch PPI-Programmierung zu steuern.
- Die Interruptanforderungssignale an den Systembus müssen Low aktiv an den entsprechenden Wickelstiften sein, da sie direkt mit den Businterruptleitungen verbunden sind.
- Die Interruptanforderungssignale an den PIC müssen High aktiv an den entsprechenden Wickelstiften sein. Das Signal IRQ6 hat die höchste, das Signal IRQ7 die niedrigste Priorität.
- Das Interruptanforderungssignal INTR an die CPU ist direkt verbunden: (Ausgang PIC mit Eingang CPU).

3.13.3. Interruptarten

Das Interruptsystem der ZVE K 2771 erlaubt die Behandlung folgender Interruptarten:

- definierte interne Interrupts
- programmierbare interne Interrupts
- maskierbare externe Interrupts
- nicht maskierbare externe Interrupts

Das Interruptsystem beinhaltet fünf definierte interne Interrupts, die bei Eintreten der entsprechenden Interruptbedingungen über eine fest definierte Interruptvektoradresse die zugehörige Interruptbehandlungsroutine aufrufen (Tab. 3-13).

Tab. 3-13: Definierte interne Interrupts

Interruptursache	Interrupttyp
Division durch 0 (DBZ)	0
Einzelschritt (SS)	1
NMI (NMI)	2
1-Byte Interrupt-Befehl (INT3)	3
Überlauf (INTO)	4

Programmierbare interne Interrupts werden durch den Nutzer mit Hilfe der 2-Byte-Interruptbefehle INT nn erzeugt, wobei durch nn der Interrupttyp angegeben wird.

Alle maskierbaren externen Interrupts werden von der Systemhardware initiiert, wirken auf den INTR-Eingang der CPU und können über das PIC-Maskenregister sowie über das IF-Flag gesperrt werden.

Der INTR-Eingang der CPU wirkt pegelgetriggert und reagiert auf den High-Pegel. Ein aktives INTR-Signal wird von der CPU mit der vorletzten Low-High-Flanke des Taktsignals CLK während einer Befehlsausführung erkannt. Die vom PIC KR580WN59A gelieferten Interrupttyp-Informationen sind innerhalb der ZVE K 2771 mit den Interrupttypen 32 - 39 verbunden (gültig bei Einsatz des A 7100-Monitors, 4 x K573RF4).

Nicht maskierbare externe Interrupts werden von der Systemhardware initiiert und wirken auf den NMI-Eingang der CPU. Sie haben die höchste Priorität und sind nicht durch das IF-Flag des Statusregisters beeinflussbar.

Der NMI-Eingang der CPU wirkt flankengetriggert und reagiert auf die Low-High-Flanke. Das NMI-Signal muß eine minimale Dauer von mehr als zwei Taktzyklen T der CPU aufweisen, braucht aber mit dem CPU-Takt CLK nicht synchronisiert zu sein. Eine nach dem Start der NMI-Prozedur eintreffende positive Flanke wird als neuer NMI erkannt.

Die verschiedenen NMI-Ursachen werden zur Erzeugung des NMI-Signals geodert.

Als NMI-Ursachen sollten nur Signale, die systembedrohende Zustände wie Spannungsausfall, Lüfterausfall usw. melden, verwendet werden.

Über folgende Kontakte können NMI-Interruptsignale eingespeist werden:

- X1:A05 Spannungsausfall /PFIN, einstellbar über X744-X743.
- X2:A08 wird bei ZPS-Anschluß an X2 als /ZPS-NMI behandelt.

Über die Wickelstifte X816 und X815 sind weitere NMI-Interruptursachen in die NMI-Interrupterzeugung einzubinden. Dabei ist die Polarität der entsprechenden Signale zu beachten.

Über den Ausgang PC7 des PPI KR580WW55A kann durch Verbindung der Wickelstifte X901 - X923 der NMI softwaremäßig freigegeben oder gesperrt werden.

3.13.4. Interruptoperationen

Der auf der ZVE K 2771 vorhandene Interruptcontroller KR580WN59A ist in der Lage, sowohl busvektorierte (BV) als auch nicht busvektorierte (NBV) Interrupts zu behandeln. In beiden Fällen arbeitet der Schaltkreis als Master-PIC. Er steuert den INTR-Eingang der CPU und initiiert über ein High-Signal den Interrupt-Acknowledge-Zyklus (Bild 3-9).

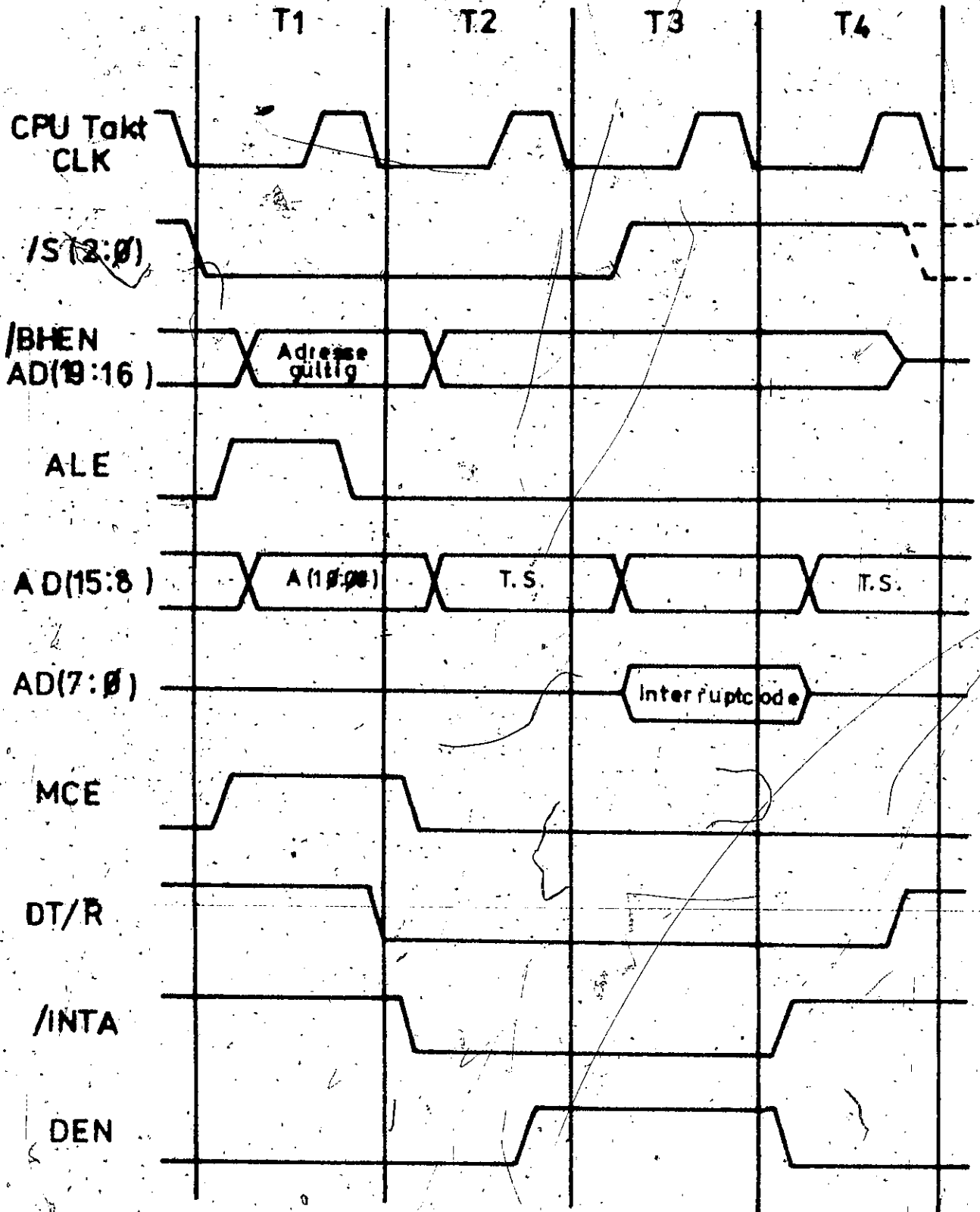
Für jeden Interrupt, der von dem Master-PIC auf dem ZVE-Modul oder von einem Slave-PIC, der über dem Systembus mit dem Master-PIC verbunden ist, initiiert wird, sind zwei aufeinanderfolgende INTA-Zyklen notwendig.

Der Interrupt-Acknowledge-Zyklus ist identisch mit dem Lesesyklus (siehe Bild 3-9) mit dem Unterschied, daß das /INTA-Signal anstelle des /MRDO oder /IORC Signals aktiv wird und der Adreßbus in den hochohmigen Zustand gebracht wird. Mit dem ersten INTA-Zyklus wird der Interruptzustand im PIC eingefroren. Im zweiten INTA-Zyklus wird die Interrupttyp-Information vom externen Interruptsystem übertragen. Beginnend von T2 des ersten Buszyklus bis T2 des zweiten Buszyklus sendet die CPU das LOCK-Signal, womit eine Unterbrechung des Interruptzyklus verhindert wird. Die Interrupttyp-Information identifiziert die Quelle der Interruptanforderung. Die CPU multipliziert die übertragene Interrupttyp-Information mit vier, wodurch die dem entsprechenden Interrupttyp zugeordnete Interruptvektoradresse gebildet wird. Die Interruptvektoradresse wird als Zeiger für den Einsprung in die Interruptvektortabelle (Tab. 3-14) verwendet, die auf den absoluten Adressen von 000 H bis 3FFH des Speichers untergebracht werden muß. Jedem der 256 möglichen Interrupttypen entspricht in der Interruptvektortabelle ein Interruptvektor (IV), der eine neue Codesegment-Adresse und einen neuen Befehlszählerinhalt für den Aufruf der Interruptbehandlungsroutine enthält.

Tab. 3-14: Interruptvektortabelle ZVE K 2771

Interruptvektoradressen	Interruptvektor	absolute Adresse	Interrupt-Typ	Interrupttyp-Information
3FCH	IV 255	3FFH - 3FCH	255	1 1 1 1 1 1 1 1
3FBH	IV 254	3FBH - 3F8H	254	
004H-3F7H	· · ·	· · ·	· · ·	
000	CS_(MSB)_ CS_(LSB)_ IP_(MSB)_ IP_(LSB)	003H 002H 001H 000H	0	0 0 0 0 0 0 0 0

Bild 3-9: Interrupt-Acknowledge-Zyklus



3.13.5. Interruptbearbeitungsfolge

Bild 3-10 zeigt die Interruptbearbeitungsfolge, wie sie von der CPU K1810WM86 auf der ZVE K 2771 realisiert wird.

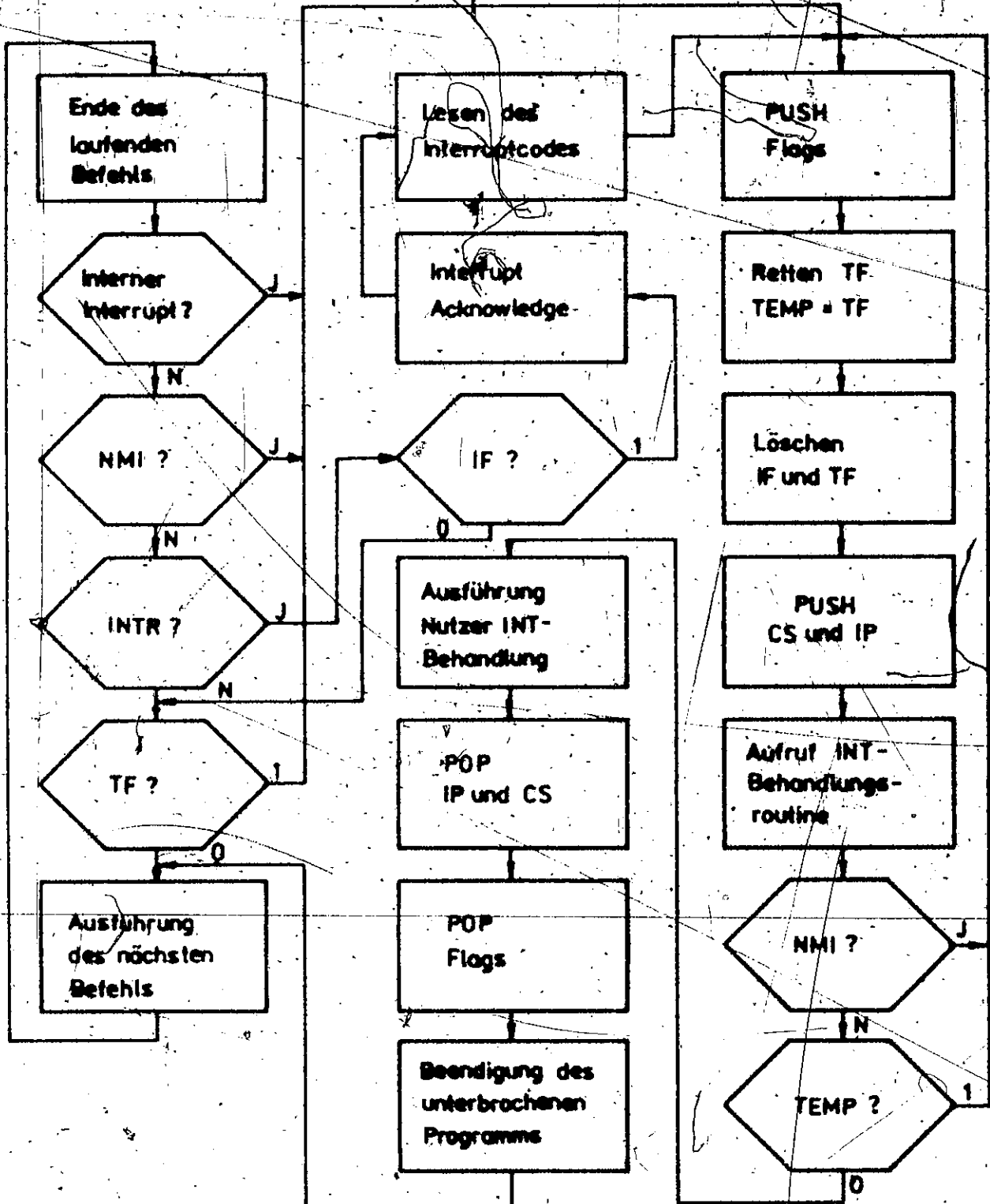


Bild 3-10: Interruptbearbeitungsfolge

3.13.6. Nicht busvektorierte Interrupts (NBV)

Nicht busvektorierte Interrupts werden vom Master-PIC auf dem ZVE-Modul initiiert. Liegt keine Interruptursache mit höherer Priorität vor, so aktiviert der Master-PIC das INTR-Signal. Unter der Voraussetzung, daß kein NMI vorliegt und das IF-Flag im Statusregister der CPU gesetzt ist, beendet die CPU den laufenden Befehl und leitet den Interrupt-Acknowledge-Zyklus ein.

Der Busarbiter übernimmt die Systembussteuerung, und der Lokalbuscontroller aktiviert das LBC-MCE-Signal, das durch Aktivierung des /LOCK-Signals dafür sorgt, daß die Systembussteuerung nicht vor Beendigung des zweiten INTA-Zyklus abgegeben wird. Der Systembuscontroller aktiviert das /INTA-Bussignal, woraus der Master PIC seinen internen Status der Prioritätsentscheidungslogik einfriert. Gleichzeitig wird mit dem Signal /INTA das Interrupt-FF gesetzt, welches über das /F-INTA-ACK-Signal das Ready-Signal für die Beendigung des ersten INTA-Zyklus bildet. Die CPU leitet daraufhin den zweiten INTA-Zyklus ein. Mit Empfang des zweiten /INTA-Signals gibt der Master-PIC die 8-Bit Interrupttyp-Information auf den lokalen Datenbus aus, die mit dem Signal /PIC-DEN gültig gemacht wird. Das resultierende /LB-INTA-DEN-Signal steuert die Lokalbus-Datentreiber/-empfänger und die Bildung des CPU-Ready-Signals. Das zweite /INTA-Signal setzt gleichzeitig das Interrupt-FF zurück. Die CPU übernimmt die Interrupttyp-Information, beendet den Interrupt-Acknowledge-Zyklus und ruft nach dem oben beschriebenen Ablauf die entsprechende Interruptbehandlungsroutine auf.

3.13.7. Busvektorierte Interrupt (BV)

Der busvektorierte Interrupt läuft analog dem nicht busvektorierten Interrupt ab mit folgenden Unterschieden:

- Mit dem Empfang des ersten /INTA-Signals generiert der Master-PIC über sein /PIC-DEN-Signal das resultierende /LB-INTA-DEN-Signal und gibt über CAS(2:0) den Interrupt-Adreßcode auf die Leitungen AD (A:8) H aus, der mit dem /LBC-MCE-Signal gültig gemacht wird und mit ALE im Adreßregister gespeichert wird.
- Das /LB-INTA-DEN-Signal steuert die Systembus-Datentreiber/-empfänger.
- Die Interrupttyp-Information wird von dem Slave-PIC auf den niederwertigen acht Systembusdatenleitungen übertragen.

3.14. Busarbitrage

3.14.1. Allgemeine Bemerkungen

Die Busarbitrage der ZVE K 2771 wird auf Basis des Bus-Arbiters KR580WG89 realisiert, der mit dem Systembus-Controller KR580WG88 zusammenarbeitet, damit den Anschluß der ZVE an den Systembus MMS 16 gewährleistet und sie multimasterfähig macht. Die Aufgabe des Bus-Arbiters besteht in der Verteilung der Bus-herrschaft entsprechend vorgegebener Prioritäten. Die vorhandenen Einstellmöglichkeiten auf der ZVE K 2771 erlauben es, den Arbitrer in verschiedenen Arbeitsmodi funktionieren zu lassen, sowie die serielle als auch die parallele Prioritätsentscheidung zu realisieren. Alle Systembusaktionen, die der Bus-Arbitrer steuert, sind mit dem Bustakt /BCLK, das Zusammenspiel zur CPU-Seite mit dem CPU-Takt CLK synchronisiert. Der Arbitrer auf der ZVE K 2771 ist fertigungsmäßig so verschaltet, daß er die serielle Prioritätsentscheidung realisiert und bei einer Bustaktfrequenz von 9,832 MHz die Serienschaltung von maximal 3 Bus-Arbitrern zuläßt.

3.14.2. Funktionsweise des Arbiters

Liegt das Signal /LB-ADR am Eingang SYSB/RESB des Arbiters auf High und signalisiert der Status /S (2:0) eine Busoperation, zieht der Arbitrer sein /BREQ-Signal auf Low und das /BPRO-Signal auf High. Ist der /BPRN-Eingang des Arbiters aktiv, so aktiviert dieser mit der nächsten High-Low-Flanke des Bustaktes /BCLK das /BUSY- und das /SB-AEN-Signal. Mit dem /BUSY-Signal zeigt der Arbitrer an, daß er die Busherrschaft übernommen hat.

Das /SB-AEN-Signal steuert den /AEN2-Eingang des CPU-Taktgenerators, die Systembus-Adreßtreiber und den /AEN-Eingang des Systembuscontrollers. Mit der Low-High-Flanke des /ALE-Signals des Lokalbuscontrollers wird der WAIT-Generator freigegeben, der das Signal T2 aktiviert. Die Verknüpfung der Signale /SB-AEN und T2 aktiviert den Systembuscontroller. Das inaktive /LB-ADR-Signal gibt den Systembuscontroller frei, der den Status /S (2:0) dekodiert und das entsprechende Systembuskommandosignal aktiviert.

Gleichzeitig aktiviert der Systembuscontroller das SBC-DEN-Signal, das die Systembus-Datentreiber/-empfänger frei gibt. Die Übertragungsrichtung wird mit dem Signal LBC-DT/R des Lokalbuscontrollers gesteuert. Mit dem Empfang des /XACK-Signals über den Systembus beendet die CPU den initiierten Übertragungszyklus. Der Bus-Arbitrer nimmt die Signale /SB-AEN und /BUSY sowie der Systembuscontroller das Signal SBC-DEN zurück.

Darf die Busherrschaft z. B. bei der Abarbeitung bestimmter Befehle nicht abgegeben werden, so wird der /LOCK-Eingang des

Bus-Arbiters aktiviert. Bei jedem Interrupt-Acknowledge-Zyklus wird das /LOCK-Signal automatisch mit der Ausgabe des ersten /INTA-Signals aktiv.

3.14.3. Serielle Prioritätsentscheidung

Die serielle Prioritätsentscheidung entbindet von der Notwendigkeit einer zusätzlichen Prioritätsentscheidungs-Logik und ist somit aufwandsparend gegenüber der parallelen Prioritätsentscheidung. Ein Nachteil besteht darin, daß durch die Frequenz des Bustaktes und der Durchlaufverzögerung des /BPRO-Signals die Schaltung auf maximal drei Bus-Arbiters begrenzt ist.

Die Zusammenschaltung der Arbiters erfolgt durch eine Daisychain-Kette der Signale /BPRN und /BPRO, indem der /BPRO-Ausgang des höherpriorisierten Arbiters mit dem /BPRN-Eingang des nächstniederpriorisierten Arbiters verbunden wird. Das /BPRN-Signal des Arbiters mit der höchsten Priorität wird auf Low gelegt. Hat ein Arbiter in der Daisychain-Kette ein Gesuch auf die Systembusherrenschaft durch Aktivierung seines /CBRQ-Signales gestellt, so legt er seinen /BPRO-Ausgang auf High und sperrt damit alle nachfolgenden Arbiters in der Kette.

Wird der Bustakt /BCLK nicht von dem ZVE-Modul K 2771 erzeugt, so muß abhängig von der Frequenz die Anzahl der möglichen Arbiters in der Daisychain-Kette durch den jeweiligen Systementwickler bestimmt werden, wobei die konkreten Gegebenheiten zu beachten sind.

Dabei gilt folgende Formel:

$$t_{BCLK\ min} \geq t_{BLPOH\ max} + t_{PNPO\ max} (N-1) + t_{PNBL\ max}$$

mit N = Anzahl der seriell verschalteten Arbiters

t_{BCLK} = Periode des Bustaktes /BCLK

t_{BLPOH} = Verzögerungszeit von der HL-Flanke des Bustaktes /BCLK bis zur LH-Flanke des Signals /BPRO

t_{PNPO} = Durchlaufverzögerung des /BPRN-Signals (Zeit zwischen HL-Flanke /BPRN bis HL-Flanke /BPRO)

t_{PNBL} = Verzögerungszeit von der HL-Flanke des Signals /BPRN bis zur HL-Flanke des Bustaktes /BCLK.

3.14.4. Bus Lock

Der LOCK-Eingang des Arbiters wird von dem CPU-Lock-Signal und dem über den PPI-Schaltkreis programmierbaren /OVERRIDE-Signal gesteuert.

Die Systembus-Lock-Leitung wird von der ZVE K.2771 nicht bedient und nicht ausgewertet.

Das LOCK-Signal des Arbiters K580WN59A wird aktiviert:

- automatisch bei der Ausführung bestimmter Befehle
- bei der Ausführung der LOCK-Prefix-Instruction
- automatisch beim Interrupt-Acknowledge-Zyklus
- programmiert über PPI.

Anmerkung:

Die 1-Byte LOCK-Prefix-Instruction blockiert den Systembus nur für die Dauer der Ausführung des nachfolgenden Befehls. Zwischen zwei aufeinanderfolgende LOCK-Prefix-Instructions wird der Systembus freigegeben.

3.15. Schnittstellen

3.15.1. Allgemeine Bemerkungen

Die ZVE K 2771 liefert fünf Schnittstellen über Steckverbinder nach außen:

- Systembus MMS 16 : X1,
- ZPS - Anschluß : X2,
- Serielles Interface : X3,
- Frontpaneel-Anschluß : X4,
- Paralleles Interface : X5

Die Anordnung der einzelnen Steckverbinder sowie der Steckverbindertyp ist Pkt. 4 zu entnehmen.

Die Steckverbinderbelegungen zeigt Anlage 2.

Bemerkung:

Der Steckverbinder X4 ist neben den Signalen für den Anschluß eines minimalen Frontpaneels mit speziellen Prüfsignalen belegt. Gleiches trifft für den Steckverbinder X2 zu (siehe Anlage 2).

3.15.2. Systembus MMS 16 - X1

Über den Steckverbinder X1 realisiert die ZVE K 2771 den Anschluß an den Systembus MMS 16 (nach IEC-796).

Zur Realisierung und Funktion des Systembus MMS 16 - siehe Systembusrichtlinie.

3.15.3. ZPS - Anschluß - X2

Über den Steckverbinder X2 realisiert die ZVE K 2771 ein nicht standardisiertes Interface für den Anschluß eines Zweiportspeichers, speziell des Moduls ZPS K 2071. Zu den Anschlußbedingungen siehe Pkt. 2.2.

3.15.4. Frontpanel - Anschluß - X4

Über den Steckverbinder X4 liefert die ZVE K 2771 Signale, die der Anwender zur Realisierung eines minimalen Frontpanels nutzen kann, das über Kabel mit der ZVE verbunden wird. Zu dieser Verbindung gehört folgender Signalumfang (Tab. 3-15).

Tab. 3-15: X4, FP-Signalumfang

Signal	Funktion	I/O
/S (2:0) L	ZVE-Status	O
SET-DC-OFF	Anweisung zur Abschaltung der Gleichspannung	O
TONE	Einschaltsignal für akustischen Geber	O
/AUX-RESET	Systeminitialisierung über Reset-Taste	I

Mit diesem Signalumfang lassen sich Funktionen wie:

- RESET-Taste
- Anzeige der Versorgungsspannung
- Status-Anzeige HALT und RUN
- Akustischer Geber

realisieren. Die dafür zusätzliche Logik ist durch den Systementwickler bzw. OEM-Anwender, seinen speziellen Forderungen entsprechend, zu entwickeln.

Alle Signalleitungen sind TTL-kompatibel.

Zu den Anschlußbedingungen siehe Pkt. 2.2.

Die Funktion Spannungsausfallerkennung ist über das Signal /PFIN auf den Systembus (Kontakt X1:A05) realisierbar.

3.15.5. Serielles Interface IFSS

Das serielle Interface IFSS ist für den direkten Anschluß eines Terminals oder einer Tastatur vorgesehen. Auf dem ZVE-Modul K 2771 wird es unter Verwendung des Baustein KR580WW51A realisiert.

Als Standardisierungsmaterial gilt die TGL 42886.

Das IFSS erlaubt eine asynchrone Datenübertragung mittels zweier 20 mA-Stromschleifen über eine 4-Drahtleitung im Duplexbetrieb. Für die Informationsübertragung können durch Programmierung folgende Formate gewählt werden:

Baudratenfaktor : 1,16 oder 64

1 Startbit

5 - 8 Datenbit

0,1 Paritätsbit (für gerade oder ungerade Parität)

1, 1 1/2 oder 2 Stoppbit.

Folgende Übertragungsgeschwindigkeiten sind programmierbar:

75 Bd 9600 Bd

abhängig von Initialisierung der Schaltkreise PIT (KR580WI53) und USART (KR580WW51A).

Bis maximal 500 m Kabellänge kann mit einer Datenübertragungsgeschwindigkeit von 9600 Bd gearbeitet werden. Die Übertragung über größere Entfernungen ist nur bei proportionaler Verringerung der Geschwindigkeit möglich.

Die Stromspeisung erfolgt im Normalfall auf der Sendeseite (Aktivmodus). Sowohl Sende- als auch Empfangsstufen können mittels Wickelbrücken im Aktiv- oder Passivmodus betrieben werden (Tab. 7-13). Die Zuordnung der Signalzustände ist mit

"High" = 15 ... 25 mA

"Low" = 0 ... 3 mA

festgelegt, wobei High auch der Ruhezustand ist. Die verwendeten Konstantstromstufen lassen Leitungswiderstände bis 300 Ohm zu. Durch den Einsatz von Optokopplern wird eine galvanische Trennung erreicht.

Für die Steuerung des seriellen-Interfaces IFSS werden die Schaltkreise PCI (USART) KR580WW51A und PIT KR580WI53 verwendet. Während der PIT an seinem Zählerausgang 02 die Übertragungstakte für die Realisierung der verschiedenen Baudraten liefert, realisiert der PCI die Aufgaben für die asynchrone Datenübertragung.

Über das Wickelfeld X9 können dem PIT Taktsignale mit verschiedenen Frequenzen angeboten werden (siehe Tab. 7-6, Pkt. 7), die durch einen Teiler vom Bustakt abgeleitet werden.

Der PCI realisiert die Parallel-Serien- und Serien-Parallel-Wandlung der Daten, wobei durch entsprechende Initialisierung verschiedene Varianten von Datenformaten eingestellt werden können. Dabei kommen für das Interface IFSS nur die asynchronen Betriebsweisen in Frage.

Zur Erzeugung von Interrupts sind die Zählerausgänge 00 und 01 auf die Interruptmatrix gelegt. Dabei gilt folgende Zuordnung:

Ausgang 00 = TMR0-INTR - Wickelstift X842

Ausgang 01 = TMR1-INTR - Wickelstift X841

Für die Kaskadiermöglichkeit der Zähler, ist der Zählerausgang 00 gleichzeitig auf den Wickelstift X914 gelegt.

Durch den PPI-Schaltkreis KR580WW55A kann der Gate 0-Eingang des PIT KR580WI53 über den Wickelstift X910 gesteuert werden.

Zu den PIT-Steuermöglichkeiten siehe auch Tab. 7-7, Pkt. 7., wobei die Adressierung nach Tabelle 3-11 zu beachten ist.

Die automatische Breakerkennung des PCI wird zur Erzeugung des Signals BRK-INTR benutzt, das an den Wickelstift X848 der Interrupt-Matrix zur Verfügung steht.

3.15.6. Paralleles Interface

3.15.6.1. Allgemeine Bemerkungen

Das parallele Interface auf der ZVE K 2771 wird durch Verwendung des programmierbaren Peripherie-Interface-Schaltkreises (PPI) KR580WW55A realisiert. Dieser Schaltkreis liefert drei Ports, die im wesentlichen zur Realisierung des Druckerinterfaces vom Typ Centronics verwendet werden. Daneben können verschiedene Statussignale programmiert abgefragt und spezielle Steuersignale programmiert aktiviert werden.

3.15.6.2. Port-Verwendung

- Port A: - Empfang von Statussignalen des Centronics-Interfaces
- Empfang von frei verwendbaren Statussignalen.
- Port B: - Standardmäßig Senden auf 8 Datenleitungen des Centronics-Interfaces
- Durch Uminitialisierung und Veränderung der Einstellung auf der ZVE K 2771 kann Port B auch als Eingabeport genutzt werden.
- Port C: - Realisierung des shake-hand-Signalspiels für die asynchrone Übertragung des Centronics-Interfaces
- Senden von frei verwendbaren Steuerinformationen.

3.15.6.3. Signalzuordnung

Tab. 3-16: Port-Signalzuordnung

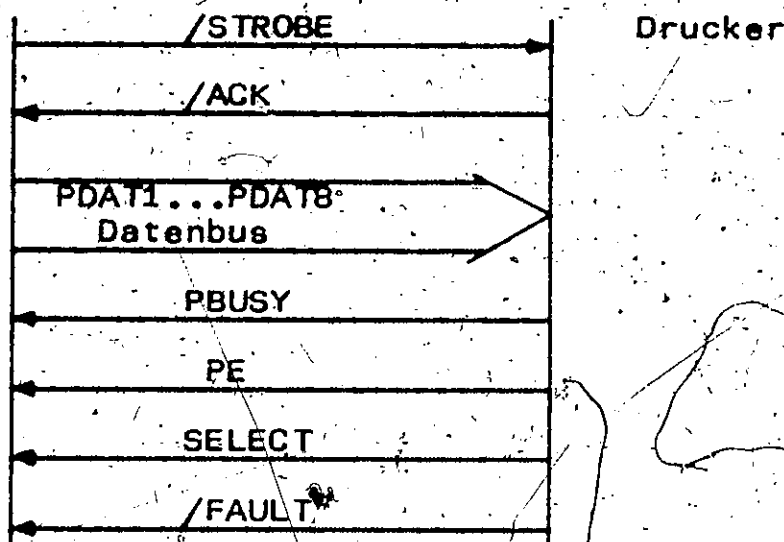
Bit	Signal	Bedeutung
PA0	PBUSY	Wird vom Drucker gesetzt, wenn er keine Daten übernehmen kann (z. B. Druckzyklus, PE)
PA1	SELECT	Drucker empfangsbereit
PA2	/FAULT	Fehlermeldung vom Drucker
PA3	PE	"Papier-Ende"-Meldung vom Drucker
PA6	/HIGH	Statussignal werden vom Modul ZPS K 2071
PA7	/LOW	Statussignal generiert
PB0	PDAT1	Datenleitung 1 des Centronics-Interface
.	.	.
PB7	PDAT8	Datenleitung 8 des Centronics-Interface
PC0	PB-INTR	Unterbrechung der CPU durch den PPI (zeigt an, daß der Drucker den Empfang der Daten mit /ACK quittiert hat).
PC1	SB-INTR-OUT oder /TEST oder GATE0-CTL oder /EXT-CLK	Ausgabe eines Interrupts durch die ZVE auf dem Systembus Programmierte Steuerung des TEST-Eingangs der CPU. Wird benötigt bei Verwendung des WAIT-Befehls Programmierte Steuerung des Gate-Eingangs des Zählers 0 des PIT KR580WI53 Programmierte Steuerung für PIT Achtung: Bei Eingabe über Port B wird auf PC1 das Signal /ACK ausgegeben.
PC2	/ACK	Quittungssignal des Druckers an ZVE Achtung: Bei Eingabe über Port B wird auf PC2 das Signal /STROBE empfangen.
PC3	STROBE	Strobe an Drucker zur Übernahme der bereitgestellten Daten. (programmiert)
PC4	/OVERRIDE oder PI-T/R	Dient zur Realisierung der LOCK-Funktion (keine Abgabe der Busmasterschaft) Treiber-Richtungsteuerung
PC5	SET-DC-OFF	Signal wird aktiviert zum Abschalten der Gleichspannungen im Rechner.
PC6	TONE	Signal wird aktiviert zum Erzeugen eines akustischen Signals
PC7	NMI-MASK oder /NMI-DIS	Steuersignal Signal wird aktiviert zum Maskieren des ZPS-NMI bei Einsatz des Moduls K 2771 im A 7100 Programmierbares NMI-Freigabe-Signal

3.15.6.4. Interface Centronics

Das Interface ermöglicht eine bitparallele, byteserielle Informationsausgabe und ist speziell für den Anschluß der Hard-Copy-Drucker robotron K6311/12/13 vorgesehen.

Das Interface enthält folgende Schnittstellenleitungen:

K. 2771



/STROBE: : Ein Low-Pegel kennzeichnet die Gültigkeit der zu übertragenen Daten

PDAT1.... PDAT8 : Datenleitungen 1....8; High-Pegel entspricht logisch "1", Low-Pegel entspricht logisch "0".

/ACK : Empfangsquittung (Acknowledge)
Ein Low-Pegel zeigt an, daß die Übernahme eines Zeichens durch den Drucker abgeschlossen ist.

PBUSY : Datenübernahme gesperrt
Ein High-Pegel auf der Leitung besagt, daß der Drucker nicht in der Lage ist, Daten zu übernehmen.
PBUSY ist aktiv:
- bei Zeichenübernahme
- bei Havarie, PE, DESELECT, OFF LINE
PBUSY wird mit Empfangsquittung /ACK rückgesetzt.

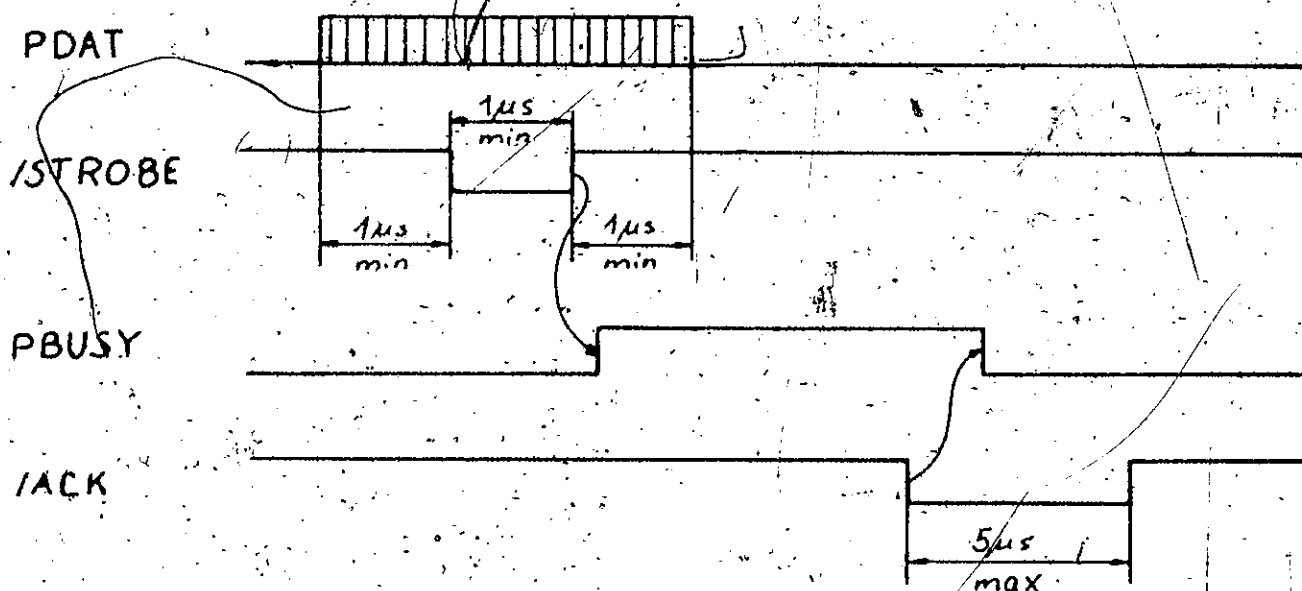
PE : Papierende
Ein High-Pegel signalisiert das erreichte Papierende. /FAULT und PBUSY werden aktiv und SELECT inaktiv.

SELECT : Drucker ist selektiert (ON-LINE) bei High-Pegel
SELECT wird inaktiv:
- bei OFF LINE
- Havarie
- Papierende.

/FAULT Fehlermeldung des Druckers
 /FAULT wird aktiv bei:
 - Havarie
 - Papierende
 - OFF-LINE
 /FAULT wird inaktiv bei Übergang in ON LINE Zustand.

Alle Signalleitungen führen TTL-Pegel.

Interface-Zeitdiagramm:



Interface.Kabel: siehe Pkt. 2.2.

3.16. Firmware des ZVE-Moduls K 2771

Die Firmware ist Voraussetzung für die Funktion des ZVE-Moduls K 2771. Sie ist vom Anwender entsprechend seinen konkreten Forderungen zu generieren und in dem lokalen PROM des Moduls unterzubringen. Dabei ist der Adreßbereich abhängig von der gewählten PROM-Kapazität an der oberen Grenze des Speicheradreßraumes vorgegeben (siehe Pkt. 3.11.2.).

Als Mindestumfang muß die Firmware die Initialisierung des ZVE-Moduls K 2771 sowie das Laden der Interruptvektor-Tabelle übernehmen. Dabei sind die festgelegten Interruptvektoradressen nach Pkt. 3.13.3. zu beachten.

Folgende Schaltkreise sind entsprechend ihren konkreten Initialisierungsbedingungen von der Firmware zu initialisieren:

- KR580WW51A USART
- KR580WI53 PIT

- KR580WW55A PPI
- KR580WN59A PIC

Dabei ist die ZVE-E/A-Adreßverteilung nach Pkt. 3.12.4. zu beachten.

Nach Spannungszuschaltung läuft die modulinterne Reset-Folge ab, worauf die Befehlsabarbeitung ab der Adresse FFFFOH beginnt. Alle nachfolgenden Funktionsabläufe sind abhängig von der spezifischen Firmware und Moduleinstellung des Anwenders.

4. Beschreibung der Konstruktion

Der Modul ZVE K 2771 ist als Karteneinschub paßfähig zur Gefäßkonstruktion des AC A 7100 und MMS 16 auf der Grundlage der TGL RGW 834 und der TGL 37270.

Der Karteneinschub besteht aus der BLP mit Frontplatte.

Das Teilungsmaß beträgt 4 TE (20,32 mm).

Die Abmessungen der Leiterplatte betragen 233,35 x 160 mm².

Der Modul ZVE K 2771 ist als Mehrlagenleiterplatte (MLL) mit Schwierigkeitsgrad 2 nach TGL 25017 mit folgendem Aufbau realisiert:

Bestückungsseite (B-Seite)

I6 Informationsebene

I5 Informationsebene

S4 Spannungsebene

M3 Masseebene

I2 Informationsebene

I1 Informationsebene

Lötseite (L-Seite)

Sowohl die Löt- als auch die Bestückungsseite sind mit einer lötfesten Abdeckung versehen.

Das Grundraster auf der Leiterplatte beträgt 2,54 mm. Folgende LSI-Schaltkreise sind auf Inseln mit Raster 2,5 mm bestückt:

Lfd. Nr. Typ

1	K1810WM86
2	KR580WW51A
3	KR580WI53
4	KR580WW55A
5	KR580WN59A
6	K537RF4
7	KR580WG88
8	KR580WG89

Die Kennzeichnung des Moduls erfolgt mit den BLP-Typ-Nr. 031-035010, 031-035020 und 031-035050 an der Schmalseite der BLP.

Der Modul ZVE K 2771 hält eine maximale Bauhöhe von 13,5 mm ein und läßt den Einsatz in 20,32 mm Steckreiter zu.

Bild 3-11 zeigt die Lage der Steckverbinder auf dem Modul und deren Kennzeichnung.

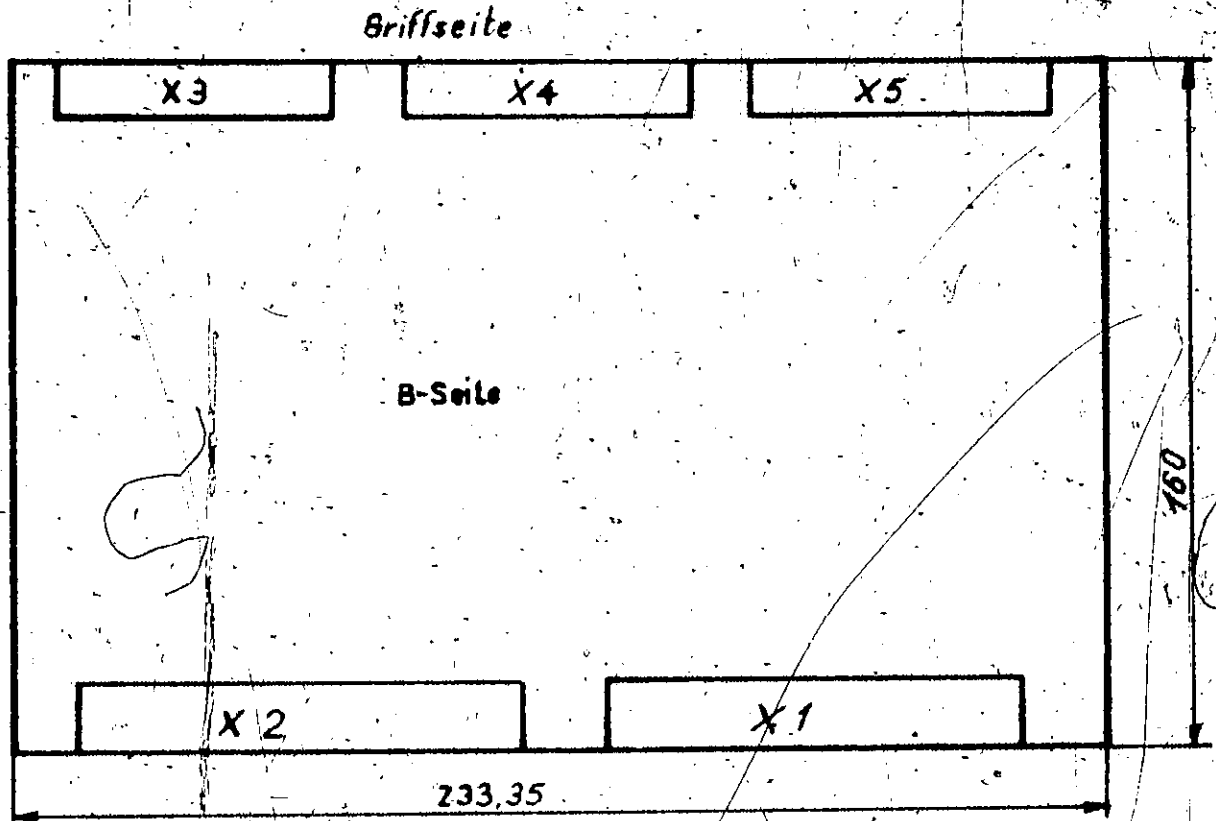


Bild 3-11: Lage der Steckverbinder

Als Steckverbinder finden Verwendung:

Bus-Steckverbinder:

Systembus MMS 16 X1 - Steckerleiste (SL), 96polig, IEC C96M-C1A, DIN 41612

ZPS-Anschluß X2 - Steckerleiste (SL), 96polig, IEC C96M-C1A, DIN 41612

Anschlüsse für Interface:

Interface IFSS X3 - Buchsenleiste (BL), 25polig, Subminiatur-D
203-25 EBS-GO 4006/01-2-V

FP-Anschluß X4 - Steckerleiste (SL), 26polig, EFS-SK
102/26 TGL 37912

Interface Centronics X5 - Steckerleiste (SL), 25polig, Subminiatur-D
DB 25 P1B1N

Anmerkung:

Beachte Raster 2,54 mm für X1 und X2

Die Anschlüsse für Interfaces entsprechen in ihrer konstruktiven Ausführung den entsprechenden Vorschriften.

Der Schirmanschluß der Interfacekabel führt auf dem Wege Kabelschirm - Griffschale - Steckverbindergehäuse - Frontplatte an das Gefäßpotential.

5. Transport, Lagerung, Verpackung und Entpackung

5.1. Verpackung

Der Modul ZVE K 2771 ist nur in der Lieferpackung des Herstellers zu verpacken. Der Modul wird in einer Sammelverpackung (Kiste) oder in Wellpapp-Schiebeschachteln einzeln verpackt ausgeliefert.

Bei der Einzelverpackung wird der Modul zwischen zwei Schaumstoffpolstern eingelagert in den Schieber gelegt, der mit Verpackungsklebeband zu schließen ist. Der Schieber wird in die Hülse geschoben und mit Verpackungsklebeband gegen Herausrutschen gesichert. Anschließend sind ein Kennzeichenschild sowie Handhabungshinweise (bedruckte Aufkleber) aufzukleben.

Die Verpackung ist für Straßen-, Luft- und Eisenbahntransport ausgelegt.

Einzelverpackung: Abmessung (300 x 220 x 55) mm
Masse 0,25 kg

5.2. Transport und Lagerung

Der Modul ZVE K 2771 ist bis zu seiner Inbetriebnahme in der Originalverpackung zu transportieren und zu lagern. Für den Transport sind Transportmittel, die eine gegen Witterungseinflüsse geschützte Ladefläche haben, zu benutzen.

Im einzelnen gelten die Festlegungen lt. TGL 26465 wie unter Pkt. 2.3. angegeben.

Lagerbedingungen: +5 °C bis +35 °C; kurzzeitig -10 °C
max. rel. Luftfeuchte 85 % bei 25 °C

Zur Neuwarterhaltung ist eine rel. Luftfeuchte 60 % anzustreben. Befeuchtung ist auszuschließen.
Die max. Lagerdauer beträgt 6 Monate.

5.3. Entpackung

Der Modul ZVE K 2771 ist in der Versandverpackung zu lagern und erst dann zu entpacken, wenn er zum Einsatz gelangen soll.

Erfolgt der Einsatz bei höherer Raumtemperatur als der vorangegangenen Lagertemperatur, ist der Modul im verpackten Zustand an die neue Raumtemperatur anzugleichen, bevor er entpackt wird.

Aus der Sammelverpackung ist der Modul vorsichtig zu entnehmen. Bei der Einzelverpackung ist durch vorsichtiges Trennen der Klebebandverschlüsse die Wiederverwendungsfähigkeit der Verpackung zu sichern.

Der Modul ist beim Entpacken nur an Stellen zu berühren, die frei von Bauelementen und Leiterzügen sind.

6. Montage und Installation

Der Modul ZVE K 2771 darf nur in Finalerzeugnissen eingesetzt werden, die die Anschlußkennwerte nach Pkt. 2.2. erfüllen. Die Einbaulage kann waagrecht oder senkrecht sein. Bei waagrechtem Einbau muß die Bestückungsseite nach oben zeigen. Es ist zu gewährleisten, daß die Lufttrittstemperatur 0 °C nicht unterschreitet und daß die Luftaustrittstemperatur in Höhe der Leiterplattenkante +55 °C nicht überschreitet. Im Bedarfsfall ist zur Einhaltung der oberen Grenztemperatur eine geeignete Belüftung vorzusehen.

Der Modul ist im gesteckten Zustand mit den in der Frontplatte befindlichen Schrauben im Finalerzeugnis zu befestigen.

Die Speisung des Moduls kann aus beliebigen Stromversorgungsquellen des Finalerzeugnisses erfolgen, die die notwendigen Spannungspegel im festgelegten Toleranzbereich und die Konfigurationsabhängige erforderliche Leistung liefert.

Zur Gewährleistung einer sicheren Funktion des Moduls ist im Finalerzeugnis ein definiertes Bezugspotential (Logik-Nullpotential) zu schaffen.

Alle Funktionsteile des Finalerzeugnisses, die Störungen ausstrahlen können (z. B. Netzteile, HF-Generatoren, Schaltschutz usw.), sind nach Möglichkeit räumlich getrennt vom Modul anzuordnen, oder durch geeignete Maßnahmen abzuschirmen.

Alle finalerzeugnisinternen Leitungen, die mit störenden Funktionsteilen verbunden sind, müssen wirksam gefiltert oder abgeschirmt werden.

Energieführende Leitungen sind getrennt von Logikleitungen zu verlegen oder abzuschirmen.

Werden die modulinternen Interfaces verwendet, sind die Interfaceanschlußkabel getrennt von Netzleitungen zu verlegen.

Aus funktörtechnischer Sicht ist der Modul im Finalerzeugnis in einem störstrahlungssicheren Gefäß einzusetzen.

Zur Vermeidung von Störungen durch elektrische und magnetische Fremdfelder sowie Störüberlagerungen des Energieversorgungsnetzes ist im Finalerzeugnis ein wirkungsvoller Netzstörschutz vorzusehen. Schutzleiter systemfremder Geräte dürfen nicht an das Bezugspotential des Finalerzeugnisses angeschlossen werden. Die Speisung des Finalerzeugnisses sollte über ein zentrales Netzfilter erfolgen, wobei Energieleitungen zwischen Filter und weiteren Anschlüssen abzuschirmen sind.

7. Einstellung und Initialisierung

7.1. Lage der Einstellelemente

Auf dem Modul ZVE K 2771 sind Einstellmöglichkeiten durch DIL-Schalter sowie Wickelbrücken gegeben. Bild 7-1 zeigt die Lage der Einstellelemente.

7.2. DIL-Schaltereinstellungen

Der DIL-Schalter S1 auf dem Modul ZVE K 2771 ist für Prüfzwecke vorgesehen und kann durch den Anwender bei bestimmten Einsatzfällen des Moduls umgestellt werden.

Es ist zu beachten, daß ein Umschalter aus zwei Ein-/Ausschaltern besteht, die beide in die angegebene Stellung gebracht werden müssen.

Schaltereinstellung:

Tabelle 7-1: Schalterstellung

Symbol		Schalterstellung
0	aus	Punkt nicht sichtbar
1	ein	Punkt sichtbar

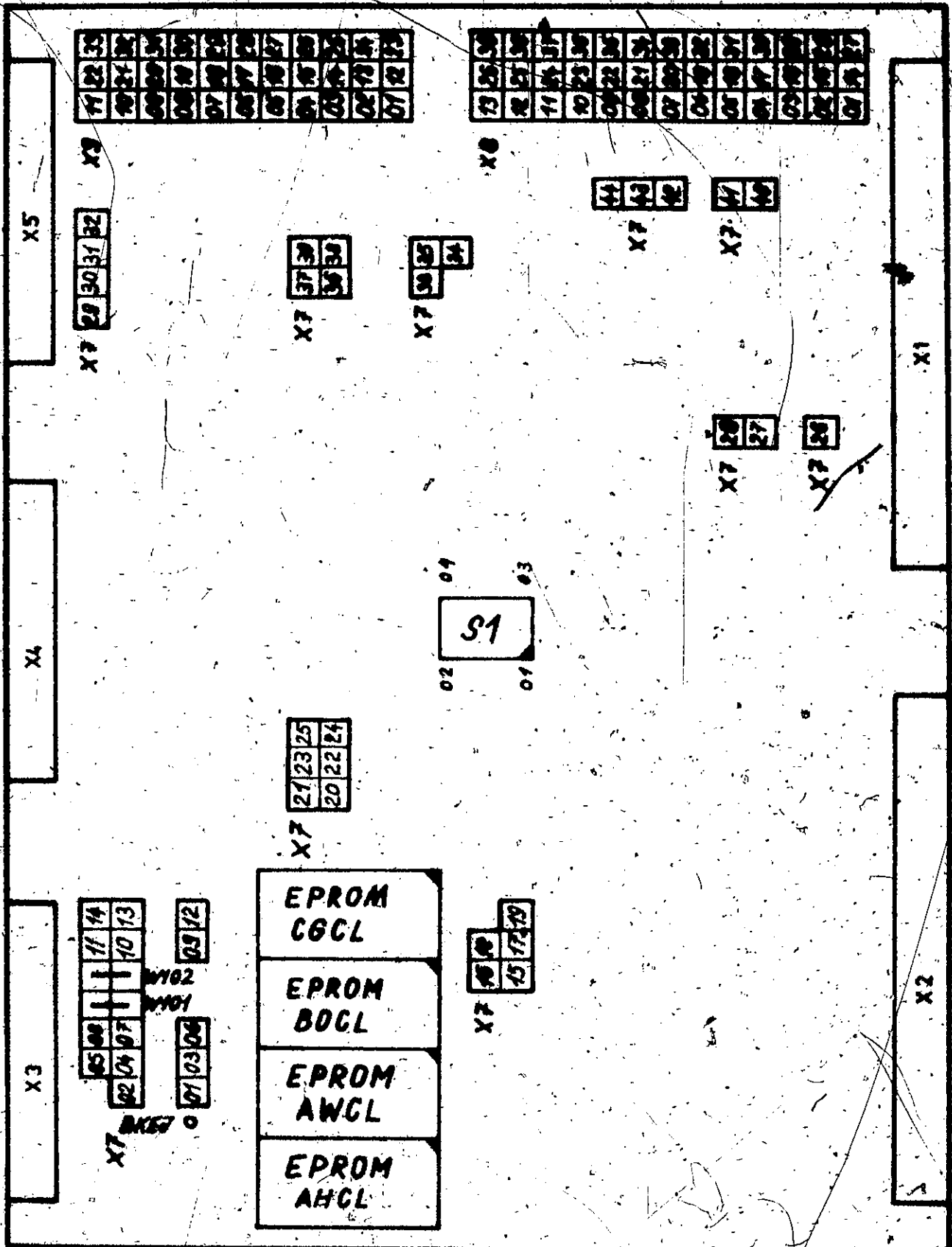


Bild 7-1: Lage der Einstellelemente auf dem Modul ZVE K 2771

Tabelle 7-2 zeigt die möglichen DIL-Schaltereinstellungen auf dem ZVE-Modul K 2771

Tabelle 7-2: DIL-Schaltereinstellungen

Schalter	Kontaktpaar	Einstellung	Funktion
S1	03-02/04	1	BTG aktiv
	01-02/04	1	Externe Bus- und Interfacetaktversorgung über Kontakt X2:C04

7.3. Steuereingänge

Der ZVE-Modul K 2771 besitzt eine Reihe von Steuereingängen, die für Prüfwerte und Spezialereignisse verwendet werden können. Im Normalfall müssen diese Steuereingänge mit einem definierten Potential belegt werden. Dieses Potential wird auf dem Modul selbst erzeugt, darf aber von außen nicht verfälscht werden.

Tab. 7-3: Steuereingänge

lfd.	Signal	Kontakt	Potential	Funktion	Bemerkung
1	EFI	X4:B06	H	Externe CPU-Taktversorgung	
2	/RDY1C	X4:A07	H	RDY1-Steuerung	
3	/AUX-RESET	X4:B02	H	RESET-Signalerzeugung	
4	/CTIME	X4:A05	H	TIMEOUT-Steuerung	
5	/RDY2C	X4:B05	H	RDY2-Steuerung	
6	/ALEC	X2:C06	H	ALE-Steuerung	
7	/CSC-ADR	X2:B15	H	Adreßbus CS-Steuerung	
8	/ABENC	X2:B03	H	Adreßbus EN-Steuerung	
9	RQ/GTØ	X4:A12	offen	Request/Grant-Steuerung	bidirektional, interne pull-up-Widerstand
10	/PROM-LOCK	X2:A03	H	PROM-Sperre	
11	ZPS-LOCK	X2:B04	H	ZPS-Sperre	
12	/ZPS-PR	X2:C01	H	ZPS-Prüfung	
13	/DTR	-	L		
14	/RTS	-	H	IFSS	über Progr. KR580WW51A

7.4. Wickelverbindungen7.4.1. CPU-Taktgenerator

Tab. 7-4

Lfd. Nr.	Verbindung	Signal	Funktion
1	X727 - X728	CSYN	externe Synchronisation über Signal CSYN (X4:A06).
2	X726 - X727	CSYN = Low	keine Synchronisation

7.4.2. Timeout-Steuerung

Tab. 7-5

Verbindung	Signal	Funktion
X724 - X725	/CTIME = Low	Abschalten der Timeout-Überwachung

7.4.3. Intervall-Timer

1. Verfügbare Eingangstaktfrequenzen/KHz

Tab. 7-6

Wickelstift	Taktfrequenz/KHz	Bemerkung
X902	1229,0	Ausgang Zähler 0
X904	1229,0	
X913	614,5	
X914	programmierbar	
X915	2458,0	
X924	76,8	
X926	153,6	
X916	programmierbar	

2. Steuermöglichkeiten

Tab. 7-7

Lfd. Nr.	PIT-E/A	Wickelstift	Signal	Funktion	Bemerkung
1	C0	X903	PIT-C0	Takteingang Zähler 0	
2	C1	X927	PIT-C1	Takteingang Zähler 1	
3	C2	X905	PIT-C2	Takteingang Zähler 2	
4	00	X914	TMR0-INTR	Zähler 0 Ausgang	für Kaskadierung
5	00	X842	TMR0-INTR	Zähler 0 Ausgang	für Interrupterzeugung über Interrupt-Matrix
6	01	X841	TMR1-INTR	Zähler 1 Ausgang	
7	G0	X910	GATE0-CTL	Gate 0 Eingang	über PPI steuerbar, PC1

7.4.4. Bustakte

Tab. 7-8

Lfd. Nr.	Takt	Verbindung	Funktion
1	/BCLK	X836 - X837	Ausgabe Bustakt auf X1:B01
2	/CCLK	X804 - X820	Ausgabe Konstanttakt auf X1:C26

7.4.5. PZA-Dekoder (Y622)

Tab. 7-9

Variante	Bestückung	Kapazität	Verbindungen
1	2 x K573RF2	4 KByte	X720 - X721, X721 - X722
2	4 x K573RF2	8 KByte	X720 - X721, X721 - X722
3	2 x K573RF3	8 KByte	X720 - X721, X722 - X723
4	4 x K573RF3	16 KByte	X720 - X721, X722 - X723
5	2 x K573RF4	16 KByte	X720 - X723, X721 - X722
6	4 x K573RF4	32 KByte	X720 - X723, X722 - X723

7.4.6. Lokaler PROM

Tab. 7-10

Variante	Bestückung	Kapazität	Verbindungen
1	2 x K573RF2	4 KByte	X716 - X719, X715 - X719
2	4 x K573RF2	8 KByte	X716 - X719, X715 - X719
3	2 x K573RF3	8 KByte	X716 - X719, X715 - X717
4	2 x K573RF3	16 KByte	X716 - X719, X715 - X717
5	2 x K573RF4	16 KByte	X716 - X718, X715 - X717
6	4 x K573RF4	32 KByte	X716 - X718, X715 - X717

7.4.7. Busarbiter

1. Betriebsart

Tab. 7-11

Lfd. Nr.	Verbindung	/CBRQ	ANYRQST	F u n k t i o n
1	X735-X734	L	L	Der Bus-Arbiter behält die Systembusherrschaft, solange nicht ein höher priorisierter Busmaster das /CBRQ-Signal aktiviert oder der nächste Maschinenzyklus keinen Buszugriff verlangt und eine Anforderung eines niederpriorisierten Arbiters vorliegt.
		H	L	Der Bus-Arbiter behält die Systembusherrschaft bis ein anderer Bus-Arbiter das /CBRQ aktiviert. Ist das der Fall, gilt oben angegebene Bedingung.
2	X735-X734 X739-X738	L	H	Der Bus-Arbiter gibt die Systembusherrschaft nach Beendigung des laufenden Buszyklus an einen anderen Busmaster ab, der das /CBRQ-Signal aktiviert, unabhängig von dessen Priorität
		H	H	Der Bus-Arbiter behält die Systembusherrschaft bis ein anderer Bus-Arbiter das /CBRQ aktiviert. Ist das der Fall, gilt oben angegebene Bedingung.
3	X735-X733 X739-X738	L	H	Der Bus-Arbiter gibt die Systembusherrschaft nach jedem Übertragungszyklus ab.

2. Prioritätsfestlegung

Tab. 7-12

Verbindung	Priorität
X737 - X736 X737 offen	ZVE K 2771 erhält höchste Priorität Priorität wird über Systembus zugewiesen
X808 - X824 X824 offen	Ausgabe /BPRO auf X1:A04 keine Ausgabe von /BPRO

7.4.8. Serielles Interface

Tab. 7-13

Betriebsart	Sender/ Empfänger	Verbindungen
IFSS aktiv keine Schütztrennung	Sender	X701-X702, X709-X710, X712-X713
	Empfänger	X703-X704, X706-X707
IFSS passiv Schütztrennung vorhanden	Sender	X710-X713
	Empfänger	X704-X707
IFSS nach VDI keine Schütztrennung	Sender	X709-X711, X710-X713, X712-X714
	Empfänger	X703-X705, X704-X707, X706-X708

7.4.9. Paralleles Interface

Tab. 7-14

Port B	Verbindung	Signal
Ausgabeport	X730 - X731	PI-T/R = High
Eingabeport	X729 - X731	PI-T/R = Low
Bidirektional	X732 - X731	PI-T/R = PC4

Port C	Verbindung	Signal
PC0	X929 - X928	PB-INTR
PC1	X909 - X908	SB-INTR-OUT
	X909 - X911	/TEST
	X909 - X910	GATE \emptyset -CTL
	X909 - X921	/EXT-CLK
PC2	X932 - X933	/ACK
PC3	X918 - X917	/STROBE
PC4	X907 - X906	/OVERRIDE
PC5	X930 - X931	SET-DC-OFF
PC6	X919 - X920	TONE
PC7	X901 - X912	NMI-MASK
	X901 - X923	/NMI-DIS

7.4.10. Interrupt-System

1. Interrupt-Matrix (allgemein)

Tab. 7-15

Interruptanforderung von			Interruptanforderung an		
Quelle	Signal	Stift	Ziel	Signal	Stift
1	2	3	4	5	6
Systembus	/INT \emptyset	X807	Systembus	/INT \emptyset	X838
	/INT1	X803		/INT1	X819
	/INT2	X813		/INT2	X845
	/INT3	X826		/INT3	X818
	/INT4	X806		/INT4	X821
	/INT5	X812		/INT5	X846
	/INT6	X835		/INT6	X805
	/INT7	X827		/INT7	X802
ZPS	ZPS-INTR	X839	PIC-Ebene \emptyset	IRQ \emptyset	X823
			1	IRQ 1	X843
			2	IRQ 2	X829
			3	IRQ 3	X810
			4	IRQ 4	X825
			5	IRQ 5	X828
			6	IRQ 6	X814
USART	SI-TX-INTR	X840	7	IRQ 7	X811
	SI-RX-INTR	X830			
PIT	TMR \emptyset -INTR	X842	CPU	NMI	-
	TMR1-INTR	X841			

1	2	3	4	5	6
PPI PC0 PC1/2	PB-INTR SB-INTR-OUT	X809 X822	Interrupt- Oderung	FINTOR SINTOR	X817 X833
Spannungs- ausfall über X1:A05 (X744)	/PFIN	X743			
Timeout	TIME-OUT	X844			
BREAK-Taste	BRK-INTR	X848			
Interrupt- Oderung	INTOR	X801			
Arithmetik- Prozessor	MINT	X834			
ZPS	ZPS-NMI über X2:A08	-			
Systembus	/SBNMI	X815			
interne NMI-Quelle	/NMIOR	X816			

2. NMI-Oderung

Tab. 2-16

Quelle	Signal	Stift	Ziel	Signal	Stift
Systembus (X1:A05) über X744	/PFIN	X743	CPU	NMI	
Systembus	/SBNMI	X815			
interne NMI-Quelle	/NMIOR	X816			
ZPS (X2:A08)	/ZPS-NMI	-			

3. NMI-Freigabe

Tab. 7-17

Quelle	Verbindung	Bemerkung
PPI Port C PC7 über X901	X901 - X923	NMI-Signal für CPU kann gesperrt werden.

4. Systembus-Interrupt-Erzeugung

Tab. 7-18

Quelle	Signal	Verbindung	Ziel	Signal	Verbindung
PPI Port C PC1 über X909	SB-INTR-OUT	X901-X908	Systembus	/INT 0 /INT 1 /INT 2 /INT 3 /INT 4 /INT 5 /INT 6 /INT 7	X822 - X836 - X819 - X845 - X818 - X821 - X846 - X806 - X802

5. Interrupt-Ordnerung

Tab. 7-19

Quelle	Signal	Stift	Ziel	Signal	Verbindung
beliebige Interrupt- Quellen	FINTOR	X817	PIC-Ebene 0	IRQ 0	X801 - X823
	SINTOR	X833		IRQ 1	- X843
				IRQ 2	- X829
				IRQ 3	- X810
				IRQ 4	- X825
				IRQ 5	- X828
				IRQ 6	- X814
				IRQ 7	- X811

6. Arithmetikprozessor-Interrupt

Tab. 7-20

Quelle	Signal	Ziel	Signal	Verbindung
Arithmetik- prozessor über Durch- kontaktierung BKEJ	MINT	PIC-Ebene 0.	IRQ 0	X834 - X823

7.5. Einstellung des Moduls K 2771 für den Einsatz in A 7100 und IGT

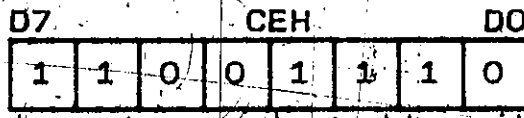
Tab. 7-21

Lfd. Nr.	Verbindung	Signal	Funktion
1	X726 - X727	CSYN = Low	keine Synchronisation
2	X902 - X903	PIT-C0	1,229 MHz, Eingangstakt für Zähler 0
3	X926 - X927	PIT-C1	153,6 KHz, Eingangstakt für Zähler 1
4	X904 - X905	PIT-C2	1,229 MHz, Eingangstakt für Zähler 2
5	X836 - X837	/BCLK	Ausgabe Bustakt auf X1:B01
6	X804 - X820	/CCLK	Ausgabe Konstanttakt auf X1:C26
7	X720 - X723	A8	Bestückung mit 4 x K573RF4 A 7100-Monitor
8	X722 - X723	A7	
9	X717 - X715	ABC	
10	X734 - X735	/CBRQ	Common Bus Request auf X1:B04
11	X738 - X739	ANYRQ=High	Busfreigabe an nächsten Arbitrer Einstellung Interface IFSS Sender aktiv Empfänger aktiv
12	X808 - X824	/BPRO	
13	X703 - X704	EDD	
14	X706 - X707	EDE	
15	X709 - X710	SD-	
16	X712 - X713	SDD	
17	X701 - X702	SCHIRM	
18	X928 - X929	PB-INTR	
19	X910 - X922	GATE 0 - CTL	
20	X932 - X933	/ACK	
21	X917 - X918	/STROBE	Centronics Interfacesignale
22	X730 - X731	PI-T/R	Treiber Richtungssteuerung PPI
23	X930 - X931	SET-DC-OFF	Gleichspannungs-Abschaltsignal
24	X919 - X920	TONE	Einschalten akustischer Geber
25	X901 - X923	/NMI-DIS	Maskierung NMI
26	X911 - X925	/TEST=Low	
27	X816 - X832	/NMIOR=High	OPS-Paritätsfehler als NMI über /INT 0
28	X807 - X815	/SBNMI	
29	X742 - X743	/PFIN=High	BREAK-Interrupt
30	X843 - X848	BRK-INTR	
31	X829 - X842	TMR0-INTR	Interrupt von Zähler 0
32	X810 - X826	/INT 3	Interruptebene 3, ASP
33	X809 - X825	PB-INTR	Port B Interrupt auf PIC-Ebene 4
34	X812 - X828	/INT 5	Interruptebene 5, KES
35	X814 - X830	SI-RX-INTR	Eingabeinterrupt des USART
36	X811 - X827	/INT 7	Interruptebene 7, ABS/KGS
37	X803 - X823	IRQ 0 = Low	ALE auf X1:C05
38	X740 - X741	ALE	

7.6. Initialisierung des Moduls ZVE K 2771 für den Einsatz im Rechner A 7100

Der Modul ZVE K 2771 wird vom Monitor A 7100 wie folgt initialisiert:

1. KR580WW51A (USART)



(MIW) Mode Instruction Word

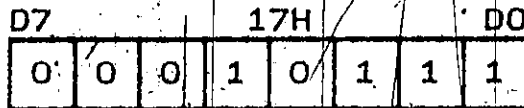
Baudrate factor 16x

Zeichenlänge 8 Bit

Parity disabled

odd Parity

Anzahl der Stop-Bits 2



(CIW) Command Instruction Word

Sendefreigabe

Datenstation bereit (/DTR=LOW)

Empfangsfreigabe

Normalbetrieb (keine Break-Zeichen ausgeben)

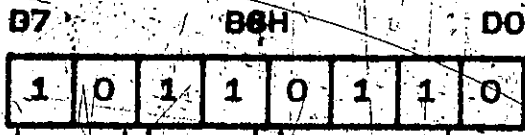
Fehler rücksetzen

Keine Aufforderung zum Senden (/RTS=High)

kein internes Rücksetzen

kein Suchen nach SYN-Zeichen

2. KR580WI53 (PIT)



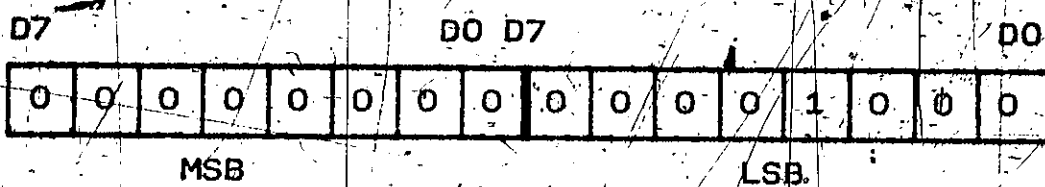
(MCW) Mode Control Word

Binär-Zähler

Modus 3 (Rechteckwellengenerator)

Lesen, Schreiben des Zählerwertes derart, daß zuerst das LSB, danach das MSB gelesen/geschrieben wird

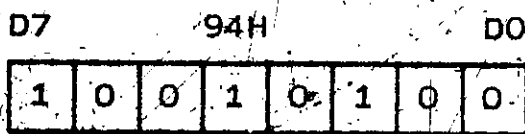
Auswahl Zähler 2



(CRBY) Count Register Byte

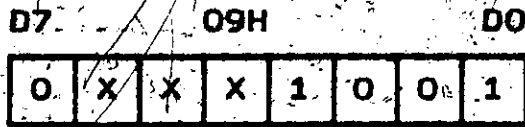
Damit ergibt sich mit einer Eingangsfrequenz von 1,23 MHz und einem Baudrate-Faktor von 16 des KR580WW51A eine Übertragungsgeschwindigkeit von 9600 Baud

3. KR580WW55A (PPI)



(CW) Control Word

- Port C (3): Ausgabe
- Port B: Ausgabe
- Port B: Modus 1
- Port C (4:7): Ausgabe
- Port A: Eingabe
- Port A: Modus 0
- Kennzeichen "Betriebsart"



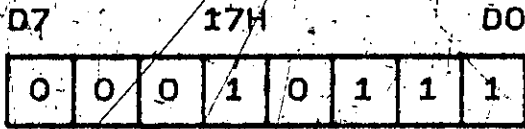
(BSRF) Bit Set/Reset Format

Bit setzen

Bitauswahl PC4
Treiber-Richtungsteuerung

Kennzeichen "Bit setzen/
rücksetzen"

4. KR580WN59A (PIC)



(ICW1) Initialisation Command Word 1

ICW4 nötig

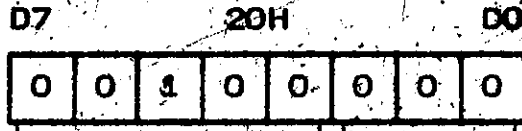
nur ein PIC
(nicht kaskadiert)

wird ignoriert (Adresse-
Auswahl für 8080/8085 Mo-
dus).

flankengetriggerte IR

ist fest vorgegeben

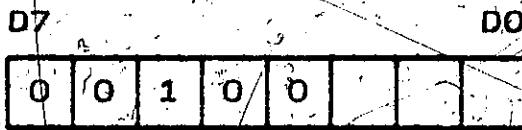
Interrupt-Vektoradreßbits
für 8080/8085 Modus



ICW2

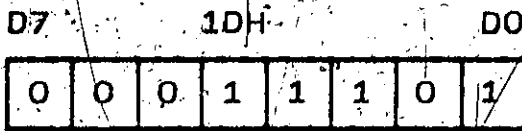
Interrupt-Vektoradressbits für 8080/8085 Modus

ergibt mit 8 multipliziert den Basis-Interrupt-Typ (32)



IR0...7

vollständiger Interrupt-Typ



ICW4

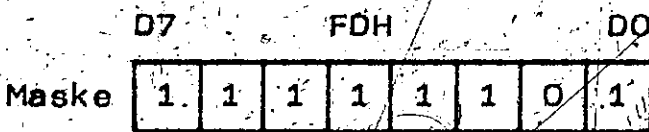
8086-Modus

normales EOI

buffered mode, master

Special fully nested mode

ist fest vorgegeben



(OCW1)

Operation Control Word 1 (Maske)

8. Inbetriebnahme und Betrieb

Der Modul ZVE K 2771 wird vom Hersteller entsprechend einer vorliegenden Prüfvorschrift, umfassend als Einzelmodul geprüft und anschließend in einer speziellen Rechnerkonfiguration mittels PSU getestet. Die verwendeten LSI-Schaltkreise werden vor Bestückung der Leiterplatte einer speziellen Funktionsprüfung unterzogen.

Zum Anwender gelangt der Modul in der A 7100-Einstellung.

8.1. Inbetriebnahmevoraussetzungen

Der Modul ZVE K 2771 muß vom Anwender, abhängig von seinen konkreten Einsatzbedingungen, nach der Einstellvorschrift eingestellt werden. Anschließend ist die Firmware des Anwenders im lokalen PROM unterzubringen und dieser entsprechend auf dem Modul zu bestücken. Damit ist der ZVE-Modul einsatzbereit. Die Prüfung der Funktionstüchtigkeit des Moduls ZVE K 2771 muß im Finalerzeugnis mit Hilfe von Einsatzprogrammen des Anwenders bzw. seiner Firmware oder spezieller Prüfprogramme erfolgen.

Generiert der Anwender seine Firmware aus dem SUL-Modulbestand des MMS 16, besteht die Möglichkeit des Einsatzes einer speziellen Firmware (PSUF), die den Einsatzbedingungen beim Anwender anzupassen ist.

Wird der Modul ZVE K 2771 in einer MMS-16-Rechnerkonfiguration eingesetzt, kann die generierfähige PSU zur Inbetriebnahme und Funktionsprüfung eingesetzt werden.

8.2. Inbetriebnahme des Moduls

Die Inbetriebnahme des Moduls ZVE K 2771 geschieht in folgender Reihenfolge:

1. Schaffung der Inbetriebnahmevoraussetzungen
 - a) Einstellung
 - b) PROM-Bestückung (mit Firmware-Inhalt)
2. Überprüfung der Betriebsspannungen laut Kontaktbelegung
3. Spannungszuschaltung bzw. Reset und Abarbeitung der Anwender-Firmware sowie Anwenderprüf- bzw. Einsatzprogramme oder der unter Pkt. 8.1. genannten Programme bei bestimmten Einsatzbedingungen.

8.3. Betrieb

Eine getrennte Betriebsanleitung für den Modul ZVE K 2771 gibt es nicht. Betriebsanleitungen sind vom Modulanwender für sein Finalerzeugnis unter Beachtung des Moduleinsatzes zu erstellen.

Dabei sind folgende Gesichtspunkte besonders zu beachten:

- Eine ordnungsgemäße Montage des Moduls im Finalerzeugnis nach vorliegender Montage- und Installationsvorschrift wird vorausgesetzt.
- Die Einstellung des Moduls ist, ausgehend vom konkreten Moduleinsatz, durch den Anwender nach der vorliegenden Einstellungs- und Initialisierungsvorschrift vorzunehmen.
- Die Betriebsanleitung wird wesentlich durch die eingesetzte Firmware und die realisierten Bedien- und Anzeigeelemente bestimmt. Wird das Bedieninterface des Moduls genutzt, ist seine Handhabung zu beschreiben.
- Vor Einschalten der Betriebsspannung ist das sichere Stecken des Moduls im Finalerzeugnis sowie der Bauelemente auf den DIL-Fassungen des Moduls zu überprüfen.
- Das Kontaktieren des Moduls bei eingeschalteter Betriebsspannung ist unzulässig.
- Nach Spannungszuschaltung läuft die modulinterne Reset-Folge ab und die Befehlsbearbeitung beginnt ab Adresse FFFF0H. Alle nachfolgenden Funktionsabläufe sind abhängig von der spezifischen Firmware und Moduleinstellung des Anwenders.

Die Firmware muß ein Initialisierungsprogramm beinhalten, das die programmierbaren Schaltkreise auf dem Modul initialisiert, die Interrupt-Modi einstellt, bestimmte Grundzustände in den an den Modul angeschlossenen Speichern herstellt sowie die weitere Kommunikation mit dem Modul steuert.

9. Pflege und Wartung

Der Modul ZVE K 2771 arbeitet wartungsfrei. Im Rahmen der für das Finalerzeugnis festgelegten Wartungszyklen, ist der Modul ZVE K 2771 einer allgemeinen Sichtkontrolle zu unterziehen. Besonderes Augenmerk ist dabei den auf DIL-Fassung steckenden Bauelementen zu schenken.

Im Fehlerfall ist nach der im Punkt 10 angegebenen Instandsetzungsanleitung zu verfahren.

10. Instandsetzung

Ist der Modul ZVE K 2771 im Finalerzeugnis des Anwenders durch die einsatzspezifische Firmware bzw. durch Einsatzprogramme oder spezielle Prüfprogramme des Anwenders sowie unter bestimmten Einsatzbedingungen durch die unter Pkt. 8.1. genannten Programme als defekt ermittelt, so ist die Instandsetzung in zentralen Kundendienststützpunkten oder beim Modulhersteller zu veranlassen. Dazu sind die genannten Institutionen zu informieren, wobei ein möglichst präzises Fehlerbild zu übermitteln ist. Die Wiederherstellung der Funktionsfähigkeit des entsprechenden Finalerzeugnisses erfolgt durch den Technischen Kundendienst mittels Modultausch vor Ort.

In Sonderfällen kann der Anwender veranlaßt werden, den defekten Modul in seiner Originalverpackung an den zentralen Kundendienststützpunkt einzusenden. Dabei ist dem Modul eine aktuelle Einstellunterlage beizufügen.

Die Instandsetzung des Moduls erfolgt durch den Kundendienst mit Hilfe spezieller Prüf- und Reparaturmittel nach vorgeschriebenen Prüf- und Reparaturanleitungen.

Anlage 1

Maschinenbefehlsliste der CPU K1810WM86

Inhaltsverzeichnis

Seite

1. Verwendete Abkürzungen	1-2
2. Typisches Befehlsformat	1-3
3. Kodierung der Einzelbits	1-3
4. Flagregister	1-4
5. Kodierung des MOD-Feldes	1-4
6. Kodierung des REG-Feldes	1-5
7. Kodierung des SR-Feldes	1-5
8. Kodierung des R/M-Feldes	1-5
9. Befehlskodierung	1-6
10. Dekodierliste der Maschinenbefehle	1-22

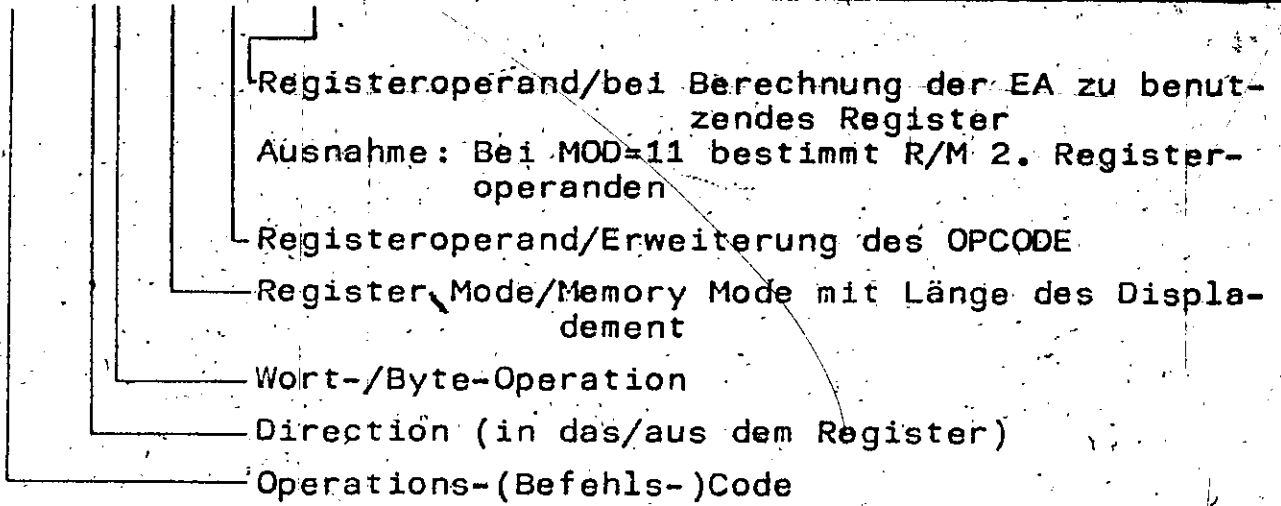
Maschinenbefehlsliste der CPU K1810WM861. Verwendete Abkürzungen

AF	A-Flag
AX15	Bit 15 des Registers AX
CF	C-Flag
DF	D-Flag
EA	Effektive Adresse
FL	Flagregister
G	Flag geladen von vorher abgespeichertem Wert
IF	I-Flag*
SR	Segmentregister
TF	T-Flag
U	Flag undefiniert
X	Flag entsprechend Ergebnis eingestellt
(Y)	Inhalt von Y
x	Multiplikation
/	Division
%	modulo
0	Flag gelöscht
1	Flag gesetzt
1 ^x	Flag gesetzt; gelöscht, wenn Ergebnis = 0

2. Typisches Befehlsformat

Byte 1

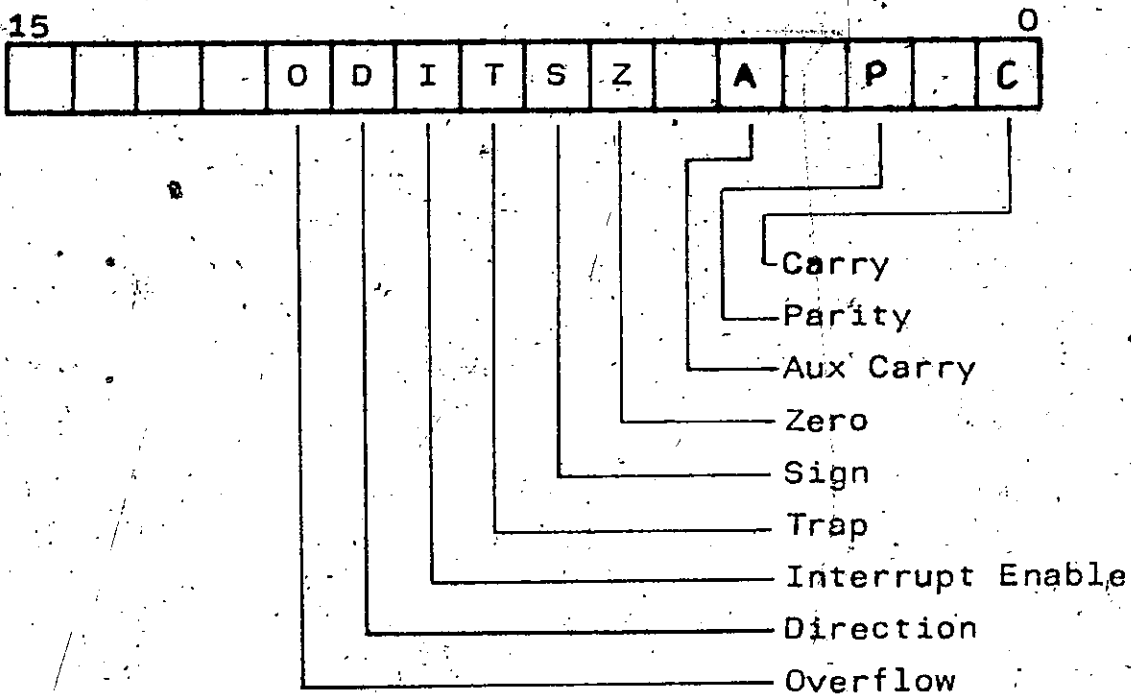
		LOW DISP/	HIGH DISP/	LOW DATA	HIGH DATA
OP-CODE	DW	MOD	REG/R/M	DATA	DATA



3. Kodierung der Einzelbits Byte 1 (OP-Code)

Bit	Wert	Wirkung
S	0	Keine Vorzeichenerweiterung
	1	Vorzeichenerweiterung für 8 Bit Direktoperand bei W = 1
W	0	Befehl operiert mit Byte-Daten
	1	Befehl operiert mit Wort-Daten
D	0	Quelle wird durch REG-Feld spezifiziert
	1	Ziel wird durch REG-Feld spezifiziert
V	0	Verschiebe-/Rotations-Zählwert ist 1
	1	Verschiebe-/Rotations-Zählwert ist durch CL Register spezifiziert
Z	0	REP/LOOP solange Z-Flag gelöscht
	1	REP/LOOP solange Z-Flag gesetzt

4. Flagregister



5. Kodierung des MOD-(Mode)Feldes

MOD	Erklärung
00	Memory Mode, kein Displacement folgt
01	Memory Mode, 8-Bit-Displacement folgt
10	Memory Mode, 16-Bit-Displacement folgt
11	Register Mode (kein Displacement)

Ausnahme: wenn R/M=110, folgt 16-Bit-Displacement.

6. Kodierung des REG-(Register)Feldes

REG	W=0	W=1
000	AL	AX
001	CL	CX
010	DL	DX
011	BL	BX
100	AH	SP
101	CH	BP
110	DH	SI
111	BH	DI

7. Kodierung des SR-(Segmentregister-)Feldes

SR	Segmentregister
00	ES Extra-Segment
01	CS Code-Segment
10	SS Stack-Segment
11	DS Daten-Segment

8. Kodierung des R/M-(Register/Memory-)Feldes

MOD=11			Berechnung der effektiven Adresse			
R/M	W=0	W=1	R/M	MOD=00	MOD=01	MOD=10
000	AL	AX	000	(BX)+(SI)	(BX)+(SI)+D8	(BX)+(SI)+D16
001	CL	CX	001	(BX)+(DI)	(BX)+(DI)+D8	(BX)+(DI)+D16
010	DL	DX	010	(BP)+(SI)	(BP)+(SI)+D8	(BP)+(SI)+D16
011	BL	BX	011	(BP)+(DI)	(BP)+(DI)+D8	(BP)+(DI)+D16
100	AH	SP	100	(SI)	(SI)+D8	(SI)+D16
101	CH	BP	101	(DI)	(DI)+D8	(DI)+D16
110	DH	SI	110	DIRECT ADDRESS	(BP)+D8	(BP)+D16
111	BH	DI	111	(BX)	(BX)+D8	(BX)+D16

9. Befehlskodierung

Befehl	Byte 1	Wirkung	Flags O D I T S Z A P C
<u>Datentransfer</u>			
<u>MOV = Move</u>			
Register/memory to/from register	100010dW	(mem/reg 1) ← (mem/reg 2)	
Immediate to register/memory	1100011W	(mem/reg) ← data	
Immediate to register	1011Wreg	(reg) ← data	
Memory to accumulator	1010000W	(ac) ← (mem)	
Accumulator to memory	1010001W	(mem) ← (ac)	
Register/memory to segment register	10001110	(segreg) ← (mem/reg)	
Segmentregister to register/memory	10001100	(mem/reg) ← (segreg)	
<u>PUSH = Push</u>			
Register/memory	11111111	(SP) ← (SP) - 2 ((SP)) ← (mem/reg)	
Register	01010reg	(SP) ← (SP) - 2 ((SP)) ← (reg)	
Segmentregister	000SR110	(SP) ← (SP) - 2 ((SP)) ← (segreg)	

Befehl	Byte 1	Wirkung	Flags O D I T S Z A P G
<u>POP = POP</u> Register/memory	10001111	$(mem/reg) \leftarrow ((SP))$ $(SP) \leftarrow (SP) + 2$	
Register	01011reg	$(reg) \leftarrow ((SP))$ $(SP) \leftarrow (SP) + 2$	
Segmentregister	000SR111	$(segreg) \leftarrow ((SP))$ $(SP) \leftarrow (SP) + 2$ SR=01 nicht erlaubt	
<u>XCHG = Exchange</u> Register/memory with register Register with accumulator	1000011W 10010reg	$(reg1) \leftarrow (mem/reg\ 2)$ $(AX) \leftarrow (reg)$	
<u>IN = Input from</u> Fixed port Variable port	1110010W 1110110w	$(ac) \leftarrow (port)$ $(ac) \leftarrow (port\ (DX))$	
<u>OUT = Output to</u> Fixed port Variable port	1110011W 1110111w	$(port) \leftarrow (ac)$ $(port\ (DX)) \leftarrow (ac)$	






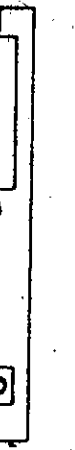
Befehl	Byte 1	Wirkung	Flags O D I T S Z A P C
<u>XLAT = Translate Byte to AL</u>	11010111	(AL) ← ((AL) + (BX))	
<u>LEA = Load EA to register</u>	10001101	(reg) ← mem offset	
<u>LDS = Load pointer to DS</u>	11000101	(reg) ← (mem) (DS) ← (mem + 2)	
<u>LES = Load pointer to ES</u>	11000100	(reg) ← (mem) (ES) ← (mem + 2)	
<u>LAHF = Load AH with flags</u>	10011111	(AH) ← (flags 0...7)	
<u>SAHF = Store AH into flags</u>	10011110	(flags 0...7) ← (AH)	GGGG
<u>PUSHF = Push flags</u>	10011100	(SP) ← (SP) - 2 ((SP)) ← (flags)	
<u>POPF = Pop flags</u>	10011101	(flags) ← ((SP)) (SP) ← (SP) + 2	GGGGGGGG
<u>Arithmetik</u>			
<u>ADD = Add</u>	000000dw	(mem/reg 1) ← (mem/reg 1) + (mem/reg 2)	X X X X X X
Reg/memory with register to either			
Immediate to register/memory	100000sw	(mem/reg) ← (mem/reg) + data	
Immediate to accumulator	0000010w	(ac) ← (ac) + data	

Befehl	Byte-1	Wirkung	Flags O D I T S Z A P C
<u>ADC = Add with carry</u>	000100dw	$(mem/reg-1) \leftarrow (mem/reg-1) + (mem/reg-2) + (CF)$ $(mem/reg) \leftarrow (mem/reg) + data + (CF)$	X X X X X X
Reg/memory with register to either Immediate to register/memory Immediate to accumulator	100000sw 0001010w	$(mem/reg) \leftarrow (mem/reg) + data + (CF)$ $(ac) \leftarrow (ac) + data + (CF)$	
<u>INC = Increment</u>	1111111w	$(mem/reg) \leftarrow (mem/reg) + 1$	X X X X X
Register/memory Register	01000reg	$(reg) \leftarrow (reg) + 1$	
<u>AAA = ASCII adjust for add</u>	00110111 if $((AL) \text{ AND } 0FH) > 9$ OR $(AF) = 1$ then $(AL) \leftarrow (AL) + 6$ $(AH) \leftarrow (AH) + 1$ $(AF) \leftarrow 1$ $(CF) \leftarrow (AF)$ $(AL) \leftarrow (AL) \text{ AND } 0FH$		U U U X U X
<u>DAA = Decimal adjust for add</u>	00100111 if $((AL) \text{ AND } 0FH) > 9$ OR $(AF) = 1$ then $(AL) \leftarrow (AL) + 6$ $(AF) \leftarrow 1$ if $(AL) \leftarrow 9FH$ OR $(CF) = 1$ then $(AL) \leftarrow (AL) + 60H$ $(CF) \leftarrow 1$		X X X X X X

Befehl	Byte 1	Wirkung	Flags O D I T S Z A P C
<u>SUB</u> = Subtract Reg/memory and register to either Immediate from register/memory Immediate from accumulator	001010dw 100000sw 0010110w	(mem/reg 1) ← (mem/reg 1) - (mem/reg 2) (mem/reg) ← (mem/reg) - data (ac) ← (ac) - data	X X X X X X
<u>SBB</u> = Subtract with borrow Reg/memory and register to either Immediate from register/memory Immediate from accumulator	000110dw 100000sw 0001110w	(mem/reg 1) ← (mem/reg 1) - (mem/reg 2) - (CF) (mem/reg) ← (mem/reg) - data - (CF) (ac) ← (ac) - data - (CF)	X X X X X X
<u>DEC</u> = Decrement Register/memory Register	1111111w 01001reg	(mem/reg) ← (mem/reg) - 1 (reg) ← (reg) - 1	X X X X X
<u>NEG</u> = Change sign Register/memory and register Immediate with register/memory Immediate with accumulator	1111011w 001110dw 100000sw 0011110w	(mem/reg) ← (mem/reg) + 1 (mem/reg 1) ← (mem/reg 2) (mem/reg) ← (mem/reg) - data (ac) ← (ac) - data	X X X X X X X X X X X X

Befehl	Byte 1	Wirkung	Flags O D I T S Z A P C
AAS = ASCII adjust for subtract	00111111 if ((AL) AND 0FH) > 9 OR (AF) = 1 then (AL) ← (AL) - 6 (AH) ← (AH) - 1 (AF) ← 1 (CF) ← (AF) (AL) ← (AL) AND 0FH		U U U X U X
DAS = Decimal adjust for subtract	00101111 if ((AL) & 0FH) - 9 OR (AF) = 1 then (AL) ← (AL) - 6 (AF) ← 1 if (AL) > 9FH OR (CF) = 1 then (AL) ← (AL) - 60H (CF) ← 1		U X X X X X
MUL = multiply (unsigned)	1111011w if w = 0 then (AX) ← (AL) x (mem/reg) if w = 1 then (DX) (AX) ← (AX) x (mem/reg)		X U U U U X
IMUL = Integer multiply (signed)	1111011w wie bei MUL vorzeichen- behaftet		X U U U U X

Befehl	Byte 1	Wirkung	Flage O D I T S Z A P G
<u>AAM = ASCII adjust for multiply</u>	11010100	$(AH) \leftarrow (AL) / \overline{D}AH, (AL) \leftarrow (AL) \times \overline{D}AH$	U X X U X U
<u>DIV = Divide (unsigned)</u>	1111011w	$(AH) \leftarrow \text{Rest}$ $(AL) \leftarrow \text{Quotient}$ $(DX) \leftarrow \text{Rest}$ $(AX) \leftarrow \text{Quotient}$	U U U U U U
	if w = 0 if w = 1		
<u>IDIV = Integer divide (signed)</u>	1111011w	wie bei DIV, vorzeichenbehaftet	U U U U U U
<u>AAD = ASCII adjust for divide</u>	11010101	$(AL) \leftarrow (AH) \times \overline{D}AH + (AL)$ $(AH) \leftarrow \overline{D}$	U X X U X U
<u>CBW = Convert byte to word</u>	10011000	$(AH) \leftarrow (AL7)$	
<u>CWD = Convert word to double word</u>	10011001	$(DX) \leftarrow (AX15)$	

Befehl	Byte 1	Wirkung	Flags O D I T S Z A P C
<u>Logische Befehle</u>			
<u>NOT = Invert</u>	1111011w	(mem/reg) ← (mem/reg)	X
<u>SHL/SAL = Shift logical/arithmetic left</u>	110100vw	if C = 0 then COUNT = 1 else COUNT = (CL) (TEMP) ← COUNT DO while (TEMP) ≠ 0 (C) ← high order bit of (EA) (EA) ← (EA) x 2 (TEMP) ← (TEMP) - 1	X
<u>SHR = Shift logical right</u>	110100vw		X
<u>SAR = Shift arithmetic right</u>	110100vw		X X U X X
<u>ROL = Rotate left</u>	110100vw		X
<u>ROR = Rotate right</u>	110100vw		X
<u>RCL = Rotate through carry left</u>	110100vw		X
<u>RCR = Rotate through carry right</u>	110100vw		X

Befehl	Byte 1	Wirkung	Flags O D I T S Z A P C
<u>AND = And</u> Reg/memory with register to either Immediate to register/memory Immediate to accumulator	00100ddw 1000000w 0010000w	(mem/Reg1) ← ((mem/reg1) AND (mem/reg2)) (mem/reg) ← ((mem/reg) AND data) (ac) ← ((ac) AND data)	0 X X U X O
<u>TEST = And function to flags, no result</u> Register/memory and register Immediate data and reg/memory Immediate data and accumulator	1000010w 1111011w 1010100w	(reg) AND (mem/reg) (mem/reg) AND data (ac) AND data	0 X X U X O
<u>OR = Or</u> Reg/memory and register to either Immediate to register/memory Immediate to accumulator	000010dw 1000000w 0000110w	(mem/reg1) ← ((mem/reg1) OR (mem/reg2)) (mem/reg) ← ((mem/reg) OR data) (ac) ← ((ac) OR data)	0 X X U X O
<u>XOR = Exclusive Or</u> Reg/memory and register to either Immediate to register/memory Immediate to accumulator	001100dw 1000000w 0011010w	(mem/reg1) ← ((mem/reg1) XOR (mem/reg2)) (mem/reg) ← ((mem/reg) XOR data) (ac) ← ((ac) XOR data)	0 X X U X O

Befehl	Byte 1	Wirkung	Flags O D I T S Z A P G
<u>Zeichenkettenverarbeitung</u> <u>REP = Repeat</u>	1111001Z		
<u>MOVS = Move byte/word</u>	1010010W	$(DI) \leftarrow (SI)$ $(SI) \leftarrow (SI) + \Delta$ $(DI) \leftarrow (DI) + \Delta$ DELTA = 1, wenn W = 0 DELTA = 2, wenn W = 1	
<u>CMPS = Compars byte/word</u>	1010011W	$(SI) \leftarrow (DI)$ $(SI) \leftarrow (SI) + \Delta$ $(DI) \leftarrow (DI) + \Delta$ DELTA = 1, wenn W = 0 DELTA = 2, wenn W = 1	X X X X X X
<u>SCAS = Scan byte/word</u>	1010111W	$(SI) \leftarrow (DI)$ $(DI) \leftarrow (DI) + \Delta$ DELTA = 1, wenn W = 0 DELTA = 2, wenn W = 1	X X X X X X
<u>LODS = Load byte/word to AL/AX</u>	1010110W	$(SI) \leftarrow (SI)$ $(SI) \leftarrow (SI) + \Delta$ DELTA = 1, wenn W = 0 DELTA = 2, wenn W = 1	

Befehl	Byte 1	Wirkung	Flags O D I T S Z A P C
<u>STOS</u> = Store byte/word fr. AL/AX	1010101w	((DI)) ← (ac) (DI) ← (DI) ± DELTA DELTA = 1, wenn w = 0 DELTA = 2, wenn w = 1	
<u>Obergabe der Steuerung</u>			
<u>CALL</u> = Call	11101000	(SP) ← (SP) - 2 (IP) ← (IP)	
<u>Indirect within segment</u>	11111111	(IP) ← (IP) + disp 16 (SP) ← (SP) - 2 ((SP)) ← (IP) (IP) ← (mem/reg)	
<u>Direct intersegment</u>	10011010	(SP) ← (SP) - 2 ((SP)) ← (IP) (SP) ← (SP) - 2 ((SP)) ← (CS) (IP) ← adr (offset-Teil) (CS) ← adr (Segment-Teil)	

Befehl	Byte 1	Wirkung	Flags O D I T S Z A P C
Indirect intersegment	11111111	(SP) ← (SP) - 2 ((SP)) ← (IP) (SP) ← (SP) - 2 ((SP)) ← (CS) (IP) ← (mem) (CS) ← (mem + 2)	
<u>JMP = Unconditional Jump</u>			
Direct within segment	11101001	(IP) ← (IP) + disp 16	
Direct within segment short	11101011	(IP) ← (IP) + disp 8	
Indirect within segment	11111111	(IP) ← (mem/reg)	
Direct intersegment	11101010	(IP) ← adr (Offset-Teil) (CS) ← adr (Segment-Teil)	
Indirect intersegment	11111111	(IP) ← (mem) (CS) ← (mem + 2)	

Befehl	Byte 1	Wirkung	Flage O D I T S Z A P C
<u>RET = Return From CALL</u>			
Within segment	11000011	(IP) ← ((SP)) (SP) ← (SP) + 2	
Within seg adding immed to SP	11000010	(IP) ← ((SP)) (SP) ← (SP) + 2 + data	
Intersegment	11001011	(CS) ← ((SP)) (SP) ← (SP) + 2 (IP) ← ((SP)) (SP) ← (SP) + 2	
Interseg adding immed to \$P	11001010	(CS) ← ((SP)) (SP) ← (SP) + 2 (IP) ← ((SP)) (SP) ← (SP) + 2 + data	

Befehl	Byte 1	Wirkung	Flage Q D I T S Z A P C
<u>JE/JZ = Jump on equal/zero</u>	01110100	Jump if: Z = 1	
<u>JL/JNGE = Jump on less/not greater or equal</u>	01111100	S ≠ 0	
<u>JLE/JNG = Jump on less or equal/not greater</u>	01111110	S ≠ 0 OR Z = 1	
<u>JB/JNAE = Jump on below/not above or equal</u>	01110010	C = 1	
<u>JBE/JNA = Jump on below or equal/not above</u>	01110110	C = 1 OR Z = 1	
<u>JP/JPE = Jump on parity/parity even</u>	01111010	P = 1	
<u>JO = Jump on overflow</u>	01110000	O = 1	
<u>JS = Jump on sign</u>	01111000	S = 1	
<u>JNE/JNZ = Jump on not equal/not zero</u>	01110101	Z = 0	
<u>JNL/JGE = Jump on not less/greater or equal</u>	01111101	S = 0	
<u>JNLE/JG = Jump on not less or equal/greater</u>	01111111	S = 0 AND Z = 0	
<u>JNB/JAE = Jump on not below/above or equal</u>	01110011	C = 0	

Befehl	Byte 1	Wirkung	Flage O D I T S Z A P C
<u>JNBE/JA = Jump not below nor equal/above</u>	01110111	C = 0 AND Z = 0	
<u>JNP/JPO = Jump on not parity/parity odd</u>	01111011	P = 0	
<u>JNO = Jump on not overflow</u>	01110001	O = 0	
<u>JNS = Jump if not sign</u>	01111001	S = 0	
<u>LOOP = Loop CX times</u>	11100010	(CX) ← (CX) - 1 if (CX) ≠ 0 then (IP) ← (IP) + disp	
<u>LOOPZ/LOOPE = Loop while zero/equal</u>	11100001	(CX) ← (CX) - 1 if (CX) ≠ 0 AND (Z) = 1 then (IP) ← (IP) + disp	
<u>LOOPNZ/LOOPNE = Loop while not zero/not equal</u>	11100000	(CX) ← (CX) - 1 if (CX) ≠ 0 AND (Z) = 0 then (IP) ← (IP) + disp	
<u>JCXZ = Jump on CX zero</u>	11100011	if (CX) = 0 then (IP) ← (IP) + disp	
<u>INT = Interrupt</u>	11001101	(SP) ← (SP) - 2 ((SP)) ← (FL) (IF) ← 0, (TF) ← 0 (SP) ← (SP) - 2 ((SP)) ← (CS) (SP) ← (SP) - 2 ((SP)) ← (IP) (IP) ← (Vektor Offset)	0 0
<u>Type specified</u>			
Type 3	11001100	wie bei type specified	

Befehl	Byte 1	Wirkung	Flags O D I T S Z A P C
<u>INTO = Interrupt on Overflow</u>	11001110	= INT 4 wie bei type spezifiziert, wenn O = 1	0 0
<u>IRET = Interrupt return</u>	11001111	(IP) ← ((SP)) (SP) ← (SP) + 2 (CS) ← ((SP)) (SP) ← (SP) + 2 (FL) ← ((SP)) (SP) ← (SP) + 2	G G G G G G G G
<u>Prozessorsteuerung:</u>			
<u>CLC = Clear carry</u>	11111100	(CF) ← 0	0
<u>CMC = complement carry</u>	11111010	(CF) ← (CF)	X
<u>STC = Set carry</u>	11111001	(CF) ← 1	1
<u>CLD = Clear direction</u>	11111100	(DF) ← 0	
<u>STD = Set direction</u>	11111101	(DF) ← 1	
<u>CLI = Clear interrupt</u>	11111010	(IF) ← 0	
<u>STI = Set interrupt</u>	11111011	(IF) ← 1	
<u>HLT = Halt</u>	11110100		
<u>WAIT = Wait</u>	10011011		
<u>ESC = Escape (to external device)</u>	11011xxx		
<u>LOCK = Bus lock prefix</u>	11110000		
<u>SEGMENT = Override prefix</u>	001SR110		
<u>NOP = No operation</u>	10010000		

10. Dekodierliste der Maschinenbefehle

Byte 1	Byte 2	Byte 3,4,5,6	Mnemonic
00	MOD REG R/M	(DISP-LO), (DISP-HI)	ADD REG8/MEM8, REG8
01	MOD REG R/M	(DISP-LO), (DISP-HI)	ADD REG16/MEM16, REG16
02	MOD REG R/M	(DISP-LO), (DISP-HI)	ADD REG8, REG8/MEM8
03	MOD REG R/M	(DISP-LO), (DISP-HI)	ADD REG16, REG16/MEM16
04	DATA-8		ADD AL, IMMED8
05	DATA-LO	DATA-HI	ADD AX, IMMED16
06			PUSH ES
07			POP ES
08	MOD REG R/M	(DISP-LO), (DISP-HI)	OR REG8/MEM8, REG8
09	MOD REG R/M	(DISP-LO), (DISP-HI)	OR REG16/MEM16, REG16
0A	MOD REG R/M	(DISP-LO), (DISP-HI)	OR REG8, REG8/MEM8
0B	MOD REG R/M	(DISP-LO), (DISP-HI)	OR REG16, REG16/MEM16
0C	DATA-8		OR AL, IMMED8
0D	DATA-LO	DATA-HI	OR AX, IMMED16
0E			PUSH CS
0F			(not used)
10	MOD REG R/M	(DISP-LO), (DISP-HI)	ADC REG8/MEM8, REG8
11	MOD REG R/M	(DISP-LO), (DISP-HI)	ADC REG16/MEM16, REG16
12	MOD REG R/M	(DISP-LO), (DISP-HI)	ADC REG8, REG8/MEM8
13	MOD REG R/M	(DISP-LO), (DISP-HI)	ADC REG16, REG16/MEM16
14	DATA-8		ADC AL, IMMED8
15	DATA-LO	DATA-HI	ADC AX, IMMED16
16			PUSH SS
17			POP SS
18	MOD REG R/M	(DISP-LO), (DISP-HI)	SBB REG8/MEM8, REG8
19	MOD REG R/M	(DISP-LO), (DISP-HI)	SBB REG16/MEM16, REG16
1A	MOD REG R/M	(DISP-LO), (DISP-HI)	SBB REG8, REG8/MEM8
1B	MOD REG R/M	(DISP-LO), (DISP-HI)	SBB REG16, REG16/MEM16
1C	DATA-8		SBB AL, IMMED8
1D	DATA-LO	DATA-HI	SBB AX, IMMED16
1E			PUSH DS
1F			POP DS
20	MOD REG R/M	(DISP-LO), (DISP-HI)	AND REG8/MEM8, REG8
21	MOD REG R/M	(DISP-LO), (DISP-HI)	AND REG16/MEM16, REG16
22	MOD REG R/M	(DISP-LO), (DISP-HI)	AND REG8, REG8/MEM8
23	MOD REG R/M	(DISP-LO), (DISP-HI)	AND REG16, REG16/MEM16
24	DATA-8		AND AL, IMMED8
25	DATA-LO	DATA-HI	AND AX, IMMED16
26			ES (Segment override prefix)
27			DAA
28	MOD REG R/M	(DISP-LO), (DISP-HI)	SUB REG8/MEM8, REG8
29	MOD REG R/M	(DISP-LO), (DISP-HI)	SUB REG16/MEM16, REG16
2A	MOD REG R/M	(DISP-LO), (DISP-HI)	SUB REG8, REG8/MEM8
2B	MOD REG R/M	(DISP-LO), (DISP-HI)	SUB REG16, REG16/MEM16
2C	DATA-8		SUB AL, IMMED8
2D	DATA-LO	DATA-HI	SUB AX, IMMED16
2E			CS (segment override prefix)
2F			DAS

Byte 1	Byte 2	Byte 3,4,5,6	Mnemonic
30	MOD REG R/M	(DISP-LO), (DISP-HI)	XOR REG8/MEM8, REG8
31	MOD REG R/M	(DISP-LO), (DISP-HI)	XOR REG16/MEM16, REG16
32	MOD REG R/M	(DISP-LO), (DISP-HI)	XOR REG8, REG8/MEM8
33	MOD REG R/M	(DISP-LO), (DISP-HI)	XOR REG16, REG16/MEM16
34	DATA-8		XOR AL, IMMED8
35	DATA-LO	DATA-HI	XOR AX, IMMED16
36			SS: (segment override prefix)
37			AAA
38	MOD REG R/M	(DISP-LO), (DISP-HI)	CMP REG8/MEM8, REG8
39	MOD REG R/M	(DISP-LO), (DISP-HI)	CMP REG16/MEM16, REG16
3A	MOD REG R/M	(DISP-LO), (DISP-HI)	CMP REG8, REG8/MEM8
3B	MOD REG R/M	(DISP-LO), (DISP-HI)	CMP REG16, REG16/MEM16
3C	DATA-8		CMP AL, IMMED8
3D	DATA-LO	DATA-HI	CMP AX, IMMED16
3E			DS: (segment override prefix)
3F			AAS
40			INC AX
41			INC CX
42			INC DX
43			INC X
44			INC SP
45			INC BP
46			INC SI
47			INC DI
48			DEC AX
49			DEC CX
4A			DEC DX
4B			DEC BX
4C			DEC SP
4D			DEC BP
4E			DEC SI
4F			DEC DI
50			PUSH AX
51			PUSH CX
52			PUSH DX
53			PUSH BX
54			PUSH SP
55			PUSH BP
56			PUSH SI
57			PUSH DI
58			POP AX
59			POP CX
5A			POP DX
5B			POP BX
5C			POP SP
5D			POP BP
5E			POP SI
5F			POP DI

Byte 1	Byte 2	Byte 3,4,5,6	Mnemonic
60			(not used)
61			(not used)
62			(not used)
63			(not used)
64			(not used)
65			(not used)
66			(not used)
67			(not used)
68			(not used)
69			(not used)
6A			(not used)
6B			(not used)
6C			(not used)
6D			(not used)
6E			(not used)
6F			(not used)
70	IP-INC8		JO SHORT-LABEL
71	IP-INC8		JNO SHORT-LABEL
72	IP-INC8		JB/JNAE/SHORT-LABEL
			JC
73	IP-INC8		JNB/JAE/SHORT-LABEL
			JNC
74	IP-INC8		JE/JZ SHORT-LABEL
75	IP-INC8		JNE/JNZ SHORT-LABEL
76	IP-INC8		JBE/JNA SHORT-LABEL
77	IP-INC8		JNBE/JA SHORT-LABEL
78	IP-INC8		JS SHORT-LABEL
79	IP-INC8		JNS SHORT-LABEL
7A	IP-INC8		JP/JPE SHORT-LABEL
7B	IP-INC8		JNP/JPO SHORT-LABEL
7C	IP-INC8		JL/JNGE SHORT-LABEL
7D	IP-INC8		JNL/JGE SHORT-LABEL
7E	IP-INC8		JNLE/JG SHORT-LABEL
80	MOD 000 R/M	(DISP-LO), (DISP-HI) DATA-8	ADD REG8/MEM8, IMMED8
80	MOD 001 R/M	(DISP-LO), (DISP-HI) DATA-8	OR REG8/MEM8, IMMED8
80	MOD 010 R/M	(DISP-LO), (DISP-HI) DATA-8	ADC REG8/MEM8, IMMED8
80	MOD 011 R/M	(DISP-LO), (DISP-HI) DATA-8	SBB REG8/MEM8, IMMED8
80	MOD 100 R/M	(DISP-LO), (DISP-HI) DATA-8	AND REG8/MEM8, IMMED8
80	MOD 101 R/M	(DISP-LO), (DISP-HI) DATA-8	SUB REG8/MEM8, IMMED8
80	MOD 110 R/M	(DISP-LO), (DISP-HI) DATA-8	XOR REG8/MEM8, IMMED8
80	MOD 111 R/M	(DISP-LO), (DISP-HI) DATA-8	CMP REG8/MEM8, IMMED8

Byte 1	Byte 2	Byte 3,4,5,6	Mnemonic
81	MOD 000 R/M	(DISP-LO), (DISP-HI) DATA-LO, DATA-HI	ADD REG16/MEM16, IMMED16
81	MOD 001 R/M	(DISP-LO), (DISP-HI) DATA-LO, DATA-HI	OR REG16/MEM16, IMMED16
81	MOD 010 R/M	(DISP-LO), (DISP-HI) DATA-LO, DATA-HI	ADC REG16/MEM16, IMMED16
81	MOD 011 R/M	(DISP-LO), (DISP-HI) DATA-LO, DATA-HI	SBB REG16/MEM16, IMMED16
81	MOD 100 R/M	(DISP-LO), (DISP-HI) DATA-LO, DATA-HI	AND REG16/MEM16, IMMED16
81	MOD 101 R/M	(DISP-LO), (DISP-HI) DATA-LO, DATA-HI	SUB REG16/MEM16, IMMED16
81	MOD 110 R/M	(DISP-LO), (DISP-HI) DATA-LO, DATA-HI	XOR REG16/MEM16, IMMED16
81	MOD 111 R/M	(DISP-LO), (DISP-HI) DATA-LO, DATA-HI	CMP REG16/MEM16, IMMED16
82	MOD 000 R/M	(DISP-LO), (DISP-HI) DATA-8	ADD REG8/MEM8, IMMED8
82	MOD 001 R/M		(not used)
82	MOD 010 R/M	(DISP-LO), (DISP-HI) DATA-8	ADC REG8/MEM8, IMMED8
82	MOD 011 R/M	(DISP-LO), (DISP-HI) DATA-8	SBB REG8/MEM8, IMMED8
82	MOD 100 R/M		(not used)
82	MOD 101 R/M	(DISP-LO), (DISP-HI) DATA-8	SUB REG8/MEM8, IMMED8
82	MOD 110 R/M		(not used)
82	MOD 111 R/M	(DISP-LO), (DISP-HI) DATA-8	CMP REG8/MEM8, IMMED8
83	MOD 000 R/M	(DISP-LO), (DISP-HI) DATA-SX	ADD REG16/MEM16, IMMED8
83	MOD 001 R/M		(not used)
83	MOD 010 R/M	(DISP-LO), (DISP-HI) DATA-SX	ADC REG16/MEM16, IMMED8
83	MOD 011 R/M	(DISP-LO), (DISP-HI) DATA-SX	SBB REG16/MEM16, IMMED8
83	MOD 100 R/M		(not used)
83	MOD 101 R/M	(DISP-LO), (DISP-HI) DATA-SX	SUB REG16/MEM16, IMMED8
83	MOD 110 R/M		(not used)
83	MOD 111 R/M	(DISP-LO), (DISP-HI) DATA-SX	CMP REG16/MEM16, IMMED8
84	MOD REG R/M	(DISP-LO), (DISP-HI)	TEST REG8/MEM8, REG8
85	MOD REG R/M	(DISP-LO), (DISP-HI)	TEST REG16/MEM16, REG16
86	MOD REG R/M	(DISP-LO), (DISP-HI)	XCHG REG8, REG8/MEM8
87	MOD REG R/M	(DISP-LO), (DISP-HI)	XCHG REG16, REG16/MEM16
88	MOD REG R/M	(DISP-LO), (DISP-HI)	MOV REG8/MEM8, REG8
89	MOD REG R/M	(DISP-LO), (DISP-HI)	MOV REG16/MEM16, REG16

Byte 1	Byte 2	Byte 3,4,5,6	Mnemonic
8A	MOD REG R/M	(DISP-LO), (DISP-HI)	MOV REG8, REG8/MEM8
8B	MOD REG R/M	(DISP-LO), (DISP-HI)	MOV REG16, REG16/MEM16
8C	MOD REG R/M	(DISP-LO), (DISP-HI)	MOV REG16/MEM16, SEGREG
8C	MOD 1-R/M		(not used)
8D	MOD REG R/M	(DISP-LO), (DISP-HI)	LEA REG16, MEM16
8E	MOD PSR R/M	(DISP-LO), (DISP-HI)	MOV SEGREG, REG16/MEM16
8E	MOD 1-R/M		(not used)
8F	MOD 000 R/M	(DISP-LO), (DISP-HI)	POP REG16/MEM16
8F	MOD 001 R/M		(not used)
8F	MOD 010 R/M		(not used)
8F	MOD 011 R/M		(not used)
8F	MOD 100 R/M		(not used)
8F	MOD 101 R/M		(not used)
8F	MOD 110 R/M		(not used)
8F	MOD 111 R/M		(not used)
90			NOP (exchange AX, AX)
91			XCHG AX, CX
92			XCHG AX, DX
93			XCHG AX, BX
94			XCHG AX, SP
95			XCHG AX, BP
96			XCHG AX, SI
97			XCHG AX, DI
98			CBW
99			CWD
9A	DISP-LO	DISP-HI, SEG-LO, SEG-HI	CALL FAR PROC
9B			WAIT
9C			PUSHF
9D			POPF
9E			SAHF
9F			LAHF
A0	ADDR-LO	ADDR-HI	MOV AL, MEM8
A1	ADDR-LO	ADDR-HI	MOV AX, MEM16
A2	ADDR-LO	ADDR-HI	MOV MEM8, AL
A3	ADDR-LO	ADDR-HI	MOV MEM16, AL
A4			MOVS DEST-STR8, SRC-STR8
A5			MOVS DEST-STR16, SRC-STR16
A6			CMPS DEST-STR8, SRC-STR8
A7			CMPS DEST-STR16, SRC-STR16
A8	DATA-8		TEST AL, IMMED8
A9	DATA-LO	DATA-HI	TEST AX, IMMED16
AA			STOS DEST-STR8
AB			STOS DEST-STR16
AC			LDS SRC-STR8

Byte 1	Byte 2	Byte 3,4,5,6	Mnemonic
AD			LODS SCR-STR16
AE			SCAS DEST-STR8
AF			SCAS DEST-STR16
B0	DATA-8		MOV AL,IMMED8
B1	DATA-8		MOV CL,IMMED8
B2	DATA-8		MOV DL,IMMED8
B3	DATA-8		MOV BL,IMMED8
B4	DATA-8		MOV AH,IMMED8
B5	DATA-8		MOV CH-IMMED8
B6	DATA-8		MOV DH-IMMED8
B7	DATA-8		MOV BH-IMMED8
B8	DATA-LO	DATA-HI	MOV AX,IMMED16
B9	DATA-LO	DATA-HI	MOV CX,IMMED16
BA	DATA-LO	DATA-HI	MOV DX,IMMED16
BB	DATA-LO	DATA-HI	MOV BX,IMMED16
BC	DATA-LO	DATA-HI	MOV SP,IMMED16
BD	DATA-LO	DATA-HI	MOV BP,IMMED16
BE	DATA-LO	DATA-HI	MOV SI,IMMED16
BF	DATA-LO	DATA-HI	MOV DI,IMMED16
C0			(not used)
C1			(not used)
C2	DATA-LO	DATA-HI	RET IMMED16(1 intraseg)
C3			RET (intrasegment)
C4	MOD REG R/M	(DISP-LO), (DISP-HI)	LES REG16, MEM16
C5	MOD REG R/M	(DISP-LO), (DISP-HI)	LDS REG16, MEM16
C6	MOD 000 R/M	(DISP-LO), (DISP-HI)	MOV MEM8, IMMED8
		DATA-8	
C6	MOD 001 R/M		(not used)
C6	MOD 010 R/M		" "
C6	MOD 011 R/M		" "
C6	MOD 100 R/M		" "
C6	MOD 101 R/M		" "
C6	MOD 110 R/M		" "
C6	MOD 111 R/M		" "
C7	MOD 000 R/M	(DISP-LO), (DISP-HI)	MOV MEM16, IMMED16
		DATA-LO, DATA-HI	
C7	MOD 001 R/M		(not used)
C7	MOD 010 R/M		(not used)
C7	MOD 011 R/M		(not used)
C7	MOD 100 R/M		(not used)
C7	MOD 101 R/M		(not used)
C7	MOD 110 R/M		(not used)
C7	MOD 111 R/M		(not used)
C8			(not used)
C9			(not used)
CA	DATA-LO	DATA-HI	RET IMMED16(inter-segment)
CB			RET (intersegment)
CC			INT 3

Byte 1	Byte 2	Byte 3,4,5,6	Mnemonic
CD	DATA-8		INT IMMED8
CE			INTO
CF			IRET
DD	MOD 000 R/M	(DISP-LO), (DISP-HI)	ROL REG8/MEM8,1
DD	MOD 001 R/M	(DISP-LO), (DISP-HI)	ROR REG8/MEM8,1
DD	MOD 010 R/M	(DISP-LO), (DISP-HI)	RCL REG8/MEM8,1
DD	MOD 011 R/M	(DISP-LO), (DISP-HI)	RCR REG8/MEM8,1
DD	MOD 100 R/M	(DISP-LO), (DISP-HI)	SAL/SHL REG8/MEM8,1
DD	MOD 101 R/M	(DISP-LO), (DISP-HI)	SHR REG8/MEM8,1
DD	MOD 110 R/M		(not used)
DD	MOD 111 R/M	(DISP-LO), (DISP-HI)	SAR REG8/MEM8,1
D1	MOD 000 R/M	(DISP-LO), (DISP-HI)	ROL REG16/MEM16,1
D1	MOD 001 R/M	(DISP-LO), (DISP-HI)	ROR REG16/MEM16,1
D1	MOD 010 R/M	(DISP-LO), (DISP-HI)	RCL REG16/MEM16,1
D1	MOD 011 R/M	(DISP-LO), (DISP-HI)	RCR REG16/MEM16,1
D1	MOD 100 R/M	(DISP-LO), (DISP-HI)	SAL/SHL REG16/MEM16,1
D1	MOD 101 R/M	(DISP-LO), (DISP-HI)	SHR REG16/MEM16,1
D1	MOD 110 R/M		(not used)
D1	MOD 111 R/M	(DISP-LO), (DISP-HI)	SAR REG16/MEM16,1
D2	MOD 000 R/M	(DISP-LO), (DISP-HI)	ROL REG8/MEM8,CL
D2	MOD 001 R/M	(DISP-LO), (DISP-HI)	ROR REG8/MEM8,CL
D2	MOD 010 R/M	(DISP-LO), (DISP-HI)	RCL REG8/MEM8,CL
D2	MOD 011 R/M	(DISP-LO), (DISP-HI)	RCR REG8/MEM8,CL
D2	MOD 100 R/M	(DISP-LO), (DISP-HI)	SAL/SHL REG8/MEM8,CL
D2	MOD 101 R/M	(DISP-LO), (DISP-HI)	SHR REG8/MEM8,CL
D2	MOD 110 R/M		(not used)
D2	MOD 111 R/M	(DISP-LO), (DISP-HI)	SAR REG8/MEM8,CL
D3	MOD 000 R/M	(DISP-LO), (DISP-HI)	ROL REG16/MEM16,CL
D3	MOD 001 R/M	(DISP-LO), (DISP-HI)	ROR REG16/MEM16,CL
D3	MOD 010 R/M	(DISP-LO), (DISP-HI)	RCL REG16/MEM16,CL
D3	MOD 011 R/M	(DISP-LO), (DISP-HI)	RCR REG16/MEM16,CL
D3	MOD 100 R/M	(DISP-LO), (DISP-HI)	SAL/SHL REG16/MEM16,CL
D3	MOD 110 R/M		(not used)
D3	MOD 111 R/M	(DISP-LO), (DISP-HI)	SAR REG16/MEM16,CL
D4	00001010		AAM
D5	00001010		AAD
D6			(not used)
D7			XLAT SOURCE-TABLE
DD	MOD 000 R/M		
DD	MOD YYY R/M	(DISP-LO), (DISP-HI)	ESC OPCODE, SOURCE
DF	MOD 111 R/M		
EO	IP-INC-8		LOOPNE/ SHORT-LABEL LOOPNZ
E1	IP-INC-8		LOOPE/ SHORT-LABEL LOOPZ
E2	IP-INC-8		LOOP SHORT-LABEL
E3	IP-INC-8		JCXZ SHORT-LABEL
E4	DATA-8		IN AL, IMMED8

Byte 1	Byte 2	Byte 3,4,5,6	Mnemonic
E5	DATA-8		IN AX, IMMED8
E6	DATA-8		OUT AL, IMMED8
E7	DATA-8		OUT AX, IMMED8
E8	IP-INC-LO	IP-INC-HI	CALL NEAR-PROC
E9	IP-INC-LO	IP-INC-HI	JMP NEAR-LABEL
EA	IP-LO	IP-HI, CS-LO, CS-HI	JMP FAR-LABEL
EB	IP-INC8		JMP SHORT-LABEL
EC			IN AL, DX
ED			IN AX, DX
EE			OUT AL, DX
EF			OUT AX, DX
FO			LOCK (prefix)
F1			(not used)
F2			REPNE/REPZ
F3			REP/REPE/REPZ
F4			HLT
F5			CMC
F6	MOD 000 R/M	(DISP-LO), (DISP-HI) DATA-8	TEST REG8/MEM8, IMMED8
F6	MOD 001 R/M		(not used)
F6	MOD 010 R/M	(DISP-LO), (DISP-HI)	NOT REG8/MEM8
F6	MOD 011 R/M	(DISP-LO), (DISP-HI)	NEG REG8/MEM8
F6	MOD 100 R/M	(DISP-LO), (DISP-HI)	MUL REG8/MEM8
F6	MOD 101 R/M	(DISP-LO), (DISP-HI)	IMUL REG8/MEM8
F6	MOD 110 R/M	(DISP-LO), (DISP-HI)	DIV REG8/MEM8
F6	MOD 111 R/M	(DISP-LO), (DISP-HI)	IDIV REG8/MEM8
F7	MOD 000 R/M	(DISP-LO), (DISP-HI) DATA-LO, DATA-HI	TEST REG16/MEM16, IMMED16
F7	MOD 001 R/M		(not used)
F7	MOD 010 R/M	(DISP-LO), (DISP-HI)	NOT REG16/MEM16
F7	MOD 011 R/M	(DISP-LO), (DISP-HI)	NEG REG16/MEM16
F7	MOD 100 R/M	(DISP-LO), (DISP-HI)	MUL REG16/MEM16
F7	MOD 101 R/M	(DISP-LO), (DISP-HI)	IMUL REG16/MEM16
F7	MOD 110 R/M	(DISP-LO), (DISP-HI)	DIV REG16/MEM16
F7	MOD 111 R/M	(DISP-LO), (DISP-HI)	IDIV REG16/MEM16
F8			CLC
F9			STC
FA			CLI
FB			STI
FC			CLD
FD			STD
FE	MOD 000 R/M	(DISP-LO), (DISP-HI)	INC REG8/MEM8
FE	MOD 001 R/M	(DISP-LO), (DISP-HI)	DEC REG8/MEM8
FE	MOD 010 R/M		(not used)
FE	MOD 111 R/M		(not used)

Byte 1	Byte 2	Byte 3,4,5,6	Mnemonic
FF	MOD 000 R/M	(DISP-LO), (DISP-HI)	INC MEM16
FF	MOD 001 R/M	(DISP-LO), (DISP-HI)	DEC MEM16
FF	MOD 010 R/M	(DISP-LO), (DISP-HI)	CALL REG16/MEM16 (intra)
FF	MOD 011 R/M	(DISP-LO), (DISP-HI)	CALL MEM16 (intersegment)
FF	MOD 100 R/M	(DISP-LO), (DISP-HI)	JMP REG16/MEM16 (intra)
FF	MOD 101 R/M	(DISP-LO), (DISP-HI)	JMP MEM16 (intersegment)
FF	MOD 110 R/M	(DISP-LO), (DISP-HI)	PUSH MEM16
FF	MOD 111 R/M		(not used)

Anlage 2

Steckverbinderbelegung

Inhaltsverzeichnis

Seite

1.	ZVE K 2771 Steckverbinderbestückung	2-2
2.	Steckverbinderbelegung ZVE K 2771-X1	2-3
3.	Steckverbinderbelegung ZVE K 2771-X2	2-5
4.	Steckverbinderbelegung ZVE K 2771-X3	2-7
5.	Steckverbinderbelegung ZVE K 2771-X4	2-8
6.	Steckverbinderbelegung ZVE K 2771-X5	2-9

1. ZVE K 2771 - Steckverbinderbestückung

Modul	Anschluß	Steckverbinder	erweiterte Kurzbezeichnung
ZVE K 2771	X1: Systembus MMS 16	C96M-CIA, DIN41612 96polig, SL	
	X2: ZPS-Anschluß speziell Modul ZPS K 2071	C96-CIA, DIN41612 96polig, SL	
	X3: IFSS	Subminiatur-D 25polig, BL 203-25 EBS-GO 4006/01-2-V	X3 B0 15
	X4: Frontpaneel-Anschluß Prüfung	EFS-SK 26polig, SL 102/26 TGL 37912	X4 K0 65
	X5: Centronics-Interface speziell f. Drucker- anschluß	Subminiatur-D 25polig, SL DB 25 P1B1N	X5 S 115

2. Steckverbinderbelegung ZVE K 2771 - X1
Systembus MMS 16

96pol., SL, C96M - C1A, DIN 41612

Reihe	a			b			c
	Signalname	Typ	Signalname	Typ	Signalname	Typ	
1	/MRDC	T.S.	/BCLK	TTL	/IORC	T.S.	
2	/MWTC	T.S.	GND		/IOWC	T.S.	
3	/BPRN	D.C.I.	/BUSY	O.C.	/INTA	T.S.	
4	/BPRO	D.C.O.	/CBRQ	O.C.	/BREQ	N.B.	
5					ALE	N.B.	
6			GND				
7	/INT0	O.C.	/INT1	O.C.	/INT2	O.C.	
8	/INT3	O.C.	/INT4	O.C.	/INT5	O.C.	
9	/INT6	O.C.	GND		/INT7	O.C.	
10			/XACK	T.S.	/INIT	O.C.	
11	+5V						
12	+5V		+12V		+12V		
13			GND				
14	+5V						
15	+5V						
16	/ADR0	T.S.	/ADR1	T.S.	/ADR2	T.S.	
17	/ADR3	T.S.	GND		/ADR4	T.S.	
18	/ADR5	T.S.	/ADR6	T.S.	/ADR7	T.S.	
19	/ADR8	T.S.	/ADR9	T.S.	/ADRA	T.S.	
20	/ADRB	T.S.	GND		/ADRC	T.S.	
21	/ADRD	T.S.	/ADRE	T.S.	/ADRF	T.S.	
22	/ADR10	T.S.	/ADR11	T.S.	/ADR12	T.S.	

Reihe Pin	a		b		c	
	Signalname	Typ	Signalname	Typ	Signalname	Typ
23	/ADR13	T.S.	GND			
24					+5V	
25			/BHEN	T.S.	+5V	
26			GND		/CCLK	TTL
27	/DAT0	T.S.	/DAT1	T.S.	/DAT2	T.S.
28	/DAT3	T.S.	/DAT4	T.S.	/DAT5	T.S.
29	/DAT6	T.S.	GND		/DAT7	T.S.
30	/DAT8	T.S.	/DAT9	T.S.	/DATA	T.S.
31	/DATB	T.S.	/DATC	T.S.	/DATD	T.S.
32	/DATE	T.S.	GND		/DATE	T.S.

T.S. = Tristate-Signal
 O.C. = Open-Collector-Signal
 D.C.I. = Daisy-Chain-Input
 D.C.O. = Daisy-Chain-Output
 TTL = Totem-pole-Signal
 N.B. = Not Bussed

3. Steckverbinderbelegung ZVE K 2771 - X2 ZPS-Anschluß

96pol., SL, C96M - C1A, DIN 41612

Reihe	a	b	c
Pin	Signalname	Signalname	Signalname
1	/MEM-RD		/ZPS-PR
2	/ADV-MEM-WRT	GND	/ALES
3	/PROM-LOCK	/ABENC	T4
4		ZPS-LOCK	CLK-TEST
5	OSC		READY
6	/SB-RAM-RD	GND	/ALEC
7	/CSC-DB	/IO-RD	/LB-ZPS-ACK
8	/ZPS-NMI	/LOW	/SB-RAM-DATA-EN
9	ZPS-INTR	GND	/HIGH
10		/IO-WT	NMI-MASK
11	+5V		
12	+5V	+12V	+12V
13		GND	/SB-AEN
14	+5V		
15	+5V	/CSC-ADR	/MBHEN
16	AB0	AB1	AB2

Pin	a			b			c		
	Reihe	Signalname	Signalname	Signalname	Signalname	Signalname	Signalname	Signalname	
17		AB3		GND		AB4			
18		AB5		AB6		AB7			
19		AB8		AB9		ABA			
20		AB8		GND		ABC			
21		ABD		ABE		ABF			
22		AB10		AB11		AB12			
23		AB13		GND		ZPS-DIR			
24		/LB-ZPS-REQ		/SB-RAM-MODE		+5V			
25		/ZPS-CS		/CLK-T4		+5V			
26				GND					
27		DB0		DB1		DB2			
28		DB3		DB4		DB5			
29		DB6		DBD		DB7			
30		DB8		DB9		DBA			
31		DBB		DBC		DBD			
32		DBE		GND		DBF			

4. Steckverbinderbelegung ZVE. K 2771 - X3
Interface IFSS

25pol., BL, Subminiatur-D
203-25 EBS-GO 4006/01-2-V

Kontakt	Signale	Bemerkung
1	GND (Schirm)	auf Modul ZVE K 2771 mit log. Null über Wickel- stift verbindbar
2-9	—	X701 - X702
10	SD -	
11-12	—	
13	ED -	
14	ED +	
15-18	—	
19	SD + 2	
20-25	—	

5. Steckverbinderbelegung ZVE K 2771 - X4.
Frontpaneel-Anschluß
Prüfung

26pol., Steckerleiste, EFS-SK
102/26 TGL 37912

Reihe	A	B
Kontakt		
1	GND	tone
2	SET-DC-OFF	/AUX-RESET
3	/S2L	/S1L
4	/S0L	
5	/CTIME	/RDY2C
6	CSYN	EFI
7	/RDY1C	
8	/SEL-EFI	
9	QS1	/TEST
10	/S0	QS0
11	/S2	/S1
12	RQ/GT0	/LOCK
13	GND	

6. Steckverbinderbelegung ZVE K 2771 - X5
 Centronics-Interfaces

25pol., Steckerleiste, Subminiatur-D
 DB 25 P181N

Kontakt	Signal	Bemerkung
1	/STROBE)
2	PDAT1)
3	PDAT2)
4	PDAT3)
5	PDAT4)
6	PDAT5)
7	PDAT6) 1)
8	PDAT7)
9	PDAT8)
10	/ACK)
11	PBUSY)
12	PE)
13	SELECT)
14	res.	res. für /AUTOFEED
15	/FAULT)
16	res.	res. für /INITIALIZE oder +5V
17	res	res. für /SELECT INPUT
18	GND)
19	GND)
20	GND)
21	GND)
22	GND)
23	GND)
24	GND)
25	GND)

1) Für die Leitungen 1-11 werden vom Interface zugeordnete, verdrillte Masseleitungen gefordert, die in der Buchsenleiste auf die Kontakte 18-25 zusammenzuführen sind. Der Schirmschluß des Interfacekabels muß auf der K 2771-Seite erfolgen. Auf Kontakt X5:17 wird das Signal /SELECT-INPUT ausgegeben, das über die eingestellte Übertragungsrichtung der Datentreiber/-empfänger des Port B des PPI KR 580 WW 55A informiert.

Anlage 3Signalverzeichnis Modul ZVE K 2771

Mnemonic	Bedeutung
AB(13:0)H	Lokaler Adreßbus
/ABENC	Freigabesteuerung für Adreßbus
/ACK	Übernahmequittung des PPI
/AC-LOW	Wechselspannungsausfall
AD(0F:0)H	Bidirektionaler Adreß-/Datenbus der CPU
AD(13:10)H	4 höchstwertigen Adreßbit der CPU
/ADR(13:0)H	System-Adreßbus
ADV-IO-ADR	vorgezogene Freigabe der E/A-Adreßdekodierung
/ADV-MEM-WRT	vorgezogenes ZPS-Schreibsignal
ALE	Adreßregister Freigabe
/ALEC	Steuerung der Adreßregisterfreigabe
/AUX-RESET	Rücksetzsignal von RESET-Taste
/BCLK	Bustakt
/BHEN	Bus high enable auf Systembus, Zugriff auf höherwertiges Byte
/BHE/S7	Bus high enable der CPU
/BHE/S7-L	gespeichertes /BHE/S7
/BPRO	Bus-Priority-Out; Busfreigabe an nächsten Arbitrer
/BPRN	Bus-Priority-IN; Arbitrer kann Bussteuerung übernehmen
BRK-INTR	Break-Taste-Interrupt
/BUSY	Bus besetzt
CAS(2:0)	Kaskadieradresse für Slave-PIC
/CBRQ	Common Bus Request; Busanforderung eines Arbitrers niedriger Priorität
/CCLK	Konstantbustakt
CLK	Takt für CPU, Buscontroller und Busarbitrer
CLK-TEST	Taktprüfung
CNMI	Resultierendes NMI-Signal
C-PCI	Taktsignal für PCI
/CS-8251	Chip-Select-PCI KR580WW51A
/CS-8253	Chip-Select-PIT KR580WI53
/CS-8255	Chip-Select-PPI KR580WW55A
/CS-8259	Chip-Select-PIC KR580WN59A

Mnemonic	Bedeutung
/CSC-ADR	Chip-Select-Steuerung für Adreßregister
/CSC-PZAD	Chip-Select-Steuerung des PROM-ZPS-Adreßdekoders für Prüfzwecke
/CSC-DB	Chip-Select-Steuerung des lokalen Datenbus
/CSC-SW	Chip-Select-Steuerung Datenbytevertauschung
CSYN	externes Taktsynchronisationssignal
/CTIME	Timeout-Steuerung
/DAT(F:Ø)H	System-Datenbus
DB(F:Ø)H	Lokaler Datenbus
/DB-CS	Chip-Select der lokalen Datenbustreiber
/DB-CSC	Chip-Select-Steuerung der lokalen Datenbustreiber
/DIRC	Richtungssteuerung für Daten
DIRC-DB	Richtungssteuerung des DB-Datenbus
/DIRC-SB-DA	Richtungssteuerung für Systembusdaten
DB-DIR	Richtungssteuerung der DB-Datentreiber
ED+, ED-	Empfangdatenschleife des IFSS
EFI	Anschluß für externe Taktquelle
/FAULT	Fehlerzustand des Druckers
/FFIN	Lüfterausfallinterrupt
/F-INTA-ACK	Quittung für erstes INTA-Signal
GATEØ-CTL	Programmierte Steuerung des Zählers Ø
/HIGH	ZPS-Paritätsfehlerauswertung (höherwertiges Byte)
/INT(Ø:7)	Systembus-Interruptanforderungen
/INTA	Interruptantwort der CPU
/INTA-CYCLE	Interrupt Acknowledge Zyklus
INTA-FF	Interrupt Acknowledge Flip-Flop
/INIT	Systeminitialisierung
INTR	Interruptanforderung an CPU
/IO-AACK	Vorgezogene Quittung auf ZVE interne E/A-Adresse
/IO-RC	Lesen von externer E/A-Adresse
/IO-RD	Lesen von interner E/A-Adresse
/IOWC	Schreiben auf externe E/A-Adresse
/IO-WT	Schreiben auf interne E/A-Adresse
LBC-DT/R	Richtungssteuerung durch LBC
/LB-ADR	Lokalbus-Adresse

Mnemonic	Bedeutung
LB-DEN	Freigabe von LB-Controller für lokalen Datenbus
LB-INTA	Lokaler Datenbus Interruptzyklus
/LB-INTA-DEN	Enable lokale Datenbustreiber bei Interruptzyklus
/LOW	ZPS-Paritätsauswertung (niederwertiges Byte)
/MBEN	Freigabe ZPS-Speicherzugriff höherwertiges Byte
/MEM-RD	ZPS lesen
/MRDC	OPS lesen
/MWTC	OPS schreiben
NMI	nicht maskierbarer Interrupt
/NMI-DIS	Maskierungssignal für NMI
NMI-MASK	Maskierungssignal für ZPS-NMI
OSC	Quarztakt
/OVERRIDE	Softwarerealisierung der LOCK-Funktion
PI-T/ \bar{R}	Richtungssteuerung für Datentreiber an Port B
PBUSY	Bus besetzt, Drucker kann keine Daten übernehmen
PDAT (8:1)	Drucker-Datenleitungen
PE	Papierende
PFIN	Spannungsausfallinterrupt
/PIC-DEN	Interruptcode gültig
/PROM-AACK	vorgezogene Antwort bei PROM lesen
/PROM-IO-EN	Freigabe des lokalen Datenbus bei PROM lesen
/PROM-LOCK	Zugriff auf PROM blockiert
/LBC-MCE	Freigabe der Kaskadierungsadresse
QS \emptyset , QS1	Statusbits der CPU-Queue
RDY1, RDY2	asynchrone Quittungen von Busfolgen
/RDY1C, /RDY2C	externe Steuerung der RDY-Signale
READY	Synchronisierte Quittung für CPU
RESET	Rücksetzen
RQ/GR \emptyset	Request/Grant \emptyset für CPU
RxD	Empfangsdaten des PCI
/S \emptyset , /S1, /S2	Statusbits der CPU
/S \emptyset L, /S1L, /S2L	gespeicherte Statusbits der CPU
/SB-AD-CS	Freigabe der Systembus-Adresstreiber
/SB-AEN	Freigabe der Systembus-Adresse

Mnemonic	Bedeutung
/SBC-AEN	Freigabe der Steuerleitungen des SB-Controllers
/SB-DA-CS	Freigabe der Systembusdaten
SB-DA-DIR	Richtungssteuerung der Systembusdatentreiber
SB-DEN	Freigabe vom SB-Controller für Systembusdaten
/SB-INTA-DEN	Freigabe für Systembusdaten bei Interruptzyklus
SB-INTR-OUT	Systembusinterrupterzeugung
/SB-RAM-DATA-EN	Freigabe des Systembus für ZPS-Daten
/SB-RAM-MODE	Zugriff auf ZPS über Systembus
/SB-RAM-RD	Lesen des ZPS über Systembus
SD+, SD-	Sendedatenschleife des IFSS
SET-DC-OFF	Gleichspannungsabschaltsignal
SI-TX-INT	Ausgabe-Interrupt des PCI
SI-RX-INT	Eingabe-Interrupt des PCI
/STROBE	Datenübernahme für Drucker
/SW-CS	Freigabe der Datentreiber für Bytevertauschung
T4	Taktzählersignal
/TEST	Beendet WAIT-Zustand der CPU
/TIME-OUT	Zeitüberschreitung
/TIME-OUT-INTR	Zeitüberschreitung-Interrupt
TMR0-INTR	TIMER0-Interrupt
TMR1-INTR	TIMER1-Interrupt
tone	Einschalten des akustischen Gebers
TxD	Sendedaten des PCI
ZPS-LOCK	Blockierung des ZPS
/LB-ZPS-ACK	ZPS-Quittung
/LB-ZPS-REQ	ZPS-Anforderung
ZPS-INTR	maskierbarer Interrupt von ZPS
/ZPS-NMI	nicht maskierbarer Interrupt von ZPS
/ZPS-PR	ZPS-Prüfung
/8251-TEST	externe Abschaltung der PCI-Sendesleife
/ZPS-CS	Freigabe für ZPS-Datentreiber
ZPS-DIR	Richtungssteuerung für ZPS-Datentreiber

Anlage 4

PROM-ZPS-Adreßdekoeder (Y622)

Inhaltsverzeichnis

Seite

- | | | |
|-----------------|-----------------|-----|
| 1. PZA-Dekoder: | Adreßzuordnung | 4-2 |
| 2. PZA-Dekoder: | Ausgangssignale | 4-2 |
| 3. PZA-Dekoder: | Bitbelegung | 4-3 |

1. PZA-Dekoder: Adreßzuordnung

A8	A7	A6	A5	A4	A3	A2	A1	A0	PROM-Adresse
		AB(12)	AB(11)	AB(10)	AB(F)	AB(E)	AB(D)	AB(C)	Bus-Adresse
A		B			C				Kennzeichnung

A wird über Wickelstifte X720 ... X723 eingestellt

X723 = Low

X722 = A7

X721 = High

X720 = A8

2. PZA-Dekoder: Ausgangssignale

Ausgang	Signal	Funktion	Wert
01	/EN-EPROM	Enable lokaler PROM	siehe Tabelle Punkt 3.
02	CS-EPROM	Chip Select EPROM	
03	/ZPS-P	ZPS-Prüfung	
04	--/ZPS	ZPS-Zugriff	

3. PZA-Dekoder: Bitbelegung

		A = 0																
		C	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
B	0	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
	1	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
	2	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
	3	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
	4	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B
	5	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B
	6	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
	7	F	F	F	F	F	F	F	F	C	C	C	C	E	E	E	E	E

		A = 1																
		C	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
B	0	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
	1	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
	2	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
	3	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
	4	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B
	5	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B
	6	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
	7	F	F	F	F	F	F	F	F	F	F	F	F	F	E	E	E	E

B \ C	A = 2															
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
1	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
2	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
3	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
4	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B
5	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B
6	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
7	F	F	F	F	F	F	F	F	F	F	F	F	C	C	E	E

B \ C	A = 3															
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
1	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
2	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
3	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
4	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B
5	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B
6	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
7	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	C

Anlage 5

PIC-Interruptursachen bei Einsatz des Moduls ZVE K 2771
im Rechner A 7100

Ebene	Signal	Quelle, Bedeutung
IR0		Reserviert für K 1810WM87
IR1	BRK-INTR	Taste BREAK
IR2	TMR0-INTR	Timer 0 auf ZVE
IR3	/INTR3	ASP oder (alternativ) User
IR4	PB-INTR	PPI auf ZVE, Druckerinter- rupt
IR5	/INTR5	KES, Interrupt für einen oder beide Kanäle
IR6	SI-RX-INT	PCI auf ZVE, Serial I/O Receive
IR7	/INTR7	ABS/KGS