

BETRIEBSDOKUMENTATION

Zentrale Verarbeitungseinheit

robotron K 2771

VEB Robotron-Elektronik Dresden

r o b o t r o n

Produzent:

VEB Robotron-Elektronik Dresden  
DDR 8010 Dresden  
Grunaer Straße 2

Änderungen im Sinne des technischen Fortschritts vorbehalten.  
Im Interesse einer ständigen Weiterentwicklung werden alle Leser  
gebeten, dem Herausgeber Hinweise zur Verbesserung mitzuteilen.  
Nachdruck und jegliche Vervielfältigung, auch auszugsweise, sind  
nur mit Genehmigung des Herausgebers zulässig.

Herausgeber:

VEB Robotron-Elektronik Dresden  
DDR 8010 Dresden  
Grunaer Straße 2

Inhaltsverzeichnis

Seite

1.	Verwendungszweck	11
2.	Technische Daten	12
2.1.	Leistungskennwerte	12
2.2.	Anschlußkennwerte	15
2.2.1.	Belastung der Systembussignale	15
2.2.2.	Belastung der X4-Signale	16
2.2.3.	Belastung der X2-Signale	16
2.2.4.	Allgemeine Anschlußkennwerte	17
2.2.5.	Konstruktive Kennwerte	18
2.3.	Varianten	19
2.4.	Umgebungsbedingungen	19
2.5.	Schutzmaßnahmen	20
3.	Funktionsbeschreibung	20
3.1.	Allgemeine Bemerkungen	20
3.2.	Bauelementebasis	21
3.3.	Struktur des Moduls ZVE K 2771	22
3.4.	Taktversorgung	25
3.4.1.	CPU-Takt	25
3.4.2.	Bus-Takte	26
3.4.3.	Interface-Takte	27
3.5.	Reset	27
3.6.	Ready-Steuerung	28
3.7.	WAIT-Generator	29
3.8.	Timeout	30
3.9.	CPU	30
3.9.1.	Allgemeine Bemerkungen	30
3.9.2.	Registersatz	31
3.9.3.	CPU-Grundtaktierung	32
3.9.4.	CPU-Lesezyklus	33
3.9.5.	CPU-Schreibzyklus	35
3.9.6.	HALT	37
3.9.7.	TEST	37
3.10.	Busstruktur der ZVE K 2771	37
3.10.1.	Allgemeine Bemerkungen	37
3.10.2.	Adreßbus	37
3.10.3.	Adreßbussteuerung	38
3.10.4.	Datenbus	38
3.10.5.	Datenbussteuerung	38
3.10.6.	Bytevertauschung	40
3.11.	Speicherorganisation	41
3.11.1.	Allgemeine Bemerkungen	41
3.11.2.	Lokaler PROM	42
3.11.2.1.	Adreßverteilung und Ansteuerung	42
3.11.3.	Zweiportspeicher	44
3.11.3.1.	CPU-Zugriff zum ZPS	45
3.11.3.2.	Systembuszugriff zum ZPS	45

	Seite	
3.11.4.	ZVE-Speicheradreßverteilung	46
3.12.	Ein-/Ausgabeorganisation	46
3.12.1.	Allgemeine Bemerkungen	46
3.12.2.	Lokale Ein-/Ausgabe	47
3.12.3.	System-Ein-/Ausgabe	48
3.12.4.	ZVE-E/A-Adreßverteilung	48
3.13.	Interruptstruktur	50
3.13.1.	Allgemeine Bemerkungen	50
3.13.2.	Interrupt-Matrix	51
3.13.3.	Interruptarten	52
3.13.4.	Interruptoperationen	53
3.13.5.	Interruptbearbeitungsfolge	56
3.13.6.	Nicht busvektorierte Interrupts (NBV)	57
3.13.7.	Busvektorierte Interrupts (BV)	57
3.14.	Busarbitrage	58
3.14.1.	Allgemeine Bemerkungen	58
3.14.2.	Funktionsweise des Arbiters	58
3.14.3.	Serielle Prioritätsentscheidung	59
3.14.4.	Bus Lock	59
3.15.	Schnittstellen	60
3.15.1.	Allgemeine Bemerkungen	60
3.15.2.	Systembus MMS 16 - X1	60
3.15.3.	ZPS-Anschluß - X2	60
3.15.4.	Frontpaneel-Anschluß - X4	61
3.15.5.	Seriell Interface IFSS	61
3.15.6.	Paralleles Interface	63
3.15.6.1.	Allgemeine Bemerkungen	63
3.15.6.2.	Port-Verwendung	63
3.15.6.3.	Signalzuordnung	64
3.15.6.4.	Interface Centronics	65
3.16.	Firmware des ZVE-Moduls K 2771	66
4.	Beschreibung der Konstruktion	67
5.	Transport, Lagerung, Verpackung und Ent- packung	69
5.1.	Verpackung	69
5.2.	Transport und Lagerung	69
5.3.	Entpackung	70
6.	Montage und Installation	70

	Seite	
7.	Einstellung und Initialisierung	71
7.1.	Lage der Einstellelemente	71
7.2.	DIL-Schaltereinstellung	71
7.3.	Steuereingänge	73
7.4.	Wickelverbindungen	74
7.4.1.	CPU-Taktgenerator	74
7.4.2.	Timeout-Steuerung	74
7.4.3.	Intervall-Timer	74
7.4.4.	Bustakte	75
7.4.5.	PZA-Dekoder	75
7.4.6.	Lokaler PROM	76
7.4.7.	Busarbiter	76
7.4.8.	Seriellles Interface	77
7.4.9.	Paralleles Interfcae	77
7.4.10.	Interrupt-System	78
7.5.	Einstellung des Moduls ZVE K 2771 für den Einsatz im A 7100 und IGT	81
7.6.	Initialisierung des Moduls ZVE K 2771 für den Einsatz im Rechner A 7100	82
8.	Inbetriebnahme und Betrieb	86
8.1.	Inbetriebnahmevoraussetzungen	86
8.2.	Inbetriebnahme des Moduls	86
8.3.	Betrieb	87
9.	Pflege und Wartung	87
10.	Instandsetzung	88

Anlagen

Seite

Anlage 1:	Maschinenbefehlsliste der CPU K1810WMS6	1-1 ... 1-30
Anlage 2:	Steckverbinderbelegung	2-1 ... 2-9
Anlage 3:	Signalverzeichnis ZVE K 2771	3-1 ... 3-4
Anlage 4:	PROM-ZPS-Adreßdekoder (Y622)	4-1 ... 4-4
Anlage 5:	PIC-Interruptursachen bei Einsatz des Moduls ZVE K 2771 im Rechner A 7100	5-1

Verzeichnis der Bilder

Bild	Titel	Seite
3-1	Blockschaltbild der ZVE K 2771	23
3-2	CPU-Takt CLK	25
3-3	CPU-Grundtaktierung	32
3-4	CPU-Lesezyklus	35
3-5	CPU-Schreibzyklus	36
3-6	Speicherorganisation	41
3-7	PROM-Ansteuerung	43
3-8	EPRQM-Bestückung	44
3-9	Interrupt-Acknowledge-Zyklus	55
3-10	Interruptbearbeitungsfolge	56
3-11	Lage der Steckverbinder	68
7-1	Lage der Einstellelemente auf dem Modul ZVE K 2771	72

Verzeichnis der Tabellen

Tabelle	Titel	Seite
3 - 1	RDY Zeitforderungen	29
3 - 2	CPU Statuskodierung	33
3 - 3	Queuestatus	33
3 - 4	Zugriffssteuerung	34
3 - 5	Bytevertauschung	40
3 - 6	EPROM-Bestückungsvarianten	42
3 - 7	PROM-Adreßverteilung	43
3 - 8	Speicheradreßverteilung ZVE K 2771	46
3 - 9	Dekodierung der CS-Signale	47
3 - 10	ZVE-E/A-Adreßverteilung	48
3 - 11	E/A Ressourcen	49
3 - 12	Verteilung der Interruptvektoren	51
3 - 13	Definierte interne Interrupts	52
3 - 14	Interruptvektortabelle ZVE K 2771	54
3 - 15	X4, FP-Signalumfang	61
3 - 16	Port-Signalzuordnung	64
7 - 1	Schalterstellung	71
7 - 2	DIL/Schalterstellungen	73
7 - 3	Steuereingänge	73
7 - 4	Wickelverbindungen, CPU-Taktgenerator	74
7 - 5	Wickelverbindungen, Timeout-Steuerung	74
7 - 6	Intervall-Timer, verfügbare Eingangstakt- frequenzen	74
7 - 7	Intervall-Timer, Steuermöglichkeiten	75
7 - 8	Wickelverbindungen, Bustakte	75
7 - 9	Wickelverbindungen, PSZ-Dekoder (Y622)	75
7 - 10	Wickelverbindungen, lokaler PROM	76
7 - 11	Wickelverbindungen, Busarbiter Betriebsart	76
7 - 12	Wickelverbindungen, Busarbiter Prioritätsfest- legung	77

7 - 13	Wickelverbindungen, Serielles Interface	77
7 - 14	Wickelverbindungen, Paralleles Interface	77
7 - 15	Interrupt-Matrix	78
7 - 16	Wickelverbindungen, NMI- Oderung	79
7 - 17	Wickelverbindungen, NMI-Freigabe	79
7 - 18	Wickelverbindungen, Systembus-Interrupt- Erzeugung	80
7 - 19	Wickelverbindungen, Interrupt- Oderung	80
7 - 20	Wickelverbindungen, Arithmetikprozessor- Interrupt	80
7 - 21	Einstellung des Moduls K 2771 für den Einsatz im A 7100 und IGT	81



Verzeichnis der Abkürzungen

AC	Arbeitsplatzcomputer
AG	Akustischer Geber
AR	Adressregister
BTG	Bus-Taktgenerator
BLP	bestückte Leiterplatte
BV	Bus-vektoriert (Interrupt)
CPU	$\mu$ Prozessorchaltkreis K 1810WM86
CTG	CPU-Taktgenerator
DBZ	Division durch $\emptyset$ (Interrupt Typ $\emptyset$ )
E/A	Ein-/Ausgabe
FP	Frontpaneel
GND	Massepotential
I	Eingabe
IF	Interface
I/O	Ein-/Ausgabe
ICWn (n=1...4)	Initialisierungswert für PIC
IFSS	Interface für sternförmig serielle Informationsübertragung
IGT	Intelligentes Grafisches Terminal
INTn (n= $\emptyset$ ...255)	Interruptbefehl
INTR	maskierbarer Interrupt
IRn (n= $\emptyset$ ...7)	Interruptanforderung für PIC
IV	Interruptvektor
LB	Lokalbus
LBC	Buscontroller für Lokalen Bus
MLL	Mehrlagenleiterplatte
MMS 16	Mikrorechnermodulsystem 16

NBV	nicht busvektoriert
NMI	nichtmaskierbarer Interrupt
O	Ausgang
O.C.	offener Kollektor
OCW	Kommandowort für PIC
OSC-Signal	Oszillatorsignal
PE	Papierende
PIC (USART- KR580W51A)	programmierbares Kommunikationsinterface
PIC (KR580W59A)	programmierbarer Interruptkontroller
PIT(KR580WI53)	programmierbarer Intervalltimer
PPI(KR580W55A)	programmierbares Peripherie-Interface
QS	Queue-Status
SB	Systembus
SBC	Buscontroller für Systembus
SK	Schaltkreis
SS	Single Step
STE	Steckeinheit
STV	Steckverbinder
SUL	Systemunterlagen
TS	Tri-state
TW	Wait-Takt
USART	universeller synchroner asynchroner Empfänger/ Treiber
ZPS	Zweiportspeicher

Erzeugnisbezeichnung : Zentrale Verarbeitungseinheit robotron K 2771

Kurzbezeichnung : ZVE K 2771

Notation Verträglichkeitsniveau : M-D16M20I16V02LS-VOL

### 1. Verwendungszweck

Die Zentrale Verarbeitungseinheit robotron K 2771 ist ein 16-bit-Mikroprozessor-Modul, der als ZVE-Kern in Mikrorechnern eingesetzt werden kann.

Der Modul ZVE K 2771 enthält bestimmte Hardware- und Firmwaremittel, um den verschiedenen Anforderungen des OEM-Einsatzes gerecht zu werden. Er erlaubt den Aufbau von leistungsfähigen Mikrorechnersystemen verschiedenster Konfigurationen und die Realisierung von Multiprozessorsystemen für ein breites Spektrum von Einsatzgebieten.

Der Modul ZVE K 2771 ist eine Basiskomponente des Mikrorechner-Modulsystems 16 (MMS 16) für den Aufbau unterschiedlicher Mikrorechnerkonfigurationen für die Haupteinsatzgebiete:

- Büroautomatisierung  
Buchung, Abrechnung, Fakturierung, Planung und Leitung, ökonomische Berechnungen, Optimierungsaufgaben, Datenerfassung, Textverarbeitung
- Arbeitsplätze für Konstrukteure und Technologen
- Ingenieurtechnische Berechnungen in Forschung, Entwicklung sowie Ausbildung
- Programmentwicklung  
u. a. für Echtzeitsteuerung
- Terminal für ESER- und SKR-Rechner in DFV- und Kommunikationssystemen
- Labor-, Experimental- und Prüffeldautomatisierung
- Auswerterechner in der Meßtechnik
- Datenbank-, Informations- und Auskunftssysteme
- Prozeßsteuerung
- Grundgerät für den Aufbau anwendungsorientierter Konfigurationen

Kernstück des Moduls ZVE K 2771 ist der 16-bit-Mikroprozessor (CPU) K1810WM86 aus dem Mikroprozessor-Schaltkreissystem K1810, der die Leistungsfähigkeit des ZVE-Moduls bestimmt.

Durch das Vorhandensein eines lokalen Busses für den Anschluß eines Zweiportspeichers (ZPS) kann insbesondere in Multiprozessorsystemen die Belastung des Systembusses in Grenzen gehalten werden.

Vier DIL-Fassungen bieten dem Anwender die Möglichkeit, einen bis maximal 32 K Byte großen lokalen EPROM für seine spezielle Firmware zu verwenden.

Der Modul ZVE K 2771 liefert auf Basis des programmierbaren Peripherie-Schaltkreises (PPI) KR580WW55A ein paralleles Interface vom Typ Centronics, das vorrangig für den Anschluß eines Druckers vorgesehen ist, vom Anwender aber durch Uminitialisierung des

PPI und Richtungssteuerung seinen speziellen Anforderungen angepaßt werden kann.

Auf Basis des USART KR580WN51A wird auf dem Modul ZVE K 2771 das serielle Interface IFSS realisiert, das vorrangig als Bedieninterface vorgesehen ist.

Der USART kann durch den Nutzer individuell programmiert werden und erlaubt somit den Anschluß verschiedenster Geräte.

Einstellmöglichkeiten erlauben die Auswahl der aktiven oder passiven Arbeitsweise des Senders oder Empfängers sowie die Wahl der Übertragungsgeschwindigkeit.

Ein programmierbarer Intervalltimer (PIT) KR580WI53 bietet dem Nutzer vielfältige Einsatzmöglichkeiten, da ein Gate-Eingang über den PPI KR580WN55A steuerbar und ein Ausgang auf eine Interruptmatrix geführt wird.

Der PIT dient auch als Baudratengenerator für das IFSS.

Der Modul ZVE K 2771 realisiert den Systembus MMS 16 und kann über diesen mit anderen Modulen des MMS 16 gekoppelt werden. Er realisiert einen Speicheradressraum von 1 M Byte, einen E/A-Adressraum von 64 K Byte und ein erweiterungsfähiges, programmierbares vektororganisiertes Interruptsystem auf der Basis des programmierbaren Interruptcontrollers (PIC) KR580WN59A.

Über Software sind vielfältige Interruptprioritäts-Modi realisierbar. Eine einstellbare Interruptmatrix erlaubt verschiedene Interruptquellen auszuwählen.

Der Modul ZVE K 2771 arbeitet mit einer CPU-Taktfrequenz von 4,915 MHz, erzeugt den Bustakt mit einer Frequenz von 9,832 MHz und realisiert den Maschinenbefehlssatz der CPU K1810WM86.

## 2. Technische Daten

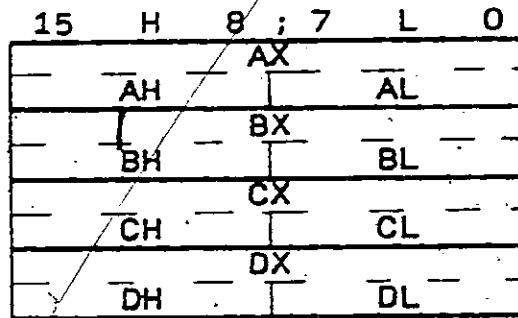
### 2.1. Leistungskennwerte

Befehlswortlänge	-	8 - 48 bit
Datenwortlänge	-	8, 16 bit
Zahlendarstellung	-	Festkomma, Zweierkomplement
		Maschinenbefehlssatz der CPU K1810WM86
		(siehe Anlage 1)
		70 Basisbefehle
Adressierungsarten		30 (einschließlich Modi)
Befehlsausführungszeiten		ca. 400 ns bei Abarbeitung des Befehls aus der Queue
		ca. 1 $\mu$ s, wenn sich der Befehl nicht in der Queue befand und bei 1 $T_w$ für Speicherzugriff
	-	allgemein ergibt sich die Befehlsausführungszeit aus der Anzahl der pro Befehl benötigten Taktzyklen unter Beachtung der Frequenz des CPU-Taktes CLK, sowie der Anzahl

der notwendigen Speicherzugriffe pro Befehl unter Beachtung der Speicherzugriffszeiten, der an den Modul angeschlossenen Speicher

Registersatz

Datengruppe



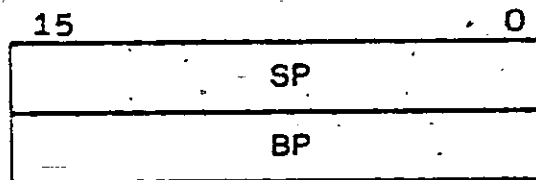
Akku-Register

Basis-Register

Count-Register

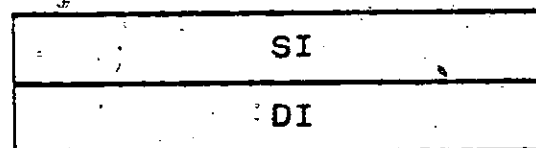
Daten-Register

Pointer- und Indexgruppe



Stackpointer

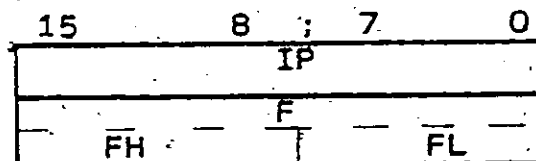
Basispointer



Source Indexregister

Destination Indexregister

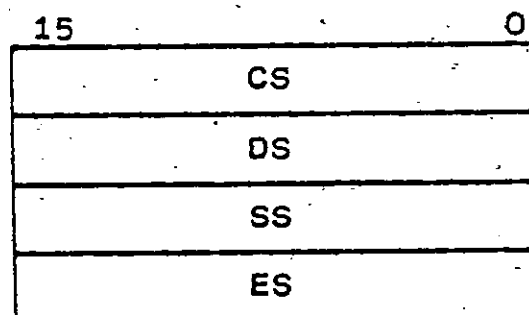
Steuergruppe



Instructionpointer

Statusregister (Flag)

Segmentregister



Codesegment-Register

Datensegment-Register

Stacksegment-Register

Extrasegment-Register

Speicheradreibraum	1 M Byte
E/A-Adreibraum	64 K Byte
PROM-Kapazität	4 - 32 K Byte Bestückungsvarianten siehe Pkt. 3.11.2.
PROM-Adressierung	FE000H - FFFFFH (4 x K573RF2) FC000H - FFFFFH (4 x K573RF3) F8000H - FFFFFH (4 x K573RF4)
Zweiportspeicher	Anschluß über X2 möglich 00000H - 1FFFFH Belegung siehe Anlage 2
Takterzeugung	
Quarztypen	Q 51/E2010 TGL 33584
Quarznennfrequenzen	14745 kHz, 9832 kHz
CPU-Taktfrequenz (CLK)	4,915 MHz
Bus-Taktfrequenz (/BCLK,/CCLK)	9,832 MHz
CPU-Takt Flankenanstiegs- u. abfallzeiten	10 ns max.
CPU-Takt Pegel	Low -0,5 V ... +0,6 V High 3,9 V ... ( $V_{CC} + 1$ ) V
Interruptsystem	vektororganisierte Interrupt- behandlung 1 NMI (maskierbar) Vektoradresse 00008 H 8 INTR (maskierbar) erweiterungsfähig bis auf 64 Interruptebenen Interruptquellen wählbar über Interruptmatrix
Bedienung	Über Bedientastatur oder Terminal; Anschluß an IFSS, X3 Voraussetzung; entsprechende Firmware
Stackorganisation	vorhanden
Timeoutüberwachung	ca. 10 ms, abschaltbar
WAIT-Steuerung	vorhanden, extern nutzbar (über Steuersignal am X4) programmierbar mittels Signal /TEST

Intervalltimer und Baud-  
ratengenerator  
Eingangsfrequenz (einstellbar)

- 2458,0 kHz
- 1229,0 kHz
- 614,5 kHz
- 153,6 kHz
- 76,8 kHz

Ausgangsfrequenzen

Funktion	Einzeltimer		Doppeltimer	
	Min	Max	Min	Max
Echtzeit-Interrupt	1,63 $\mu$ s	427,1 ms	3,26 $\mu$ s	466,5 min
Baudraten-Generator (Frequenz)	2,342 Hz	613,5 kHz	0,000036 Hz	306,8 kHz

Seriellles Interface

IFSS

Paralleles Interface

Centronics

## 2.2. Anschlußkennwerte

### 2.2.1. Belastung der Systembusssignale

Lfd.-Nr.	Signal	Maximale Belastung	
		Low-Pegel/ $\mu$ A	High-Pegel/ $\mu$ A
1	/ADR (F:Ø)H	0,1	50
2	/ADR (13:1Ø)H	0,5	80
3	/BPRN	0,5	60
4	/BUSY	0,5	60
5	/CBRQ	0,5	60
6	/DAT (F:Ø)H	0,1	50
7	/INT (7:Ø)H	0,36	20
8	/PFIN	0,36	20
9	/XACK	0,36	20

2.2.2. Belastung der X4-Signale

Lfd. Nr.	Signal	Maximale Belastung	
		Low-Pegel/ $\mu$ A	High-Pegel/ $\mu$ A
1	/AUX-RESET	0,6	50
2	CSYN	0,5	50
3	/CTIME	1,5	20
4	EFI	1,6	50
5	/RDY1C	1,5	20
6	/RDY2C	1,5	20
7	RQ/GT $\bar{O}$	0,01	10
8	/TEST	0,01	10

2.2.3. Belastung der X2-Signale

Lfd. Nr.	Signal	Maximale Belastung	
		Low-Pegel/ $\mu$ A	High-Pegel/ $\mu$ A
1	/ABENC	1,5	20
2	CLK-TEST	2,4	70
3	/CSC-DB	1,5	20
4	DB (7: $\bar{O}$ )H	0,30	160
5	DB (F:8)H	0,32	150
6	/LB-ZPS-ACK	1,5	20
7	/PROM-LOCK	1,5	20
8	/SB-RAM-DATA-EN	1,5	20
9	/SB-RAM-MODE	5	210
10	/SB-RAM-RD	2,2	60
11	ZPS-LOCK	3,1	50
12	/ZPS-NMI	1,5	20
13	/ZPS-PR	3,1	50
14	/ALEC	1,5	20
15	/CSC-ADR	1,5	20



2.2.4. Allgemeine Anschlußkenwerte

Energieversorgung	5P - ca. 3,0 A 12P - ca. 0,05 A
Leistungsaufnahme	gesamt etwa 16 W
Bus	Systembus MMS 16 (MMS 16-S) ZPS-Anschluß (siehe Anlage 2)
Serielle Schnittstelle IFSS	nach TGL 42886, sternförmig seriell
Obertragung Stromschleifen	bitseriell, asynchron 1 Sende-, 1 Empfangschleife (20 mA Stromschleifen)
Stromeinspeisung	getrennt für Senden und Emp- fangen Konstantstromquelle, einstellbar, im Normalfall auf Senderseite
Schutz	Galvanische Trennung über Opto- koppler (mit Zusatzisolation)
Logische Bedingungen	High = 15.....25 mA Low = 0.....3 mA
Obertragungsrates	programmierbar, max. 9600 Baud
Kabellänge	max. 500 m paarweise verdrillte, abge- schirmte Leitung
Schnittstellenleitungen	SD+ Kontakt 19 Sendeschleife SD- Kontakt 10 ED+ Kontakt 14 Empfangs- ED- Kontakt 13 schleife GND Kontakt 1 GND (Schirm) mit log. Null über Wickelstift verbindbar X701 - X702
Steckverbinder	Subminiatur-D, 25polig, Buchsenleiste, 203-25 EBS4-GD 4006/01-2-V, Kontaktbelegung siehe Anlage 2
Zeichenformat	programmierbar 1 Startbit 5, 6, 7, 8 bit Zeichenlänge Breakzeichenerkennung Parität gerade oder ungerade 1; 1,5; 2 Stoppbits

**Parallele Schnittstelle Centronics**

Obertragung	bitparallel, byteseriell, nur Ausgabe
logische Bedingungen	TTL-Pegel Low - 0,4 V High - 2,4 V  Ausgangsstrom Low -I <sub>OL</sub> = 32 mA bei U <sub>OL</sub> = 0,4 V  Ausgangsstrom High I <sub>OH</sub> = 5 mA bei U <sub>OL</sub> = 2,4 V
Obertragungsrage	max. 2,2 KByte/sec
Kabellänge	max. 3 m paarweise verdrehte Leitungen, abgeschirmtes Rundkabel Adernquerschnitt mind. 0,08 mm <sup>2</sup> Wellenwiderstand 60...150 Ohm
Leitungsabschluß	3,3 kOhm nach 5 P
Schnittstellenleitungen	/STROBE Datengültigkeit PDAT1...PDAT8 Daten /ACK Empfangsquittung PBUSY Datenübernahmeperrre PE Papierende SELECT Gerätebereitschaft /FAULT Fehlermeldung GND Verdrehte Rückleitung für Signal
Steckverbinder	Subminiatur-D, 25polig, Stecker- leiste DB 25 P1B1N, Kontakt- belegung siehe Anlage 2
Zeitbedingungen	Datenvorbereitungszeit 1 µs min Datenhaltezeit 1 µs min /STROBE-Impulsbreite 1 µs min /ACK-Impulsbreite 5 µs max

**2.2.5. Konstruktive Kenwerte**

LP-Typ-Nr.	031-0350; MLL; 6 Ebenen
BLP-Abmessungen	233,4 x 160 mm <sup>2</sup> (Doppelleuropa- format)
zulässiges Steckraster	20,32 mm
Bauhöhe	max. 13,5 mm
BLP-Masse	ca. 400 g

Steckverbinder  
Rückverdrahtungsseite

X1: Systembus MMS 16  
Steckerleiste, 96polig, IEC,  
C96M-C1A DIN 41612

X2: ZPS-Anschluß  
Steckerleiste, 96polig, IEC  
C96M-01A, DIN 41612

## Griffseite

X3: Interface IFSS,  
Buchsenleiste, 25polig  
Subminiatur-D, 203-25 EBS-GO  
4006/01-2-V

X4: Anschluß FBG, Prüfsteckver-  
binder  
Steckerleiste, 26polig  
EFS-SK, 102/26 TGL 37912

X5: Interface Centronics  
Steckerleiste, 25polig  
Subminiatur-D, DB 25 P1B1N

## Steckverbinderbelegungen

siehe Anlage 2

2.3. Varianten

Variante 1: BLP-Typ-Nr. 031-035010  
Bestückung des Moduls ZVE K 2771 mit 4 Stück EPROM  
K573RF4 mit A 7100-Monitor als ZVE-Basisvariante  
für den Einsatz im Arbeitsplatzcomputer A 7100.

Variante 2: BLP-Typ-Nr. 031-035020  
Modul ZVE K 2771 ohne EPROM-Bestückung für den OEM-  
Einsatz im MMS 16. Der Anwender hat die Möglichkeit,  
eine eigene Bestückungs- und Firmwarevariante seinen  
speziellen Forderungen anzupassen.

Variante 3: BLP-Typ-Nr. 031-035050  
Bestückung des Moduls ZVE K 2771 mit 4 Stück EPROM  
K573RF4 mit IGT-Monitor als ZVE-Basisvariante für  
den Einsatz im Intelligenten Grafischen Terminal  
(IGT).

2.4. Umgebungsbedingungen

Für den Modul K 2771 gelten die Einsatzgrenzbedingungen  
0/+55/+30/90//10/1/10.

## 2.5. Schutzmaßnahmen

Der Modul ZVE K 2771 wird mit Kleinspannung betrieben und erzeugt intern keinerlei gefährliche Spannungen. Notwendige Schutzmaßnahmen hängen vom sicherheitstechnischen Konzept des Finalerzeugnisses sowie von den für die entsprechende Erzeugnisgruppe geltenden Sicherheitsstandards ab.

Der Modul ZVE K 2771 ermöglicht für das Interface IFSS im Passivmodus eine sicherheitstechnische galvanische Trennung.

Die Isolationsbedingungen sind:

- Kriech- und Luftstrecke: 4 mm
- Prüfspannung : 2500 V<sub>eff</sub>, 1 min nach 48 h Feuchteconditionierung bei 93 % rel. Luftfeuchte zwischen 20 °C und 30 °C

(Entsprechend den Bedingungen "Zusatzisolation" nach IEC 380/435 und VDE 0806/0805)

## 3. Funktionsbeschreibung

### 3.1. Allgemeine Bemerkungen

Punkt 3 liefert eine allgemeine Funktionsbeschreibung des Moduls ZVE K 2771, die den Anwender in die Lage versetzen soll, den Modul entsprechend seinen konkreten Anforderungen in Finalprodukten einzusetzen.

Die Funktionsbeschreibung des Moduls ZVE K 2771 basiert auf dem in Pkt. 3.2 vorgestellten Blockschaltbild, den Schaltkreisbeschreibungen der einzelnen Schaltkreise des Mikroprozessor-Schaltkreissystems K1810 sowie des MMS 16 Systembusrichtlinie.

Zum vollen Verständnis der Funktionsweise des ZVE-Moduls K 2771 wird die interne Struktur sowie das logische und zeitliche Verhalten der einzelnen LSI-Schaltkreise des Mikroprozessor-Schaltkreissystems K1810 vorausgesetzt.

Zur Realisierung seiner Funktionen benötigt der Modul ZVE K 2771 eine spezielle Firmware, die durch den Anwender entsprechend seinen konkreten Forderungen erstellt werden muß. Dabei sind die Adreßverteilung des Moduls und die speziellen Initialisierungsvorschriften der programmierbaren Schaltkreise des Mikroprozessor-Schaltkreissystems K1810 zu beachten.

Die Struktur des Moduls ZVE K 2771 wird von folgenden Gesichtspunkten bestimmt:

- Anpassung an den Systembus MMS 16
- Anpassung an das Mikroprozessor-Schaltkreissystem K1810

- Realisierung des Moduls auf einer Leiterplatte vom Format 233,4 x 160 mm<sup>2</sup> (Doppelleuropaformat)
- Einsatz des Moduls im MMS 16
- Funktionsfähigkeit des Moduls ohne Anschluß eines Zweiportspeichers
- Lokalspeicher- und Interruptsystemerweiterungsmöglichkeiten
- Realisierung eines SUL-Konzepts mit Einsatz international üblicher Betriebssysteme in dieser Rechnerklasse bei Einsatz des Moduls in Komplettrechnersystemen
- Neues, dem internationalen Trend entsprechendes Architekturkonzept
- Verwendung standardisierter Interfaces
- Berücksichtigung der vorhandenen Prüf- und Servicetechnik
- Verbesserung der technischen und ökonomischen Leistungskennziffern

Der Modul ZVE K 2771 realisiert die Systemphilosophie des MMS 16, die auf der grundsätzlich modularen Gestaltung beruht, die es gestattet, durch Auf- und Abrüstbarkeit, Austausch- und Erweiterbarkeit von einzelnen Baugruppen entsprechend dem jeweiligen technisch-technologischen Stand, Systeme in einem weiten Leistungsbereich für die verschiedensten Anwendungsfälle einheitlich zu konzipieren.

### 3.2. Bauelementebasis

- Spezifische systembestimmende Bauelemente:  
Mikroprozessor-Schaltkreissystem K1810 mit den Schaltkreisen

K1810WM86	16-Bit CPU, 5 MHz
K1810GF84	Taktgenerator
KR580WW51A	PCI, Programmierbares Kommunikationsinterface (USART)
KR580WI53	PIT, Programmierbarer Intervall Timer
KR580WW55A	PPI, Programmierbares Peripherieinterface
KR580WN59A	PIC, Programmierbarer Interruptcontroller
KR580WG88	Buscontroller
KR580WG89	Busarbiter

- Speicherbauelemente:

74S571	PROM 512 x 4 Bit Adreßdeko- der	
K573RF2	EPR0M, 2 K x 8 Bit	Lokaler PROM
K573RF3	EPR0M, 4 K x 8 Bit	wahlweiser Einsatz der ange-
K573RF4	EPR0M, 8 K x 8 Bit	gebenen Typen
		Einstellungen siehe Pkt. 7

- Sonstige Logikbauelemente:

Low-Power-Schottky-TTL	Standardbauelementesortiment
Schottky-TTL	Standardbauelementesortiment

### 3.3. Struktur des Moduls ZVE K 2771

Bild 3-1 zeigt das Blockschaltbild des Moduls ZVE K 2771. Die wesentlichsten Funktionskomplexe des Moduls, die auf Basis hochintegrierter Schaltkreise (LSI) des Mikroprozessor-Schaltkreissystems K1810 realisiert werden, sind folgende:

- CPU
- Taktversorgung (CPU, Bus, Interface) mit Reset-Logik und Ready-Steuerung
- Arbitr
- System- und Lokalbuscontroller
- Daten- und Adreßbussteuerung
- Lokaler PROM
- Parallelinterface
- Serielles Interface
- Programmierbarer Intervall Timer
- Interruptsystem

Der Modul ZVE K 2771 verfügt über ein lokales Bussystem, über das alle lokalen Ressourcen (Speicher, E/A) ohne Systembusbelegung erreicht werden. Damit ist die Parallelarbeit des Moduls zu anderen Busmastern in einem Multimaster-System möglich.

Über eine spezielle Schnittstelle ist der Anschluß eines Zweiportspeichers (ZPS) möglich. ZPS-Zugriffe des Moduls ZVE K 2771 haben eine höhere Priorität als ZPS-Zugriffe anderer Master über den Systembus MMS 16.

#### CPU

Als CPU kommt der H-MOS LSI-SK K1810WM86 zum Einsatz, der sowohl 8- als auch 16-Bit-Verarbeitung gestattet und mit seiner internen Struktur und Funktionsweise wesentliche Teilsysteme des Moduls bestimmt. Die leistungsfähige Befehlsliste des CPU-Schaltkreises, die verschiedenen Adressierungsarten, seine moderne Architektur gewährleisten ein breites Anwendungsfeld der ZVE K 2771.

#### Taktversorgung

Die Taktversorgung des Moduls übernehmen zwei quarzstabilisierte Taktgeneratoren auf Basis des Schaltkreises K1810GF84. Der CPU-Taktgenerator wird von der Ready-Steuerung, der Reset-Logik und dem WAIT-Generator beeinflusst.

#### Arbitr

Der Arbitr auf Basis des Schaltkreises KR580WG89 realisiert ein schnelles Busmasterwechselsystem und ein serielles Prioritätsentscheidungssystem. Er erlaubt den Anschluß des Moduls ZVE K 2771 an den Systembus MMS 16 und ist erweiterungsfähig für den Einsatz dezentralisierter Busarbitr zur Realisierung der parallelen Prioritätsentscheidung.

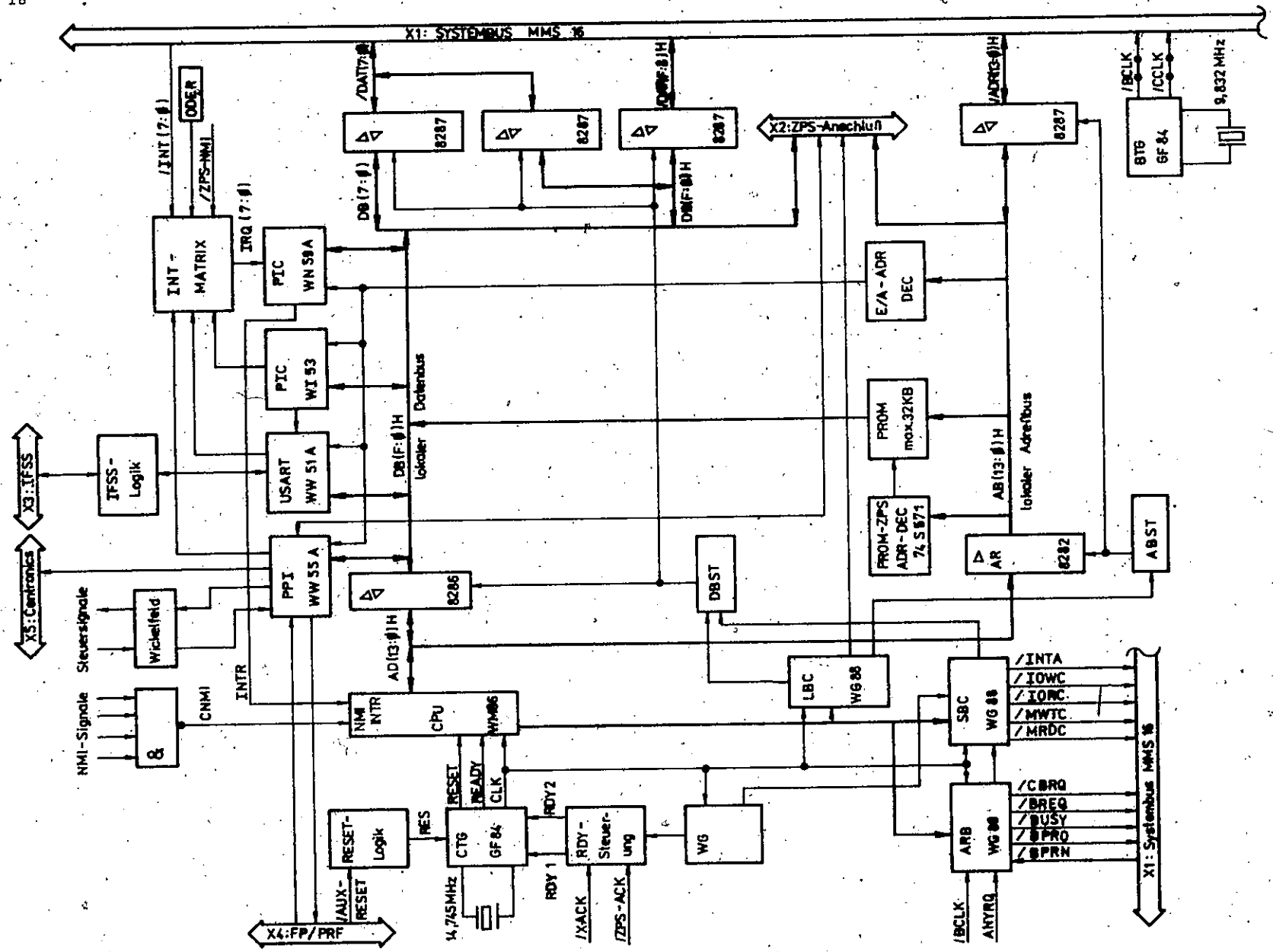


Bild 3.1. Blockschaltbild ZVE K2771.

Systembus- und Lokalbuscontroller

Als System- und Lokalbuscontroller kommt der Schaltkreis KR580WG88 zum Einsatz. Mit seiner Hilfe wird die effektive Realisierung des universellen Systembus MMS 16 (X1) sowie der speziellen Schnittstelle für den Anschluß eines ZPS möglich (X2).

Daten- und Adreßbussteuerung

Die Daten- und Adreßbussteuerung ist in S-TTL-Logik realisiert und steuert die verschiedenen Teilbusse des Moduls auf Basis der Schaltkreise DS8286, DS8287. Der CPU-AD-Bus AD (13 : 0)H wird in folgende Teilbusse zerlegt, die separat gesteuert werden:

- lokaler Datenbus DB (F : 0)H
- lokaler Adreßbus AB (13 : 0)H
- System-Datenbus /DAT (F : 0)H
- System-Adreßbus /ADR (13 : 0)H

Lokaler PROM

Der lokale PROM mit einer Kapazität von 4 KByte - 32 KByte dient zur Speicherung der gesamten Firmware des Moduls ZVE K 2771. Durch den Anwender kann die Speicherkapazität auf- und abgerüstet werden und der Inhalt der Firmware den speziellen Einsatzbedingungen angepaßt werden.  
(siehe Pkt. 2.3, Varianten)

Parallelinterface

Der Modul ZVE K 2771 realisiert über den Steckverbinder X5 auf Basis des PPI-SK KR580WW55A ein paralleles Interface nach Centronics-Standard für den Anschluß entsprechender Drucker. Die freien Ports des PPI-SK werden für sonstige Steuerzwecke innerhalb des Moduls verwendet.

Seriellles Interface

Über den Steckverbinder X3 realisiert der Modul ZVE K 2771 auf der Basis der Schaltkreise KR580WI53 und KR580WW51A ein serielles Interface IFSS für den Tastatur- oder Terminalanschluß. Mit Hilfe des PIT KR580WI53 werden weitere Funktionen des Moduls realisiert.

Interruptsystem

Auf Basis des PIC-Schaltkreises KR580WN59A wird mit Hilfe einer Interruptmatrix ein flexibles Unterbrechungssystem mit 8 Interruptebenen (maskierbar) realisiert. Eine weitere Interruptebene (NMI) wird direkt durch den CPU-Schaltkreis K1810WN86 gebildet (nicht maskierbar). Die Realisierung des Interruptsystems erlaubt eine Erweiterung über den Systembus durch Anschluß weiterer Slave-PIC.



3.4. Taktversorgung

Die Taktversorgung des Moduls ZVE K 2771 erfolgt über zwei quarzgesteuerte Taktgeneratoren auf Basis des Schaltkreises K1810GF84. Der Modul erzeugt folgende Taktsignale, die einerseits nur intern verwendet und andererseits für ein übergeordnetes Rechnersystem sowie OEM-Anwendungen bereitgestellt werden:

- CPU-Takt CLK
- Bus-Takte /BCLK, /CCLK
- Interface-Takte

3.4.1. CPU-Takt

Der für den Modul ZVE K 2771 verwendete CPU-Schaltkreis K1810WM86 arbeitet synchron und benötigt für die Steuerung aller Abläufe einen freilaufenden Oszillator als Taktgeber, der ein asymmetrisches Taktsignal mit einem Tastverhältnis von 1:2 und einer Frequenz von maximal 5 MHz als zeitliches Bezugssignal zu liefern hat.

Dieser CPU-Takt wird von dem CPU-Taktgenerator CTG (K1810GF84), der über einen Quarz mit einer Grundfrequenz von 14745 KHz stabilisiert ist, geliefert. Die nominelle Taktfrequenz beträgt 4915 KHz. Mit diesem Taktsignal werden gleichzeitig der Bus-Arbitrer KR580WG89 und die Bus-Controller KR580WG88 versorgt.

Der CPU-Takt CLK wird durch folgende Parameter charakterisiert (Bild 3.2):

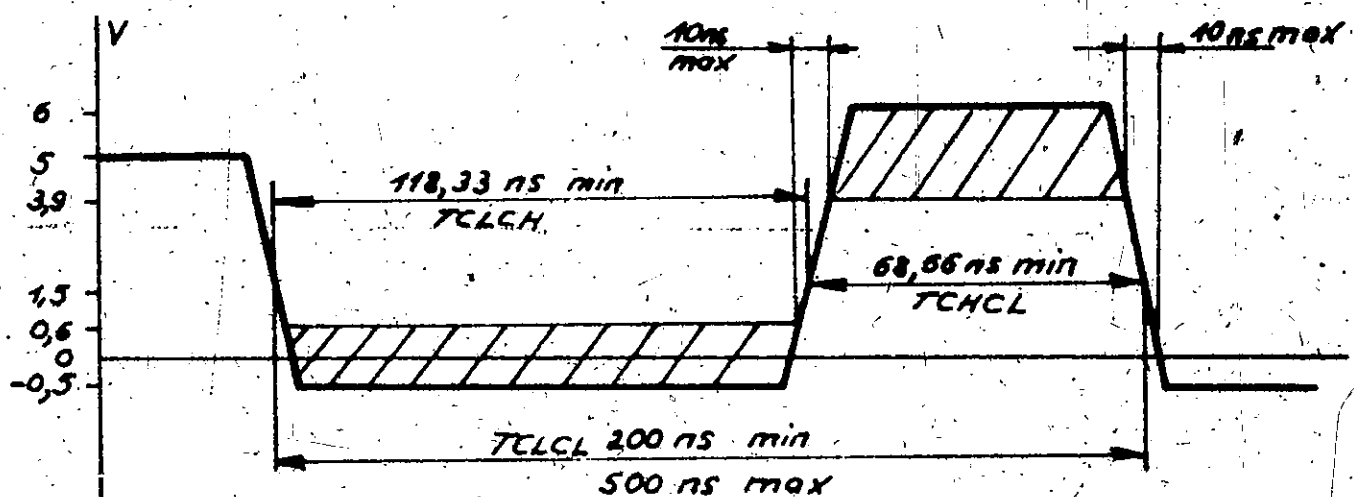


Bild 3-2: CPU-Takt CLK

- Periode TCLCL = 203,46 ns
- High-Zeit TCHCL<sub>min</sub> = (1/3 TCLCL) + 2 = 69,82 ns
- Low-Zeit TCLCH<sub>min</sub> = (2/3 TCLCL) - 15 = 120,64 ns
- Flankenanstiegs- u. -abfallzeiten - 10 ns
- Low-Ausgangsspannung  $U_{OL \max} = 0,45 \text{ V}$
- High-Ausgangsspannung  $U_{OH \min} = 4,0 \text{ V}$
- Low-Ausgangsstrom  $I_{OL} = 5 \text{ mA}$
- High-Ausgangsstrom  $I_{OH} = -1 \text{ mA}$
- Kapazitive Belastung  $C_L = 100 \text{ pF}$

Da der CPU-Schaltkreis K1810MM86 dynamische Zellen enthält, ist in jedem Fall eine minimale Taktfrequenz von 2 MHz zu gewährleisten. Daraus folgt, daß Schrittbetrieb nicht durch Taktblockierung realisiert werden darf.

Der CPU-Taktgenerator CTG liefert neben dem CPU-Takt CLK ein Taktsignal OSC mit der Grundfrequenz des verwendeten Quarzes, das für Meß- und Prüfzwecke auf den Kontakt X2:A05 gelegt ist und vom OEM-Anwender für spezielle Zwecke genutzt werden kann.

Parameter des OSC-Taktsignals:

- Periode TCLCL = 67,82 ns
- Tastverhältnis 1:1
- Low-Ausgangsspannung  $U_{OL \max} = 0,45 \text{ V}$
- High-Ausgangsspannung  $U_{OH \min} = 2,4 \text{ V}$
- Low-Ausgangsstrom  $I_{OL} = 5 \text{ mA}$
- High-Ausgangsstrom  $I_{OH} = -1 \text{ mA}$
- Kapazitive Belastung  $C_L = 100 \text{ pF}$

Für eine externe Taktversorgung sowie eine externe Synchronisation des Moduls ZVE K 2771 sind die EFI- und CSYN-Eingänge des CPU-Taktgenerators auf den Steckverbinder X4 gelegt.

EFI - X4: B06 externer Takteingang  
 CSYN - X4: A06 Auswahl externe Synchronisation

Über das Signal /SEL-EFI (Kontakt X4:A08) kann zwischen interner oder externer Taktversorgung des Moduls gewählt werden.

/SEL-EFI = Low Auswahl externe Taktversorgung  
 /SEL-EFI = High Auswahl interne Taktversorgung

### 3.4.2. Bus-Takte

Der Systembus MMS 16 verwendet zwei Bustakte:

- /BCLK Bustakt
- /CCLK Konstanttakt

Der Bustakt /BCLK synchronisiert mit seiner Vorderflanke alle Bussignale, die für den Wechsel der Busmasterschaft benötigt werden.

Der Bustakt /CCLK besitzt eine konstante Frequenz und dient als Grundtakt für alle Master und Slaves innerhalb eines übergeordneten Systems.

Beide Takte werden auf dem Modul ZVE K 2771 vom quarzstabilisierten Bustaktgenerator BTG auf Basis des Schaltkreises K1810GF84 gebildet und haben eine Taktfrequenz von 9832 KHz. Es wird der Taktgeneratorausgang OSC verwendet, das heißt die Taktfrequenz entspricht der Quarzfrequenz, das Tastverhältnis beträgt 1 : 1 und die Takte haben TTL-Pegel. Die Bustakte können über Wickelbrücken abgeschaltet werden, so daß sie bei Einsatz des Moduls in Mehrprozessorsystemen von anderen Masterern erzeugt werden können. Der Modul ZVE K 2771 treibt beide Bustakte über TTL-Gatter N140.

Über den DIL-Schalter S1 kann das OSC-Taktsignal des Bustaktgenerators BTG für Prüfzwecke abgeschaltet werden. Dabei wird eine externe Takteinspeisung über den Kontakt X2:CO4 ermöglicht.

### 3.4.3. Interface-Takte

Für den Anschluß eines Terminals oder einer Tastatur wird auf dem Modul ZVE K 2771 das Interface IFSS realisiert. Den Kern dieses Interfaces bilden die Schaltkreise KR580WW51A und KR580WI53. Um die entsprechenden Taktfrequenzen der Sende- und Empfangssignale für verschiedene Baud-Raten erzeugen zu können, wird der Grundtakt über Zähler heruntergeteilt.

Der Schaltkreis KR580WW51A wird mit einer Taktfrequenz von 2457,5 KHz vom CPU-Taktgenerator versorgt. Der programmierbare Zeitgeber KR 580WI53 kann über ein Wickelfeld mit verschiedenen Taktsignalen versorgt und vom Anwender speziell verschaltet werden (siehe Tab. 7-6, Tab. 7-7).

Der Zähler O2 des PIT KR580WI53 dient zur Erzeugung des Sendetaktes TXC sowie des Empfangstaktes RXC des USART KR580WW51A.

### 3.5. Reset

Die Grundeinstellung des Moduls ZVE K 2771 übernimmt der CPU-Taktgenerator, indem er nach Spannungszuschaltung ein internes Reset-Signal liefert, das nach Verstärkung als /INIT-Signal über X1 : C10 auch auf den Systembus gelangt. Gemäß Systembusrichtlinie MMS 16 wird auf dem Systembus eine minimale /INIT-Impulsdauer von 5 ns garantiert. Das Reset-Signal wird über eine RC-Kombination am Schmitt-Trigger-Eingang /RES des CPU-Taktgenerators erzeugt.

Der CPU-Taktgenerator synchronisiert das Reset-Signal mit dem CPU-Takt CLK und generiert das CPU-Reset-Signal RESET.

Mit der Low-High-Flanke des CPU-RESET-Signals werden alle CPU-Operationen abgebrochen und mit der High-Low-Flanke eine interne Reset-Folge von ca. 10 CLK-Takten gestartet.

Mit dem RESET-Signal wird folgender ZVE-Grundzustand eingestellt:

- IP = 0000 H
- CS = FFFF H
- DS, ES, SS = 0000 H
- Queue = leer
- Statusregister wird gelöscht
- USART wird in Resetzustand gebracht; wartet auf Initialisierungskommandowort
- PPI wird in Eingabe-Modus gesetzt
- Ausgänge des Bus-Arbiters werden in den hochohmigen Zustand gebracht

Damit beginnt die Befehlsbearbeitung ab Adresse FFFF0H.

Die CPU selbst verlangt ein High aktives Reset-Signal mit einer minimalen Impulsbreite von vier CPU-Taktzyklen mit Ausnahme nach Spannungszuschaltung, wo die Impulsbreite mindestens 50 µs betragen muß.

Das /INIT-Signal kann auch extern, z. B. über eine RESET-Taste, die mit dem Signal /AUX-RESET über den Kontakt X4 : B02 auf den /RES-Eingang des CPU-Taktgenerators wirkt, erzeugt werden.

Die /INIT-Leitung wird von einer Open-Collector-Stufe getrieben, so daß sie in einem Multimastersystem auch von anderen Busmastern aktiviert werden kann.

### 3.6. Ready-Steuerung

Die Ready-Steuerung des Moduls ZVE K 2771 dient zur Synchronisation der Abläufe beim Anschluß langsamer Speicher und E/A-Geräte, die nicht mit der CPU-Geschwindigkeit arbeiten. Das READY-Signal veranlaßt die CPU, Wartezyklen in den Busablauf einzufügen.

Da der CPU-RDY-Eingang nicht mit dem READY-Signal synchronisiert ist, andererseits zur korrekten Operationsdurchführung bestimmte Vorbereitungs- und Haltezeiten einzuhalten sind, übernimmt diese Synchronisation der CPU-Taktgenerator.

Dazu verfügt der SK K1810GF84 über zwei separate RDY-Eingänge, die über zugehörige /AEN-Eingänge vorbereitet werden. Über RDY1 und /AEN1 erfolgt die Ready-Steuerung für den lokalen Bus, wobei der /AEN1-Eingang durch das Signal /RDY1C über Kontakt X4:A07 gesteuert werden kann.

Über die Eingänge RDY2 und /AEN2 erfolgt die Ready-Steuerung für den Systembus MMS 16.

Bei jedem Systembus-Zugriff wird mit dem Signal /SB-AEN des Bus-Arbiters der /AEN2-Eingang des CPU-Taktgenerators aktiv. Das Bussignal /XACK steuert den zugehörigen RDY2-Eingang.

Mit dem Signal /RDY2C ist über Kontakt X4:B05 der /AEN2-Eingang des CPU-Taktgenerators steuerbar.

In die RDY1-Steuerung greift zwecks automatischer Einfügung von Wartezyklen bei PROM-Zugriffen, ZPS-Zugriffen und lokalen E/A-Zyklen der WAIT-Generator ein.

Da bei dem Interrupt-Acknowledge-Zyklus keine Busadresse ausgegeben wird, erfolgt die Ready-Steuerung des ersten /INTA-Zyklus über RDY1 mittels eines speziellen /INTA-Flip-Flops.

Bei der Realisierung einer externen Ready-Steuerung über die Signale /RDY1C und /RDY2C sind bestimmte Zeitforderungen einzuhalten (Tab. 3-1).

Tab. 3-1: RDY-Zeitforderungen

Signal	Parameter	
/RDY1C	Vorbereitungszeit 1)	- 15 ns 3)
	Haltezeit 1)	- $(\frac{1}{3} \text{ TCLCL}) + 2 \text{ ns}$
/RDY2C	Vorbereitungszeit 2)	- 40 ns
	Haltezeit 2)	0

1) Bezugspunkt ist LH-Flanke von CLK T3

2) Bezugspunkt ist LH-Flanke von T2

3) Da automatisch 1 TW eingefügt wird, handelt es sich um weitere TW

### 3.7. WAIT-Generator

Der WAIT-Generator (WG) ist auf Basis des Schaltkreises 74LS175 realisiert und erzeugt die Signale T4, T2 und /AENC.

Das Signal /AENC gibt den Systembuscontroller frei, wenn das Signal /LB-ADR inaktiv und das Signal /SB-AEN des Bus-Arbiters aktiv ist.

Das Signal T2 bewirkt, daß der RDY1-Eingang des CPU-Taktgenerators erst mit Beginn von T3 aktiv werden kann. Damit wird automatisch ein Wartezyklus bei ZPS-, PROM- und lokalen E/A-Zugriffen eingefügt.

Mit jedem ALE-Signal wird der WAIT-Generator zurückgesetzt. Signalisiert der Status /S(1 : 0) einen Halt oder "kein Buszyklus", so bleibt der WAIT-Generator inaktiv. Werden Buszyklen initiiert, so zeigen die Signale T2 und T4 die Dauer des Buszyklus an.

### 3.8. Timeout

Die CPU K1810WN86 verlangt bei der Ausgabe jedes Lese- oder Schreibkommandos ein Antwortsignal von der adressierten Einheit (Speicher, E/A-Port usw.). Ist die adressierte Einheit nicht in der Lage, mit der CPU-Geschwindigkeit zu antworten, geht die CPU in den Wartezustand. Ist die Timeout-Überwachung eingeschaltet (über Signal /CTIME=Low, Kontakt X4:A05) und bleibt aus bestimmten Gründen das Antwortsignal aus, so verweilt die CPU in dem Wartezustand. In diesem Fall kann nur durch Reset und Neuinitialisierung die Funktionsfähigkeit des Moduls wieder hergestellt werden.

Durch Einschalten der Timeout-Überwachung wird ein ausbleibendes Antwortsignal durch das TIME-OUT-Signal ersetzt.

Die Time-out-Erkennung erfolgt auf dem Modul ZVE K 2771 mit Hilfe eines Monoflops vom Typ 74LS123, der eine Timeout-Zeit von ca. 10 ms realisiert. Mit jedem ALE-Signal wird die Timeout-Überwachung gestartet. Erfolgt kein ordnungsgemäßer Abschluß eines gestarteten Buszyklus mit dem /XACK-Signal, wird das TIME-OUT-Signal erzeugt. Die ZVE reagiert daraufhin durch selbständige Bildung des Antwortsignals nach Ablauf der Timeout-Zeit, ordnungsgemäßen Abschluß des gestarteten Buszyklus und Fortsetzung des Befehlsablaufes. Wurde ein Schreib- oder Ausgabezyklus initiiert, so gehen die Daten verloren. Beim Lesen und bei Eingaben übernimmt die CPU falsche Daten.

Das TIME-OUT-Signal kann zur Erzeugung eines Interrupts verwendet werden. Zu diesem Zweck wird es auf die Interruptmatrix geführt (X844).

Über den Kontakt X4:A05 ist die Timeout-Überwachung abschaltbar.

#### Anmerkung:

- Wird das TIME-OUT-Signal zur Interrupterzeugung verwendet, muß der PIC KR580WN59A in den Modus "Flankentriggerung" initialisiert werden.
- Der HALT-Befehl aktiviert das ALE-Signal, wodurch die Timeout-Überwachung gestartet wird.

### 3.9. CPU

#### 3.9.1. Allgemeine Bemerkungen

Als CPU wird auf dem Modul ZVE K 2771 der HMOS-LSI-Mikroprozessorschaltkreis K1810WN86 eingesetzt. Der Schaltkreis arbeitet synchron mit einer Taktfrequenz von 4,915 MHz, erlaubt sowohl Byte- als auch Wortverarbeitung und liefert einen Speicheradressraum von 1 MByte sowie einen E/A-Adressbereich von 64 KByte. Die CPU verkehrt mit der Randlogik über einen 20-bit breiten zeitmultiplexen Adreß-Daten-Bus sowie einen 3-bit breiten Statusbus.

Die interne Struktur sowie das logische und zeitliche Verhalten der CPU sind den entsprechenden Datenblättern zu entnehmen.

Das CPU-Taktsignal, CLK, das CPU-Reset-Signal sowie das mit dem CPU-Takt synchronisierte READY-Signal werden von dem CPU-Takt-generator bereitgestellt. Die Interrupt-Eingänge NMI und INTR versorgt das Interruptsystem (siehe Pkt. 3.13.). Der /TEST-Eingang kann über den PPI-Schaltkreis KR580WW55A gesteuert sowie über den Kontakt X4:B09 für Prüfwzwecke und OEM-Anwendung beeinflusst werden. Der M-Eingang des CPU-SK liegt auf Low-Potential, da die CPU im Maximum-Modus arbeitet.

Das RQ/GT1-Signal wird in der ZVE K 2771 nicht verwendet. Status /S (2 : 0) sowie Queue-Status QS (1 : 0) und RQ/GT0 sind für Prüfwzwecke und OEM-Anwendungen auf Steckverbinderkontakte gelegt.

3.9.2. Registersatz

Die CPU K1810WM86 enthält vier 16-bit Register für allgemeine Verwendungen, die auch als acht 8-bit Register adressiert werden können, zwei 16-bit Pointerregister, zwei 16-bit Indexregister, vier Segmentregister, ein Flagregister und den Befehlszähler.

15	8	7	0
AH	AX	AL	
BH	BX	BL	
CH	CX	CL	
DH	DX	DL	

Akku  
 Basis-Register  
 Count-Register  
 Daten-Register

SP
BP
SI
DI

Stackpointer  
 Basispointer  
 Sourceindex-Register  
 Destinationindex-Register

CS
SS
DS
ES

Code-Segment  
 Stack-Segment  
 Daten-Segment  
 Extra-Segment