

mikroelektronik

elektronik-bauelemente



**APPLIKATIVE
INFORMATION**

IWT

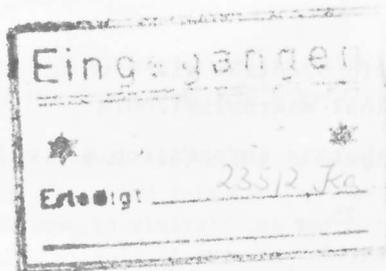
2 / 89

inhalt ai

02/89

Anwenderspezifische integrierte Schaltkreise, Teil 3

	Seite
Leistungsprofil des Schaltkreisenzentrums TEXTIMA	3
Entwurfs- und Einsatzerfahrungen mit 5201-Gate-Array-Schaltkreisen	6
Entwurf des integrierten Schaltkreises AK 631 DK	13



Redaktionsschluß: 20. 9. 1988

02/89

inhalt

Awendungsbezogene integrierte Schaltungen, Teil 1

Seite

Einleitung des Herausgebers

Einleitung des Herausgebers zur 2. Auflage

Einleitung des Herausgebers zur 1. Auflage

h e r a u s g e b e r

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik
- abt. applikative information mikroelektronik -
mainzer str. 25
berlin
1035

BG 086/51/88

Dr.-Ing. Peter Schneider
Dipl.-Ing. Peter Seiche

VEB Textimaelektronik Karl-Marx-Stadt - Schaltkreiszentrum
im VEB Kombinat Textima

Leistungsprofil des Schaltkreisentrums TEXTIMA

1. Einleitung

Gemäß der zunehmenden Bedeutung der anwenderspezifischen Schaltkreise (ASIC), insbesondere der Gate-Array- bzw. Standardzellen-Schaltkreise, für den beschleunigten Einsatz der Mikroelektronik in der Anwenderindustrie wurden zentrale Beschlüsse zur Einrichtung von Entwurfs- (EWZ) bzw. Schaltkreiszentren (SKZ) in der DDR gefaßt. Das Schaltkreiszentrum TEXTIMA (SKZ TEXTIMA) im VEB Textimaelektronik Karl-Marx-Stadt (TEL) ist in der DDR das erste EWZ/SKZ mit territorialem Versorgungsauftrag. Das heißt, daß die Partner bzw. Kunden des SKZ auch außerhalb des Kombinates Textima liegen und in ihrer Gesamtheit unterschiedliche anwendungstechnische Forderungen und Voraussetzungen repräsentieren. Das SKZ ist somit mit allen Problemen (in ihrer vollen Differenziertheit) der Zusammenarbeit zwischen Anwender- und Bauelementeindustrie konfrontiert. Daraus ergibt sich in gewissem Sinne eine besondere Rolle des SKZ TEXTIMA, dem es gerecht werden muß.

2. Rolle des SKZ im ASIC-Entwicklungsprozeß

Mit der breiten Einführung und Nutzung von ASIC-Systemen stellen sich eine Reihe von qualitativ neuen organisatorischen Anforderungen bzw. Arbeitsteilungsfragen im Schaltkreisentwicklungsprozeß. Eine der wesentlichsten Schlußfolgerungen aus den in diesem Zusammenhang stehenden Problemen ist der Aufbau von Anwenderentwurfzentren. In der DDR ist das Gate-Array-System U 5200 das erste für einen umfassenden Anwenderkreis konzipierte ASIC-System.

Demzufolge war die Ausgangsbasis für die Konzipierung des SKZ das Orgprojekt U 5200 des VEB Forschungszentrum Mikroelektronik Dresden (ZMD). Sein Grundprinzip der Entkopplung der Verantwortlichkeit der Partner hat sich bewährt:

- Für die logische Funktion ist der Schaltkreisentwerfer (Kunde) verantwortlich. Verifizierungsmittel sind Simulation und Funktionstest.
- Für die technologische Fehlerfreiheit ist der Schaltkreishersteller (VEB ZMD) verantwortlich. Verifizierungsmittel ist der Strukturtest auf der Basis der LSSD¹-Testpattern.

Sichergestellt wird diese Verfahrensweise durch die dementsprechende Auslegung des Entwurfssystems U 5200. Das SKZ TEXTIMA übernimmt hierbei die Mittlerrolle zwischen dem Kunden und dem Schaltkreishersteller VEB ZMD sowie unterstützt den Kunden in vielfältiger Weise. Zusammengefaßt sind diese Leistungen im "Organisationsprojekt Schaltkreisentwurf des SKZ TEXTIMA".

¹ LSSD = level-sensitive-scan-design /1/

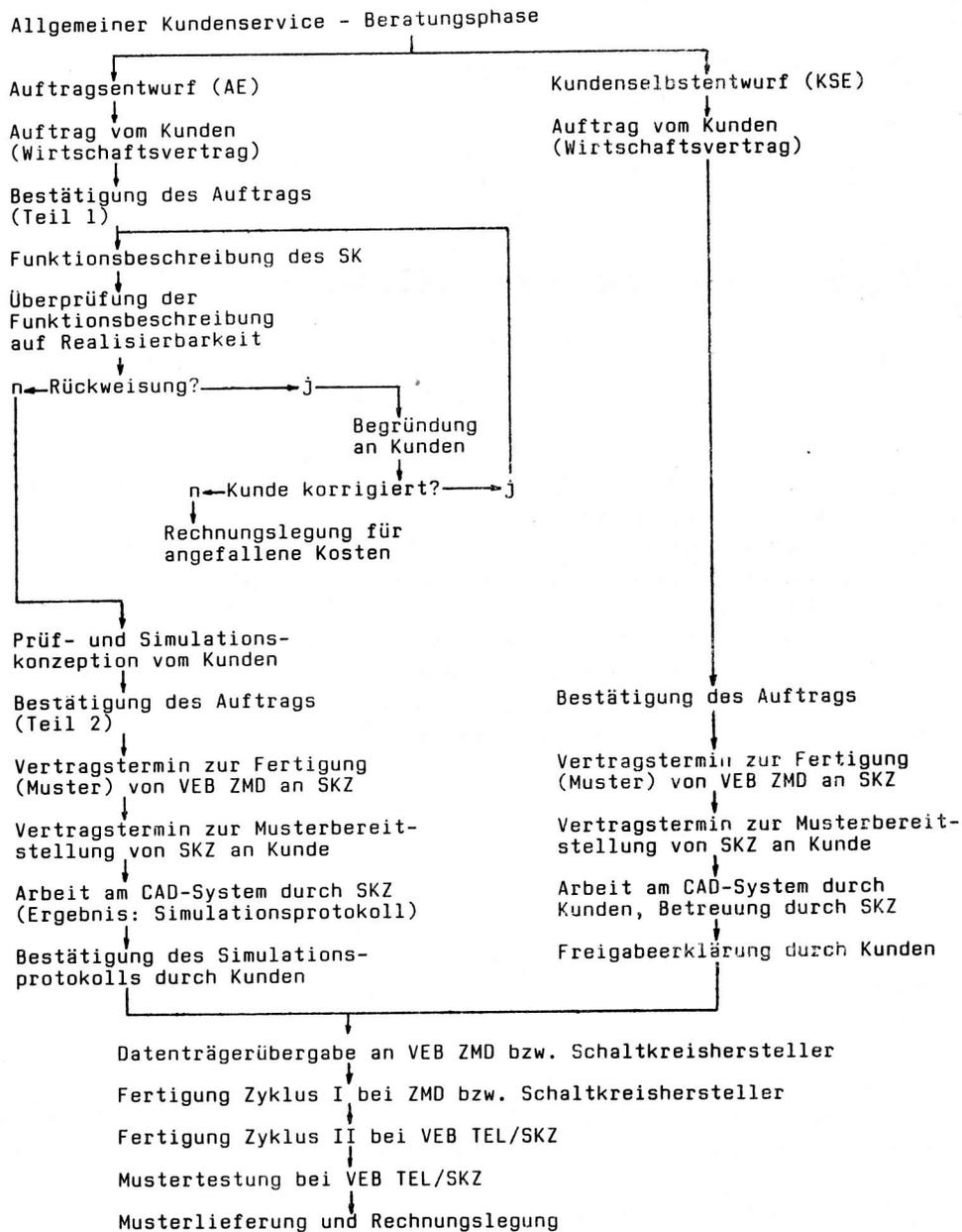


Bild 1: Organisationsprojekt Schaltkreisentwurf des SKZ TEXTIMA

Das Orgprojekt des SKZ TEXTIMA ist auf die beiden Leistungsarten "Kundenselbstentwurf" (Entwurfsausführung durch Kunden bei Betreuung durch SKZ) und "Auftragsentwurf" (Entwurfsausführung durch SKZ auf Basis einer übergebenen Funktionsbeschreibung) zugeschnitten (Bild 1).

3. Leistungsangebot des SKZ TEXTIMA

In seiner Gesamtheit besteht das Leistungsangebot des SKZ TEXTIMA z. Z. in folgendem:

- Kundenberatung, insbesondere für die Entscheidungsfindung betreffs Einsatz und Entwicklung von ASICs sowie beim System- und Logikentwurf
- Kundens Schulung zu ASICs allgemein und speziell zum CAD-System
- Applikation, Erfahrungsaustausch, Koordinierungen, Nachnutzungsanbahnungen, insbesondere im Rahmen der Arbeitsgruppe "Schaltkreisentwurf beim SKZ TEXTIMA"
- Bereitstellung des CAD-Systems (Rechentechnik und Software) für den Schaltkreisentwurf
- Schaltkreisentwurf in den Leistungsarten Kundenselbstentwurf bzw. Auftragsentwurf
- Bindung der Musterpräparation beim Schaltkreishersteller
- Bereitstellung spezieller Meß- und Prüftechnik (Kundenmeßlabor)
- Kundenberatung, -betreuung und -unterstützung bei Reklamationen und Schaltkreis-Funktionsprüfung bzw. speziellen Tests/Prüfungen
- Auftragsprüfung und -testung
- Mitarbeit und eigenständige Leistungen bei der Weiterentwicklung der Entwurfssysteme.

Das im SKZ TEXTIMA realisierte Entwurfsspektrum besteht gegenwärtig aus:

- U 5200 (Gate-Array-System) (KSE/AE)
- U 1500 (Standardzellensystem) (KSE/AE)

in Vorbereitung befindlich:

- Vollkunden-Schaltkreise (nur AE).

Eine der wesentlichen Aufgaben des SKZ besteht in der Systematisierung und Objektivierung der Beratungsmittel für die Schaltkreisentwicklung, die aus der Mittlerrolle des SKZ zwischen Anwender und Schaltkreishersteller erwächst. Diese Beratungsmittel sind als Komplexsystem von Dienstleistungen und rechentechnischen Mitteln zu verstehen und werden durch das SKZ in Zusammenarbeit mit entsprechenden Kooperationspartnern schrittweise entwickelt bzw. vervollständigt. Sie umfassen schwerpunktmäßig

- die Bereitstellung von Nachnutzungskatalogen
- die Bereitstellung von Entwurfsvorschlägen für häufig gebrauchte Funktionen bzw. Komponenten, einschließlich paßfähiger, einem Modulkonzept gehorchender Komponenten
- die Bereitstellung geeigneter Verifizierungsstrategien und -mittel von der Entscheidung betreffs ASIC-Entwicklung bis zur Ergebnisbewertung
- die ständige Verbesserung der Nutzerfreundlichkeit der CAD-Systeme und
- die Bereitstellung eindeutiger Beschreibungsmittel für die Schnittstellen (vor allem der Eingangsschnittstelle) des Auftragsentwurfes.

Literatur

- /1/ Benning, K.; Wiese, T.: Anwenderinformation Gate-Array-System U 5200
Applikative Information, Berlin 9 (1988)4, S. 47 ... 67

Dr.-Ing. Uwe Riedel
Dr.-Ing. Manfred Wolf

VEB Textimaelektronik Karl-Marx-Stadt - Schaltkreiszentrum
im VEB Kombinat Textima

Entwurfs- und Einsatzerfahrungen mit U 5201-Gate-Array-Schaltkreisen

1. Einleitung

Mit dem CMOS-Gate-Array-System U 5200 wurde in der DDR den Anwendern die Möglichkeit gegeben, selbst digitale Schaltkreise zu entwerfen bzw. entsprechend ihren Wünschen von Entwurfszentren entwerfen zu lassen. Diese anwenderspezifischen Schaltkreise (ASIC) ermöglichen die höhere Integration von spezifischen digitalen Schaltungen, die zu einer Verringerung des Volumens und des Arbeitszeitaufwandes sowie zu einer Erhöhung der Zuverlässigkeit um je eine Größenordnung führt.

Aus der Spezifik der ASIC leitet sich offensichtlich eine Verschiebung im arbeitsteiligen Prozeß bei der Schaltkreisentwicklung und -fertigung in Richtung der einzelnen Anwender bzw. Entwurfszentren außerhalb der Bauelementeindustrie ab. Der Entwerfer digitaler Schaltungen kann nun endlich Schaltkreise mit hoher Integration für seine spezifischen Zwecke entwerfen, muß aber dabei einige Restriktionen einhalten. So verschieden die anvisierten Schaltkreisinhalte und so unterschiedlich die entsprechenden personellen Voraussetzungen in den einzelnen Betrieben sind, so differenziert sind auch die Herangehensweisen, die Erfolge und Erfahrungen bei der Entwicklung und beim Einsatz von ASIC.

In diesem Beitrag wird versucht, einige diesbezügliche Sachverhalte und Erfahrungen aus dem Schaltkreiszentrum TEXTIMA (SKZ TEXTIMA) näher zu beleuchten. Obwohl einige Aussagen eine gewisse Verallgemeinerung zulassen, beschränken sich die Darlegungen vordergründig auf Gate-Arrays des Systems U 5200.

2. Schaltkreisentwürfe im Gate-Array-System U 5200

Vom Gesamtbestand der U 5201-Entwicklungen wurden bisher (Stand 10/88) im SKZ TEXTIMA 26 Schaltkreise für 12 Anwenderbetriebe entworfen.

Tabelle 1: Schaltkreisentwürfe im SKZ TEXTIMA

Bezeichnung	Inhalt
<u>1. Entwürfe im Gate-Array-System U 5200</u>	
U 5201 PC-506	Bitcontroller BC16 mit 30 E/A-Ports; für speicherprogrammierbare Steuerung mit 2-KByte-EPROM, Prozessor mit 16 Befehlen (u. a. logische Befehle), 2 000 Befehle realisierbar
U 5201 PC-515	TEXTIMA-Controller mit je 30 E/A-Ports (kaskadierbar), für speicherprogrammierbare Steuerung mit EPROM, Prozessor mit 17 Befehlen (logische Befehle durch EPROM realisiert), 256 Befehle mit 1 IC adressierbar, Zähler von 4 μ s ... 64 h

Fortsetzung Tabelle 1

Bezeichnung	Inhalt
U 5201 PC-508	Überwachungsschaltkreis (Erstanw.: Verseilmaschinen)
U 5201 PC-520	Steuerschaltkreis (Erstanw.: Brennersteuerung eines Feuerungsautomaten)
U 5201 PC-524	E/A-Controller zwischen Sensoren und U 882
U 5201 PC-502	Controller für Kleines Interface (Erstanw.: EDV-Geräte)
U 5201 PC-507	Multiplizierer 8 x 8 Bit, Kopplung möglich mit CPU U 880 oder über PIO U 855
U 5201 PC-504	Ansteuerung einer CCD-Zeile
U 5201 PC-516	Ansteuerung für eine Tastatur
U 5201 PC-503	4-Bit-Eingangsdaten werden mittels sechs Steuersignalen auf sechs 4-Bit-Register gespeichert und die Speicherinformationen liegen ständig am Ausgang an
U 5201 PC-517	Industriebus
U 5201 PC-501	Inkrementale Wegemessung mit Anschluß an einen Mikroprozessor
U 5201 PC-529	Meßwerterfassung (für quasianaloges Messen)
U 5201 PC-505	64-Baud-Schnittstelle für Übernahme in PCM-Gerät
U 5201 PC-519	Richtfunkrahmenmodem, Signalaufbereitung in Basisband-Einrichtung, für PCM 30-Multiplexsignale
U 5201 PC-509	Demultiplexer (Erstanw.: Rundfunkempfangstechnik)
U 5201 PC-510	Fehlerkorrektur S1 (Erstanw.: Rundfunkempfangstechnik)
U 5201 PC-511	Fehlerkorrektur S2 (Erstanw.: Rundfunkempfangstechnik)
U 5201 PC-512	Skalenfaktor (Erstanw.: Rundfunkempfangstechnik)
U 5201 PC-523	Interpolation I (Erstanw.: Rundfunkempfangstechnik)
U 5201 PC-514	Interpolation II (Erstanw.: Rundfunkempfangstechnik)
U 5201 PC-526	Korrelation (Erstanw.: Rundfunkempfangstechnik)
U 5201 PC-527	Hauptsynchronisation (Erstanw.: Rundfunkempfangstechnik)
U 5201 PC-528	Untersynchronisation (Erstanw.: Rundfunkempfangstechnik)
2. Entwürfe im Standardzellensystem U 1500	
U 1523 PC-501	Steuerung für Diskettenlaufwerk
U 1523 DC-502	Sensorschaltkreis für Maus (Tabletarbeit)
U 1523 DC-503	Serieller E/A-Schaltkreis für serielle Mikrorechneretze
U 1500 PC-500	Bitcontroller BC16 mit 41 E/A-Ports; für speicherprogrammierbare Steuerung mit EPROM, Prozessor mit 16 Befehlen (auch logische Befehle), ca. 2 000 Befehle realisierbar, Zähler von μs ... h

Zu einigen der wenigen bereits auf Ausstellungen und Symposien publizierten Gate-Array-Schaltkreisen U 5201 besteht bereits ein z. T. sehr starkes Interesse auf Nachnutzung für Zweitanwender. Sie hat für den Nachnutzer die großen Vorteile, daß Musterschaltkreise schneller zur Verfügung stehen und daß er nicht die hohen Schaltkreisentwurfsaufwendungen aufbringen muß, sondern nur ein Nutzungsentgelt zahlt. Dieses wird aus seinem Jahresnutzen berechnet /1/.

Zur Förderung der Nachnutzung wurde im SKZ TEXTIMA ein Nachnutzungskatalog erarbeitet, in dem alle im SKZ entworfenen und zur Nachnutzung freigegebenen ASIC enthalten sind. Darin werden die Schaltkreise so beschrieben, daß von einem Interessenten die Nachnutzbarkeit nahezu eindeutig eingeschätzt werden kann. Natürlich können weitere spezifische Detailfragen mit dem SKZ TEXTIMA und dem Erstanwender geklärt werden. Für die endgültige Entscheidung zur Nachnutzung können dann noch applikative Detailuntersuchungen an einem Musterschaltkreis innerhalb der Schaltung des Zweitanwenders durchgeführt werden. Der Nachnutzungskatalog wird an alle bekannten potentiellen Nachnutzer verteilt und kann natürlich auch vom SKZ TEXTIMA angefordert werden.

3. Erfahrungen beim Entwurf von U 5201-Schaltkreisen

Der Ablauf für U 5201-Entwürfe (Bild 2) und seine Einbettung in den Gesamtprozeß der Erzeugnisentwicklung (Bild 1) soll die Einordnung der in diesem Beitrag beschriebenen Erfahrungen und Hinweise erleichtern.

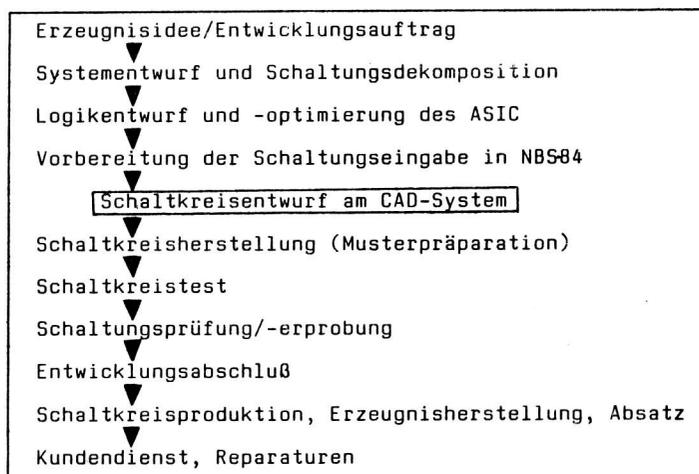


Bild 1: Vereinfachtes Ablaufschema der Erzeugnisentwicklung mit eingebundenem Schaltkreisentwurf

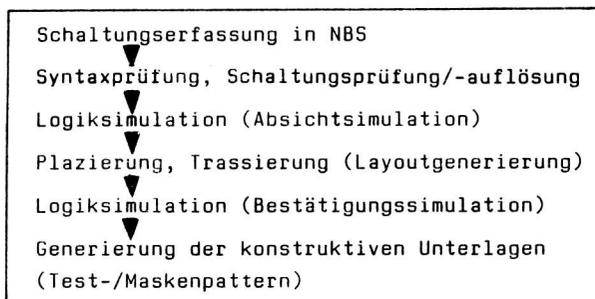


Bild 2: Ablaufschema des Schaltkreisentwurfes am CAD-System

Das Grundanliegen der ASIC wird mit dem Master U 5201 und dem dazu bereitgestellten Entwurfssystem ARCHIMEDES weitgehend erfüllt.

Die als Softwaremaos angebotenen komplexen Funktionen, wie z. B. Multiplexer, Demultiplexer, ALU, Adder, Übertragsbildung und Zähler, wurden von den Entwerfern als ein wichtiges Rationalisierungsmittel für die Entwurfsarbeit genutzt.

Die grundsätzliche Anwendung des LSSD¹-Prinzips bei den Gate-Array-Schaltkreisen gewährleistet eine automatische Testpatterngenerierung, die eine nahezu 100%ige Prüfschärfe während der Endmessung beim Hersteller ermöglicht. Sie ist aber beim U 5200-System mit folgenden Entwurfseinschränkungen verbunden:

- es stehen nur JK-Master-Slave-Flip-Flop (JK-MS-FF) zur Verfügung
- es sind keine Rückführungen innerhalb der Kombinatorik erlaubt
- es gibt nur einen Takt, d. h. alle JK-MS-FF schalten vollsynchron zur gleichen Zeit (1-Taktsystem).

Die Entwerfer, die bereits in der Realisierung des LSSD-Prinzips auf einer Logikleiterplatte mit Standardschaltkreisen geübt waren, hatten natürlich keine Mühe, sich den Entwurfseinschränkungen unterzuordnen. Für die Entwerfer, die dieses prüftechnologisch orientierte Prüfverfahren nicht kannten, war eine mehr oder weniger große Umdenkphase notwendig, um mit den neuen Entwurfseigenheiten vertraut zu werden. Die Funktionsrealisierung geht dabei von dem in Bild 3 dargestellten Grundschema aus.

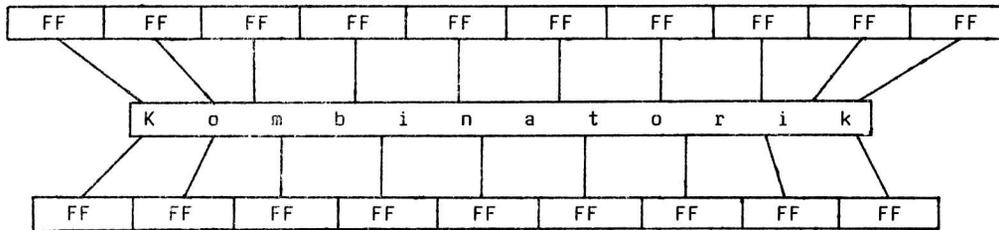


Bild 3: Zusammenschaltung von JK-MS-FF und Kombinatorik

Jede komplexe Schaltung wird aus einer Vielzahl von Kombinationen dieses Grundschemas zusammengesetzt, wobei natürlich beliebige Rückführungen von FF-Ausgängen auf FF-Eingänge direkt und über Kombinatorik erlaubt sind.

Zum Erreichen hoher realer Taktfrequenzen wurde von den Anwendern ein unsymmetrischer Takt (siehe Bild 4) gewählt. Außerdem erhöht das Geringhalten der Master-aktiv-Zeit die Störsicherheit. Die (maximale) Durchlaufzeit des Slave und der Kombinatorik wird im Entwurfssystem durch den Simulator berechnet und angezeigt.

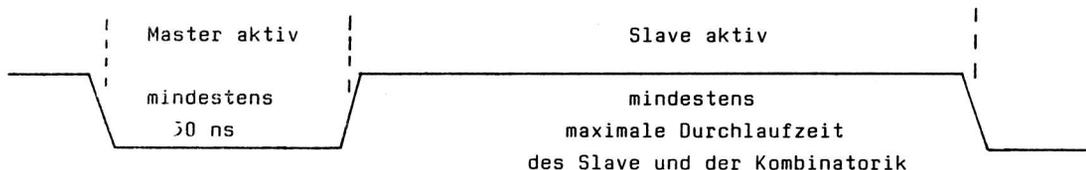


Bild 4: Unsymmetrischer Takt

¹ LSSD = level-sensitive-scan-design /2/

Im Taktzustand "Slave aktiv" muß normalerweise am Ende das Durchschalten der Kombinatorik beendet sein, so daß während des gesamten Taktzustandes "Master aktiv" die Eingänge an allen JK-MS-FF konstant bleiben. Besondere Bedeutung hat das für die Außenbeschaltung (Eintakten) des ASIC. Die Eingangssignale müssen über eine Taktperiode (falls sie sich mit dem ASIC-Takt synchronisieren lassen, dann mindestens für die Takt-low- bzw. Master-aktiv-Zeit) stabil anliegen. Für die ASIC U 5201 wurden ohne weiteres reale Taktfrequenzen von 2 MHz erreicht, in Sonderfällen sogar bis zu 5 MHz.

In einigen Entwürfen wurde auch die Möglichkeit genutzt, durch geeignete Maßnahmen zusätzliche Quasitaktssysteme zu schaffen. Da sie aber nur einer Frequenzteilung entspringen, besitzen sie den Nachteil, daß sie um ein geradzahliges ganzes Vielfaches langsamer als der "Muttertakt" sind.

$$f_{\text{Quasitakt}} = \frac{1}{2nT} \quad n = 1, 2, 3, \dots$$

Auf der Basis des vollsynchronen 1-Taktsystems für alle FF wurden sehr einfache und übersichtliche Taktdiagramme erarbeitet. Damit war auch eine überschaubare Simulation möglich. Alle relevanten Simulationsbeispiele wurden von den Entwerfern so aufbereitet, daß von Takt zu Takt verfolgt werden konnte, wie sich die einzelnen Signale verändern bzw. zu verändern haben.

Gerade bei der Aufbereitung der Simulationsbeispiele ist der Entwerfer gezwungen, sich seinen Entwurf nochmals gewissenhaft zu durchdenken. Eventuelle Entwurfsfehler kann er noch bei der Simulationsdurchführung mittels des CAD-Systems ARCHIMEDES erkennen, wenn er seine Simulationsbeispiele umfassend ausgearbeitet hat. Die Einschätzung "umfassend" stellt noch einen Schwachpunkt im ARCHIMEDES dar. Seitens der Anwender steht die Forderung, eine Aussage darüber zu erhalten, wie "umfassend" ihre Bestätigungssimulation ist. Es ist also eine Programmsystemkomponente notwendig, die den Prozentsatz der Prüfschärfe einer kompletten Simulation ermittelt und alle nichtgeprüften Fälle angibt. Dadurch lassen sich Rückschlüsse auf die Durchdringung des Entwurfs mittels Simulation ziehen.

Existiert jedoch in einem Logikentwurf ein Gedankenfehler oder wird der einen Fehler beinhaltende Signalzweig durch die Simulation nicht erfaßt, so bleibt dieser Fehler auch bei der Musterpräparation erhalten (er wird auch nicht bei der Testpatterngenerierung erkannt) und wird vielleicht erst bei der Erprobung der ASIC in der komplexen Schaltung bemerkt. Das gleiche gilt, wenn der Logikentwurf nicht der eigentlich gewünschten Funktion entspricht. In diesen Fällen ist eine weitere kostspielige und vor allem zeitraubende Iteration notwendig.

Der fehlerfreie Entwurf fällt besonders den alteingesessenen Entwerfern von Schaltungen mit Standard-Schaltkreisen schwer, weil sie es bisher gewohnt waren, daß jeder Gedanken- oder Flüchtigkeitsfehler mit einer relativ leichten Änderung auf der Leiterplatte behoben werden konnte. Die Tatsachen beweisen, daß die notwendige Forderung nach einem fehlerfreien Logikentwurf realistisch ist.

Die gravierende Bedeutung der Logiksimulation für die Entwurfssicherheit wurde durch die meisten Entwerfer erkannt. Im Gegensatz zu den Standardzellenschaltkreisen des Systems U 1500, bei denen die Simulation auch zur Prüfdatengewinnung genutzt wird, dient bei Gate-Array-Schaltkreisen des Systems U 5200 die Simulation ausschließlich zur Überprüfung der logischen Richtigkeit des Entwurfs und des Nachweises der Funktion des Schaltkreises. Da der strukturelle Test auf Basis des LSSD-Prinzips für den Anwender undurchsichtig ist, sind ausschließlich die Simulationsfolgen Bestandteil der technischen Lieferbedingungen eines ASIC-Typs, d. h. der Hersteller garantiert nur die Einhaltung der Simulationsfolgen durch den Schaltkreis und nicht irgendwelche funktionellen Wünsche des Entwerfers.

Wenn man weitere Schaltkreisiterationen vermeiden will, stellt die Logiksimulation die letzte Möglichkeit dar, den Logikentwurf fehlerfrei zu gestalten. Diese gewichtigen Gründe verlangen eine sorgfältige Erarbeitung und Überprüfung der Simulationsfolgen. Die Simulation muß im Interesse des Entwerfers eine äußerst hohe Prüfschärfe der funktionellen Möglichkeiten des Schaltkreises ermöglichen. Die Simulation ist die Haupttätigkeit des Entwerfers beim CAD-System, wofür je Schaltkreisentwurf 40 ... 80 h Sitzungszeit am Terminal benötigt werden.

Mit den ASIC wird also an die Logikentwerfer eine völlig neue aber zwingende Forderung gestellt:

Die Entwerfer haben nicht nur einen fehlerarmen sondern einen fehlerfreien Logikentwurf vorzulegen!

Sehr bemerkenswert ist die Tatsache, daß von den ersten 21 im SKZ TEXTIMA entworfenen und bei den Anwendern bereits erprobten ASIC nur 4 Iterationen notwendig wurden. Diese Iterationen wurden aufgrund der Änderung der Funktion des ASIC durch den Anwender nötig.

Natürlich finden beim ASIC-Entwurf viele bekannte Logikentwurfsverfahren ihre weitere Anwendung. So hat sich die kombinierte Anwendung des Top-down-Prinzips und der Bottom-up-Methode auf der Basis des Macrozellenkatalogs (wobei das Top-down-Prinzip die höhere Priorität besitzt) als eine optimale Entwurfsmethode bestätigt.

Von den Entwicklern digitaler Schaltungen wurde es als sehr positiv eingeschätzt, daß die nutzerfreundliche Arbeit mit dem CAD-System ohne halbleitertechnologische und rechentechnische Spezialkenntnisse möglich war und nur wenige Stunden Anlernzeit bedurfte. Die im Vergleich zur manuellen Trassierung und Unterlagenerstellung stark rationalisierend wirkenden Module des elektrischen und geometrischen Entwurfs, wie Plazierung, Trassierung, Layoutgenerierung für die Schablonenherstellung und die Testpatterngenerierung belasten den Entwerfer nicht. Sie laufen vollautomatisch ab.

4. Erfahrungen zum Einsatz von U 5201-Schaltkreisen

Weltweit hat 1986 der Umsatz von Gate-Array-ASICs die eine Milliarde-Dollar-Grenze überschritten. Sein Zuwachs beträgt jährlich 37 % /3/.

Ausgehend von den günstigen Leistungsparametern der U 5201-Schaltkreise ist ihr prinzipieller Produktionsbedarf in der DDR sehr hoch.

Nach Bild 1 ist gleich zu Entwicklungsbeginn (spätestens aber nach dem Systementwurf und dessen Dekomposition/Partitionierung) die Entscheidung zur Entwicklung von ASICs-spezies U 5201- zu treffen. Die dazu bisher vorgestellten Entscheidungshilfen (z. B. /4/, /5/, /6/) sind meist unscharf und unvollständig, so daß diese Entscheidung oft schwerfällt und (unberechtigt) stark risikobehaftet ist. Mit der verstärkten Ausnutzung von anwenderspezifischen Schaltkreisen für innovative Lösungen (statt nur für Substitution) wird die Aufwand/Nutzen-Berechnung zwar schwieriger, aber in den meisten Fällen weist bereits eine Grobabschätzung die U 5200-Lösung auch als ökonomisch vorteilhaft aus. Ein niedriger Schaltkreispreis ist dabei vor allem in der Konsumgüterelektronik von entscheidender Bedeutung.

Der durch den Einsatz von anwenderspezifischen Schaltkreisen des Typs U 5201 erzielte oder beabsichtigte Nutzen ist in den Anwenderbetrieben extrem unterschiedlich bzw. wird stark differierend abgeschätzt. Das hängt vor allem von den anwenderspezifischen Auswirkungen auf die Ökonomie im Finalprodukt und den betriebsspezifischen (technologischen) Bedingungen ab.

Darüber hinaus spielt der Umfang der in der Abschätzung bzw. Berechnung berücksichtigten Faktoren eine Rolle. Die betrieblichen Angaben für den ökonomischen Nutzen schwanken zwischen 50 und 500 Mark. Dabei ist zu beachten, daß die tiefliegenden Werte bei Einsatzfällen zu verzeichnen waren, bei denen solche Kriterien wie Volumenminimierung, Erhöhung der Zuverlässigkeit oder Sammlung von Einstiegserfahrungen im Vordergrund standen. Der wertmäßige Nutzeffekt hängt vorrangig vom Auslastungsgrad und vom IAP des ASIC ab.

Die Auswertung der bisherigen ASIC-Anwendungen ergibt, daß folgende ökonomischen Nutzeffekte bezogen auf die in einem ASIC integrierte Teilschaltung erzielt werden:

- Einsparung von 20 ... 100 Standard-SSI- und MSI-Schaltkreisen
- Verringerung der Leiterplattenfläche auf 3 ... 10 %
- Einsparung von 300 ... 1 500 Bohrungen, einschließlich Durchkontaktierungen
- Reduzierung des anteiligen Arbeitszeitaufwandes bei der Leiterplattenfertigung auf 2 ... 7 %
- Erhöhung der Zuverlässigkeit um mindest eine Größenordnung
- Minimierung des Erzeugnisvolumens.

Abmessungen, Pin-Form, Zuverlässigkeit, Lieferbarkeit, Preis und thermische Beanspruchbarkeit sind bei den infragekommenden Gehäusen sehr unterschiedlich, so daß der Anwender entsprechend seinen spezifischen Bedingungen die Auswahl treffen kann. So ist die logische Pin-Kompatibilität von PCC 64 (Plast)- und QFP 68 (Keramik)-Gehäusen für U 5201-Schaltkreise von den Anwendern mit Befriedigung aufgenommen worden.

Wegen der hohen Pin-Zahl war es naheliegend, ASICs als aufsetzbare Bauelemente (SMD-Bauelemente) auszulegen. Das entspricht dem internationalen Standard. Neben der Beherrschung des Pin-Zahl-Problems kommen natürlich auch die allgemeinen Rationalisierungseffekte (Wegfall der Bohrungen, Anbringen der SMD-Bauelemente auch auf der Lötseite möglich, bessere Voraussetzungen für den Einsatz von Bestückungsautomaten) zum Tragen.

Literatur

- /1/ Gesetzblatt der Deutschen Demokratischen Republik.
Teil 1. - Berlin, (1983-12-22)=36. § 27 (2)
- /2/ Benning, K.; Wiese, T.: Anwenderinformation Gate-Array-System U 5200
Applikative Information, Berlin 9 (1988)4, S. 47 ... 67
- /3/ Status 1986
Scottsdale: Integr. Circuit Eng. Corp. 1986
- /4/ Grunert, F.; Ritter, S.: Gatearrayschaltkreise - ein Überblick
Radio Fernsehen Elektronik, Berlin 36 (1987)2, S. 77 ... 81
- /5/ Schulzki, G.: Technisch-ökonomische Aspekte des Gate-Array-Konzeptes
TU Karl-Marx-Stadt, 1987 Dissertation (A)
- /6/ Müller, D.: Entwurf und Einsatzmöglichkeiten von Gate-Array-Schaltkreisen
(Wiss. Schriftenreihe der TU Karl-Marx-Stadt, 15/1986)

Dipl.-Ing. Thomas Birke

VEB Funkwerk Köpenick
Stambetrieb im VEB Kombinat Nachrichtenelektronik

Entwurf des integrierten Schaltkreises AK 631 DK

Im Beitrag wird der Schaltkreisentwurf auf der Basis des ISA-Systems am Beispiel des integrierten Schaltkreises AK 631 DK (alte Bezeichnung KA 630 D) beschrieben.

0. Einleitung

Der integrierte Schaltkreis AK 631 DK wurde im VEB Funkwerk Köpenick für Anwendungen in Verstärker- und Demodulatorbaugruppen der kommerziellen und UKW-Verkehrsfunktechnik entwickelt. Hinsichtlich der Innenschaltung existiert kein Vorbildtyp.

Die konzeptionelle Gestaltung des Bauelementes basiert auf langjährigen Entwicklungserfahrungen im o. g. Fachgebiet. Eine geringe Stromaufnahme von typisch 3,0 mA und ein Betriebstemperaturbereich von -40°C ... $+85^{\circ}\text{C}$ sind seine markantesten Eigenschaften.

Grundlage der Entwicklungsarbeit war das System Integrierter Schaltungsanordnungen (ISA) des VEB Halbleiterwerk Frankfurt/Oder (HWF) /1/, /2/.

Ziel dieses Beitrages ist es, dem Leser die Methodik des anwenderspezifischen Schaltkreisentwurfes auf der Basis des ISA-Systems im Überblick darzustellen und die am Beispiel des Schaltkreises AK 631 DK gesammelten Erfahrungen zu vermitteln.

Neben der prinzipiellen Funktion des Schaltkreises werden noch einige technische Daten angegeben.

1. ISA-Entwurfstechnologie

Die analogen Grundchips des ISA-Systems unterscheiden sich u. a. nach der Anzahl der

- Transistoren
- Widerstände
- Bondinseln

und der maximal zulässigen Betriebsspannung. Transistoren, Widerstände und Bondinseln sind auf der Grundchips funktionstüchtig vorhanden.

Der Anwender des späteren Schaltkreises hat für den von ihm gewählten Grundchip einen Verdrahtungsplan zu erstellen, welcher nach der Umsetzung im VEB HWF alle gewünschter elektrischer Funktionen realisiert. Neben diesem Bauelementeentwurf ist eine entsprechende Meßtechnik zu entwickeln, die die Selektion aller datenhaltigen Schaltkreise im VEB HWF gestattet.

1.1. Bauelementeentwurf

Der Bauelementeentwurf beinhaltet die Teilschritte

- Schaltungsentwurf
- Schaltungserprobung/ -simulation
- Schaltungsrealisierung

Diese Reihenfolge ist dem Entwicklungsingenieur schon von der Arbeit mit diskreten Bauelementen und der Erstellung fertigungsgerechter Leiterplatten bekannt.

Beim Entwurf integrationsfähiger Schaltungen sind jedoch die Eigenschaften der integrierten Funktionselemente (Transistoren, Widerstände) zu beachten.

An vorteilhaften Eigenschaften wären u. a. zu nennen:

- enge thermische Kopplung der Funktionselemente eines Chips
- gute Anpassung der elektrischen Parameter der Funktionselemente eines Chips.

Beim Schaltungsentwurf ist aber zu berücksichtigen, daß

- der Absolutwert eines elektrischen Parameters von Chip zu Chip starken Schwankungen unterworfen ist
- große absolute Temperaturkoeffizienten bei den elektrischen Parametern auftreten.

Eigenschaften integrierter Funktionselemente sind in /3/ beschrieben.

1.1.1. Schaltungsentwurf

Ziel des Schaltungsentwurfes ist es, ein elektrisches Problem in eine komplexe Schaltungsstruktur umzusetzen, welche

- integrationsfähig ist
- die Aufgabenstellung toleranzarm erfüllt
- die geforderten Grenzwerte (Verlustleistung, Betriebstemperaturbereich) sicher einhält.

Dies bedingt den Aufbau komplexer Schaltungsstrukturen aus integrierten Grundsaltungen wie Differenzverstärkern, Stromquellen/ -senken, Stromspiegeln usw. Kennzeichnend für diese Grundsaltungen ist, daß sie die nachteiligen Eigenschaften integrierter Funktionselemente weitgehend unwirksam machen, deren Vorzüge jedoch voll ausnutzen.

Es hat sich gezeigt, daß als ständige Arbeitsunterlage für den Schaltungsentwurf ein Katalog integrierter Grundsaltungen sehr nützlich ist. Er beinhaltet in gedrängter Form Aufbau und Wirkungsweise dieser Grundsaltungen, einschlägige Fachzeitschriften bieten Stoff zur Erweiterung und Ergänzung dieser Schaltungssammlung /4/ ... /6/.

Standardwerke zur Thematik des bipolaren Analogschaltungsentwurfes sind /7/, /8/.

1.1.2. Schaltungserprobung/ -simulation

Die aus integrierten Grundsaltungen zusammengesetzten komplexen Strukturen müssen natürlich auf ihre Funktionstüchtigkeit und Einhaltung der geforderten Parameter untersucht werden.

Für diese Untersuchungen gibt es zwei Möglichkeiten:

- Brettschaltungsaufbau
- rechnergestützte Netzwerksimulation.

Beide Methoden unterscheiden sich in der Genauigkeit der Nachbildung der im späteren integrierten Schaltkreis vorhandenen elektrischen Verhältnisse.

Ein Brettschaltungsaufbau hat den Vorteil der Meßbarkeit aller geforderten Parameter bei Normal- Klima und im Betriebstemperaturbereich. Nachteilig sind die unverhältnismäßig großen geometrischen Abmessungen und damit verbundene parasitäre Effekte (Schaltkapazitäten, Störeinstrahlung durch Fremdfelder usw.)

Die Verwendung Integrierter Teilschaltungsanordnungen (ITSA-Bauelemente) garantiert eine ausreichende Kompatibilität zum späteren Schaltkreis, da diese ITSA-Bauelemente (d. h. Widerstands- und Transistorarrays) den auf dem Chip vorhandenen Elementen technologisch entsprechen.

Die rechnergestützte Netzwerksimulation ist beim Vorhandensein entsprechender Hard- und Software die eleganteste Untersuchungsmethode. In kurzer Zeit können komplexe Strukturen getestet und optimiert werden.

Das Hauptproblem liegt hier in der Modellierung des elektrischen Verhaltens der einzelnen Funktionselemente bei Berücksichtigung der halbleitertechnologischen Fertigungstoleranzen.

Weiterhin können u. U. aufgrund der idealen Symmetrieeigenschaften und Parameteranpassung bestimmte Effekte nicht erkannt werden.

Untersuchungen im Betriebstemperaturbereich sind mit den dem Autor bekannten Netzwerksimulationsprogrammen nicht ohne weiteres möglich.

Der Schaltungsentwickler hat sich also mit Sachkenntnis und im Rahmen seiner Möglichkeiten für das jeweils geeignetste Untersuchungsverfahren zu entscheiden. (Ergänzende Bemerkungen zu dieser Problematik siehe Abschnitt 2)

1.1.3. Schaltungsrealisierung

Die funktionstüchtige Gesamtschaltung ist abschließend in einen Verdrahtungsplan für den gewählten Grundchip umzusetzen. Das heißt, die auf dem Grundchip geometrisch festliegenden Transistoren und Widerstände sind entsprechend dem entwickelten Schaltplan miteinander zu verbinden und über Bondinseln die Ein- und Ausgänge der Schaltung zugänglich zu machen.

Dieser Entwurf der sogenannten Leitbahnebene hat kreuzungsfrei unter Einhaltung bestimmter Konstruktionsregeln zu erfolgen (Leitbahnbreite, -abstände usw.). Unvermeidliche Leitungskreuzungen werden mit Hilfe von Unterführungen realisiert. Für diese Unterführungen nutzt man Widerstände, den mehrfach kontaktierten Kollektor eines npn-Transistors oder die mehrfach kontaktierte Basis eines pnp-Transistors. Da es sich um zusätzlich eingebrachte Widerstände handelt, sollten sie im Schaltbild vermerkt und ihre Auswirkungen auf das Übertragungsverhalten untersucht werden.

Der Entwurf des Verdrahtungsplanes erfolgt auf einer entsprechenden Vorlage in den Schritten

- Platzierung
- Trassierung
 - Groblayout
 - Feinlayout

Ziel der Platzierung ist es, den Grundchip so in Sektoren aufzuteilen, daß die Funktionsblöcke der Gesamtschaltung möglichst kreuzungsfrei verdrahtet werden können. Dazu wird die Gesamtschaltung in ihre Funktionsblöcke zerlegt und diese nach Anzahl und Art der verwendeten Transistoren sowie Anzahl der Bondinseln in absteigender Reihenfolge geordnet. Danach verteilt man alle vorhandenen Transistoren so auf die Funktionsblöcke, daß eine seiner Größe entsprechende Zahl von Unterführungsmöglichkeiten zur Verfügung steht. Das Auszählen der entsprechenden Transistormengen unter Beachtung der Bondinselzugänglichkeit schließt die Sektorbildung ab.

Um bei der Platzierung Konflikte mit der Masse- oder Speisespannungsleitung zu vermeiden, sei eine Lösung entsprechend Bild 1 empfohlen.

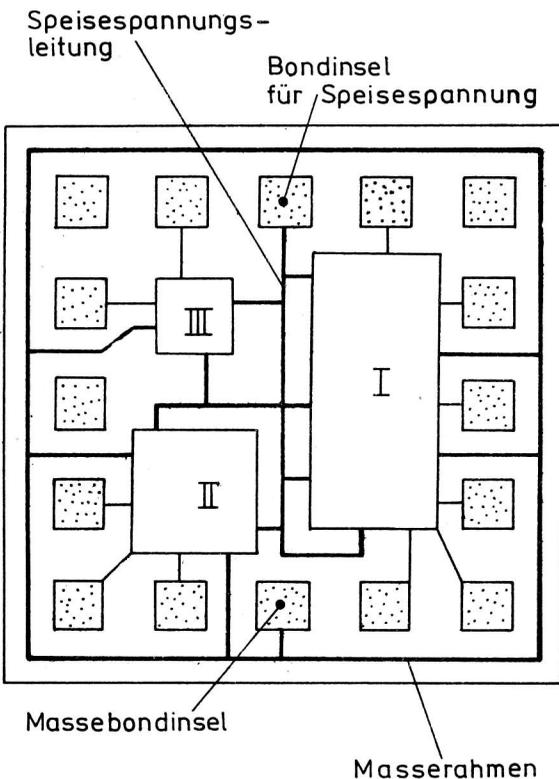


Bild 1: Realisierung der Speisespannungs- und Masseleitung

Diese Bauelementeselektion erfolgt durch die Scheibenmessung und nach Verkappung der funktionstüchtigen Chips durch die Endmessung.

1.2.1. Scheibenmeßtechnik (Probcards)

Zur Scheibenmessung werden die sich noch im Scheibenverband (Wafer) befindlichen Chips an den Bondinseln angetastet und die dort zu messenden Spannungen oder Ströme ausgewertet. Bei einer Überschreitung der vorgegebenen Meßgrenzen markiert der Tester den entsprechenden Chip.

Die Speisespannungsleitung wird zentral über den Chip geführt und die Funktionsblöcke werden direkt oder über Abzweigungen angeschlossen. Die Verbindung nach Masse erfolgt über den Masserahmen.

Nun kann die Verdrahtung entsprechend Schaltbild erfolgen. Bei diesem Groblayoutentwurf beugen Schaltungsrückübersetzungen Verdrahtungsfehlern vor.

Das fehlerfreie Groblayout dient als Vorlage für die Konstruktion des Feinlayouts am rechnergestützten Konstruktionsarbeitsplatz und der Erstellung entsprechender Daten für die Fertigung im VEB HWF. Eine abschließende Schaltungsrückübersetzung muß Verdrahtungsfehler ausschließen.

1.2. Meßtechnikentwurf

Parallel zum Bauelemententwurf ist eine spezielle Meßtechnik zu entwickeln. Diese Meßtechnik hat die funktionsbestimmenden Schaltkreisparameter zu erfassen und für ein automatisches Testersystem aufzubereiten. Das Testersystem entscheidet anhand der gewonnenen Daten über die Funktionstüchtigkeit des gemessenen Bauelementes (Ja/Nein-Entscheidung).

Die verwendete Meßschaltung sollte den Kriterien

- kurze Meßzeit
- sichere Reproduzierbarkeit

genügen. Sie hat sicherzustellen, daß

- alle laut Schaltbild notwendigen Verbindungsleitungen (Leitbahnen) vorhanden sind
- die elektrischen Parameter der verwendeten Transistoren, Widerstände usw. den Entwurfswerten laut Schaltbild innerhalb gewisser Toleranzgrenzen entsprechen.

Dieser Nachweis der elektrischen Übereinstimmung von Prüfling und Schaltbild ist nicht einfach und bei komplizierten Anlogschaltungen kaum hundertprozentig möglich. Die bisherigen Erfahrungen zeigen, daß neben relativ einfachen Fehlern wie Leitbahn-Unterbrechungen oder -Kurzschlüssen auch einzelne Transistoren oder Widerstände mit ihren elektrischen Parametern weit außerhalb der zulässigen Toleranzen liegen können. Im Extremfall führen diese Parameterabweichungen erst unter realen elektrischen Betriebsbedingungen bei der Baugruppenprüfung des Geräteherstellers zu Totalausfällen und damit zu AN-Kosten.

Deshalb müssen bei der Scheibenmessung alle funktionsbestimmenden Gleichgrößen erfaßt und hinsichtlich ihrer Übereinstimmung mit den Daten des Schaltungsentwurfes bewertet werden.

Die konstruktive Gestaltung der Scheibenmeßtechnik ist vorgegeben, die Meßschaltung befindet sich auf der sogenannten Probcard.

Weiterhin ist für das automatische Testersystem eine Meßprogrammvorlage mit dem Inhalt:

- Reihenfolge der Messungen
- Meßstellen, Meßwerte und -grenzen
- benötigte Spannungen und Ströme

zu erstellen (Weiteres siehe Abschnitt 2).

1.2.2. Endmeßtechnik (ANL)¹

Bei der Endmessung werden alle den Einsatzforderungen des Schaltkreises entsprechenden Meßgrößen erfaßt und ausgewertet. Die konstruktive Gestaltung der Meßtechnik ist vorgegeben. Zur Messung wird der Prüfling in den sogenannten Meßfassungsträger eingelegt. Dieser Meßfassungsträger stellt das Kernstück einer umfangreichen Baugruppe (ANL) zur Anpassung an das Testersystem dar, welche u. U. noch zur Messung notwendige Unterbaugruppen enthält. Der zu treibende Aufwand an Unterbaugruppen hängt von den in der Endmessung zu bewertenden Größen ab. Auch für die Endmeßtechnik (ANL) ist eine Meßprogrammvorlage zu erarbeiten (Weiteres siehe Abschnitt 2).

2. ISA-Schaltkreis AK 631 DK

Im 2. Abschnitt wird ein auf der Basis des ISA-Systems entwickeltes Bauelement vorgestellt. Die Verwendung dieses Systems erwies sich als die wirtschaftlichste Methode zur Realisierung eines an die Forderungen der kommerziellen Nachrichtentechnik angepaßten Schaltkreises. Er dient der Verstärkung und Demodulation amplituden- oder frequenzmodulierter Signale.

¹ ANL = analoger Meßeinschub

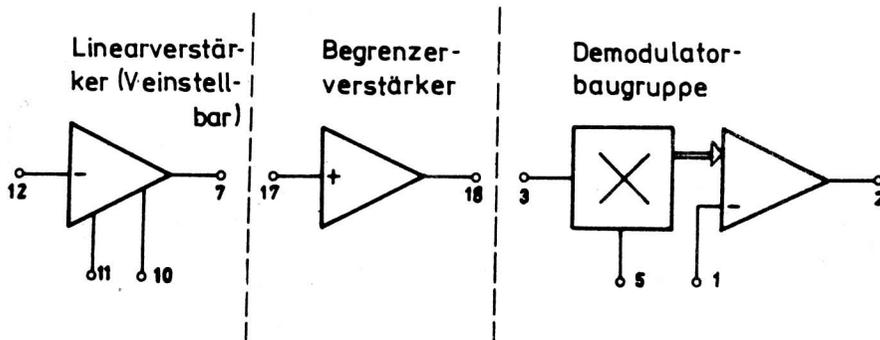


Bild 2: Schaltungskonzept

Konzeptionell waren im Schaltkreis zu realisieren (Bild 2):

- ein rauscharmer, temperaturstabiler, im Bereich $10 \mu\text{V} \leq U_e \leq 1 \text{ mV}$ linear aussteuerbarer Verstärker mit einstellbarer Verstärkung
- ein Begrenzerverstärker
- ein temperaturstabiler Demodulator zur Demodulation amplituden- oder frequenzmodulierter Signale

Die Anschlußbelegung des Bauelementes zeigt Bild 3.

Die Zugänglichkeit der einzelnen Baugruppen erhöht die schaltungstechnische Flexibilität des Schaltkreises. Für schaltkreistypische Einsatzfälle liegt die obere Grenzfrequenz bei 500 kHz.

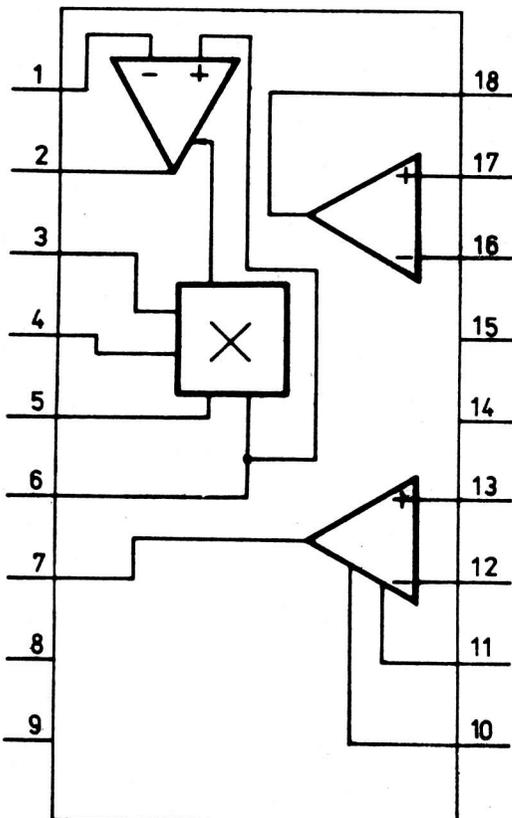


Bild 3: Anschlußbelegung

(1 - Demodulator, N-Eingang; 2- Demodulator, Ausgang; 3 - Demodulator, ZF-Eingang; 4 - Demodulator, ZF-Masse; 5 - Demodulator, Träger-Eingang; 6 - Demodulator, Träger-Masse; 7 - Linearverstärker, Ausgang; 8, 9 - Linearverstärker, Masse; 10, 11 - Linearverstärker, Verstärker-Einstellung; 12 - Linearverstärker, N-Eingang; 13 - Linearverstärker, P-Eingang; 14 - Masse; 15 - Betriebsspannung; 16- Begrenzer, N-Eingang; 17 - Begrenzer, P-Eingang; 18 - Begrenzer, Ausgang)

2.1. Technische Daten

Tabelle 1: Meßwerte (Meßschaltung gem. Bild 4)

Kenngröße	Kurzzeichen	Wert			Einheit
		min.	typ.	max.	
Betriebsspannung	U_{CC}	+ 5		+15	V
Stromaufnahme	I_{CC}	2,3	3,0	4,5	mA
Spannung am Anschluß 13	U_{13}	2,4		3,0	V
Spannung am Anschluß 6	U_6	2,3		3,0	V
max. Verstärkung des Linearverstärkers	V_{max}	48	51	60	dB
min. Verstärkung des Linearverstärkers	V_{min}		-1		dB
Ausgangsspannung des Begrenzerverstärkers	U_{OB}	38		110	mV
Ausgangsspannung des Demodulators	U_{OD}	38		100	mV

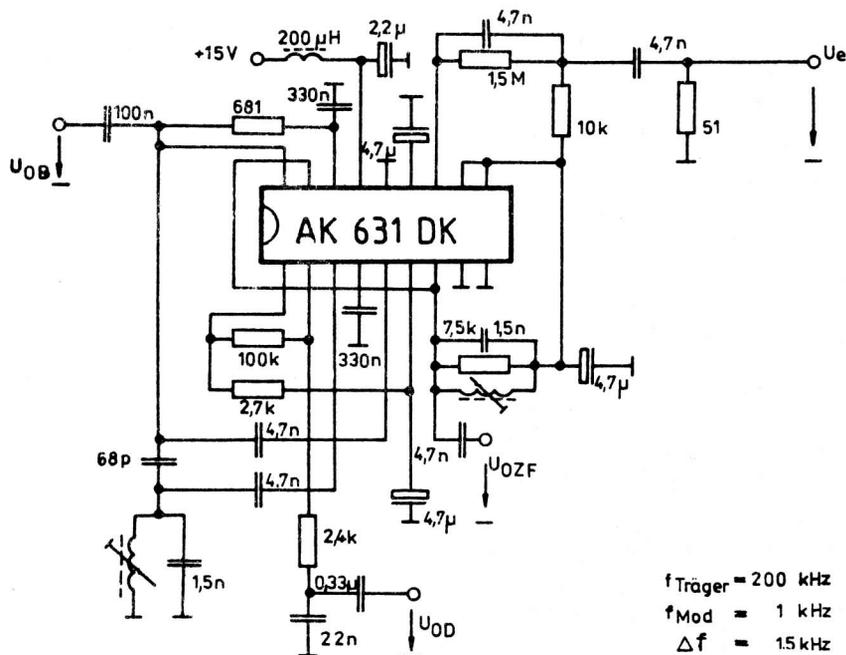


Bild 4: Meßschaltung

Die dynamischen Parameter sind von der Betriebsspannung weitestgehend unabhängig. Bei einer Änderung der Eingangsspannung von $10 \mu\text{V}$ auf 1 mV ($\approx 40 \text{ dB}$) ändert sich die Demodulatorausgangsspannung um maximal 3 dB .

Die Linearitätsabweichung des Linearverstärkers beträgt typisch $-0,5 \text{ dB}$.

Im Betriebstemperaturbereich wurden bei einer Eingangsspannung von 10 μV folgende Werte gemessen.

Tabelle 2: Werte im Betriebstemperaturbereich

Kenngröße	Betriebstemperatur in $^{\circ}\text{C}$		
	-40	+25	+85
ΔV_{max}	-0,5 dB	0 dB	+0,4 dB
ΔU_{00}	-3 dB	0 dB	+2,5 dB

Die bezüglich Stromaufnahme und Temperaturabhängigkeiten guten Ergebnisse ließen sich nur durch sorgfältigen Schaltungsentwurf erreichen. Es mußten integrationsfähige Schaltungen gefunden werden, die schon aufgrund ihrer Struktur geringe Stromaufnahme und temperaturstabiles Verhalten garantierten. Das erreichte Niveau wird in /9/ und /10/ dokumentiert.

In der Phase der Schaltungserprobung dominierte der Brettschaltungsaufbau der einzelnen Baugruppen des Schaltkreises. Zur Bestätigung der Meßergebnisse bzw. zur Schaltungsoptimierung wurden von Fall zu Fall rechnergestützte Netzwerksimulationen durchgeführt.

Die Realisierung der Gesamtschaltung erfolgte auf dem Grundchip IA 60. Tabelle 3 verdeutlicht den Chipauslastungsgrad, Bild 5 zeigt die Chipfotografie eines Funktionsmusters.

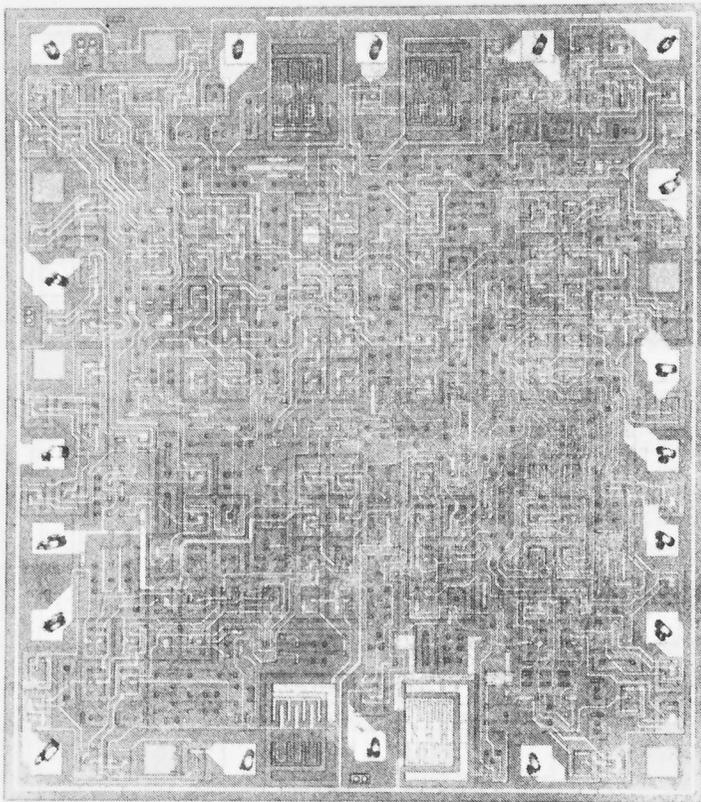


Bild 5: Chipfotografie eines Funktionsmusters

Tabelle 3: Chipauslastung

Transistortyp	vorhanden	verwendet	Auslastung in %
npn-klein	91	82	90
npn-groß	4	2	50
pnp-Lateral	36	26	72,2
pnp-Substrat	14	3	21,4
Gesamt	145	113	77,9

Die erreichte hohe Chipauslastung komplizierte den Entwurf der Leitbahnebene erheblich.

2.2. Schaltkreismeßtechnik

2.2.1. Scheibenmeßtechnik (Probcard)

Die Aufgabe der Scheibenmessung besteht darin, in möglichst kurzer Zeit durch vorzugsweise Messung von Gleichgrößen alle funktionstüchtigen Chips zwecks Montage und Verkappung zu selektieren.

Ein Idealzustand ist erreicht, wenn die selektierten Chips nach Montage und Verkappung in der anschließenden Endmessung alle dynamischen Forderungen erfüllen. Die Problematik der Scheibenmessung soll anhand der am AK 631 DK gesammelten Erfahrungen verdeutlicht werden.

Ursprünglich wurde davon ausgegangen, daß durch die Messung von hauptsächlich Gleichspannungsarbeitspunkten und drei Gleichstrommessungen der notwendige Selektionsgrad erreicht wird.

Im Verlaufe der K-Entwicklung zeigte sich jedoch eine stark schwankende Ausbeute bei der Endmessung. Eine Meßgrenzenkorrektur sowie das Nachrüsten der Probcard mit einer einfachen Schaltung zur Verstärkungsmessung am Linearverstärker erbrachte langfristig keine Stabilisierung der Ausbeute.

Deshalb wurde der Umfang des Scheibenmeßprogramms durch zusätzliche Einführung von Gleichstrommessungen und Rechentests bedeutend erweitert. Ausgangspunkt dieser Erweiterung war die Gesetzmäßigkeit, daß bei funktionstüchtigen Chips alle meßbaren Gleichströme in einem berechenbaren Verhältnis zu den im Schaltkreis erzeugten Referenzströmen stehen müssen. Die nach dieser dritten Erweiterung erzielten Ergebnisse führten zum gewünschten Erfolg.

Bild 6 zeigt die konstruktive Gestaltung der Scheibenmeßtechnik. Im Zentrum der Leiterplatte sind auf entsprechenden Segmenten Meßnadeln befestigt. Diese Meßnadeln kontaktieren die Bondinseln des Chips und stellen die Verbindung zu der um den Segmentkranz angeordneten externen Beschaltung her.

2.2.2. Endmeßtechnik (ANL)

Aufgabe der Endmessung ist es, am verkappten Bauelement alle geforderten Pflichtenheftkenngrößen unter möglichst einsatznahen Bedingungen nachzuweisen.

Bei der Meßtechnikentwicklung ist davon auszugehen, daß das Testersystem nur Gleichspannungen und -ströme verarbeiten kann.

Die Meßschaltung (Bild 4) entspricht dem Einsatz des Schaltkreises zur linearen Verstärkung, Begrenzung und Demodulation eines frequenzmodulierten Eingangssignales. Zusammen mit einem umschaltbaren Dämpfungsglied und Impedanzwandlerstufen zur Auskopplung der Ausgangssignale des Linear- und Begrenzerverstärkers sowie des Demodulators ist sie im Meßfassungsträger untergebracht.

Das Eingangssignal für den Meßfassungsträger wird in der Baugruppe "Frequenzmodulierter Generator" erzeugt.

Die Baugruppe "Gleichrichterplatte" beinhaltet mehrere Meßverstärker-/gleichrichter-Einheiten zur Anpassung der vom Meßfassungsträger ausgekoppelten Meßgrößen an den Tester.

Alle notwendigen Betriebsspannungen werden am Eingang der Endmeßtechnik (ANL) von überlagerten Störungen befreit.

Im Verlauf der Schaltkreisentwicklung war die Endmeßtechnik einmalig konzeptionell zu überarbeiten, um die Qualität der Messung abzusichern.

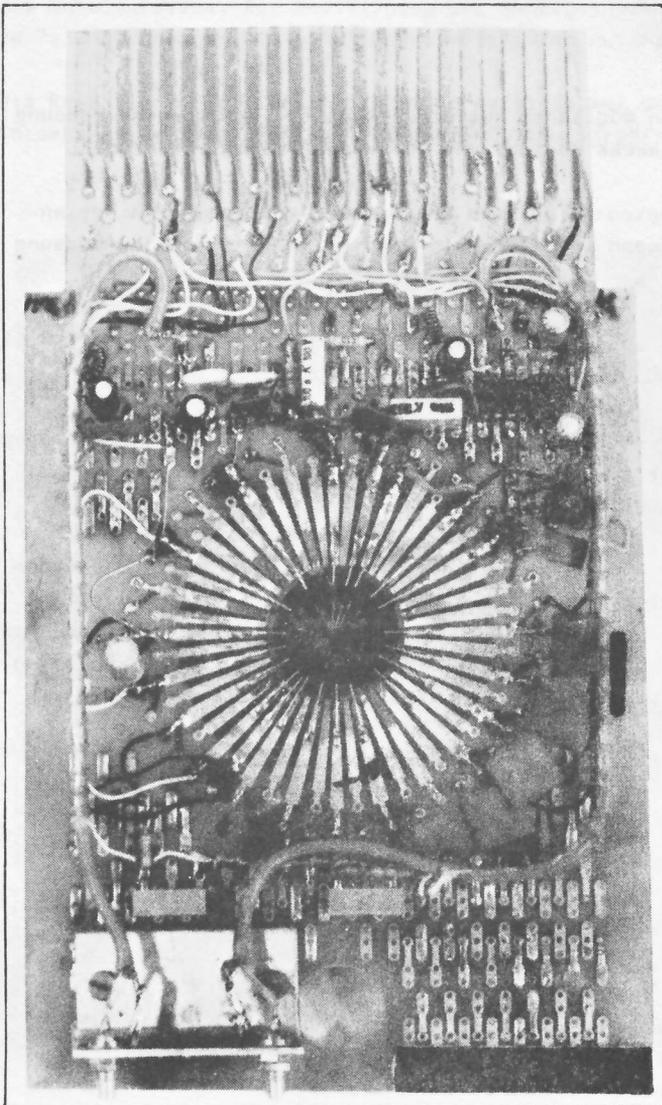


Bild 6: Scheibenmeßtechnik (Probcard)

3. Zusammenfassung

Aus der Sicht eines geräteherstellenden Betriebes wurde dargestellt, wie und mit welchen Ergebnissen man auf der Basis des ISA-Systems einen kundenspezifischen Schaltkreis entwickeln kann.

Der Schaltkreis AK 631 DK wird im Sende-/Empfangsgerät des Systems "Transport" (Zugfunk UdSSR) eingesetzt.

Weitergehende, die Applikation oder Nachnutzung dieses Schaltkreises betreffende Informationen können an der nachstehenden Anschrift eingeholt werden:

VEB Funkwerk Köpenick
Stammbetrieb im VEB Kombinat Nachrichtenelektronik
Wendenschloßstraße 142

Berlin

1 1 7 0

Literatur

- /1/ Buttgerit, D.: Integrierte Schaltungsanordnungen
Radio Fernsehen Elektronik, Berlin 31 (1982)3, S. 143 ... 145
- /2/ Das HFO-ISA-System
VEB Halbleiterwerk Frankfurt/Oder Kundeninformationsschrift
- /3/ Maasch, G.: Grundstrukturen der analogen Schaltungstechnik
Radio Fernsehen Elektronik, Berlin 27 (1978)11, S. 683 ... 686
- /4/ Leidich, A.: Grundsätzliche Schaltungskonzepte monolithisch integrierter Linearschaltungen,
Teil 1
Funk-Technik, Berlinⁿ 30 (1975)10, S. 278 ... 284
Teil 2
Funk-Technik, Berlinⁿ 30 (1975)11, S. 308 ... 311
- /5/ Van Kessel, T. J., u. a.: Integrierbare Grundschaltungen für analoge Signale
Philips Technische Rundschau, Eindhoven 32 (1971/72)1, S. 1 ... 12
- /6/ Kröbel, H.-E.: Grundschaltungen der analogen integrierten Technik
Teil 1
Radio Fernsehen Elektronik, Berlin 27 (1978)10, S. 621 ... 625
Teil 2
Radio Fernsehen Elektronik, Berlin 27 (1978)11, S. 687 ... 691
- /7/ Köstner, R.; Möschwitz, A.: Elektronische Schaltungstechnik, 2. Auflage
Berlin: Verl. Technik, 1982
- /8/ Herpy, M.: Analoge integrierte Schaltungen
Budapest: Akad. Kiado, 1976
- /9/ WP 2 587 435 DD. Demodulator
- /10/ WP 2 726 190 DD. Regelbare Differenzverstärkerstufe mit großem Dynamikbereich

h i n w e i s

Als Nachfolgeveröffentlichung des Taschenbuches "Aktive elektronische Bauelemente" des VEB Kombinat Mikroelektronik erscheinen ab 1989 Datenbücher für einzelne Bauelementeerzeugnisgruppen. Der Herausgabezyklus beträgt bei den geplanten zehn Bänden ca. fünf Jahre. Das Taschenbuch erscheint deshalb 1989 letztmalig.

Die Datenbücher werden - im Interesse der Aktualität - jährlich durch einen Band "Neuheiten, Weiterentwicklungen" ergänzt. Dieser Band löst die Datenblattsammlung "Elektronische Bauelemente" ab.

Die Abonnements für das Taschenbuch und die Datenblattsammlung werden vom VEB Applikationszentrum Elektronik Berlin, Abt. DA, in ein Abonnement für o. g. Datenbücher einschließlich des Bandes "Neuheiten, Weiterentwicklungen" im bereits bestehenden Umfang übernommen, insofern keine Korrekturen, Stornierungen oder Erweiterungen erfolgen.

Wir hoffen, durch die Datenbücher eine bessere und umfangreichere Information der Bauelementeanwender zu erreichen.

Private Interessenten können die Datenbücher über den Buchhandel erwerben.



**vob applikationszentrum elektronik berlin
im vob kombinat mikroelektronik**

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055
