

elektronik-bauelemente

Nur für den Dienstgebrauch

APPLIKATIVE INFORMATION

APPLIKATIVE INFORMATION

- für Anwender der Mikroelektronik -

hinweise

1. Alle Beiträge in den Heften der "Applikativen Information" dienen der Anregung bei Schaltungs- und Geräteentwicklungen bzw. beim Finden von Rationalisierungslösungen und vor allem dem Erfahrungsaustausch. Es können keine Verbindlichkeiten des VEB Applikationszentrum Elektronik Berlin zur Bereitstellung der in den Beiträgen vorgestellten elektronischen Bauelemente abgeleitet werden.

Grundlage dafür sind die Listen für elektronische Bauelemente und Bausteine, die über die Bauelemente-Verantwortlichen der Betriebe beim VEB Applikationszentrum Elektronik Berlin angefordert werden können.

2. Reproduktionen in irgendeiner Form durch Druck, Kopienherstellung, Microfiche u. a. sind nur nach vorheriger schriftlicher Zustimmung des Herausgebers gestattet. Auszüge, Referate und Besprechungen müssen die volle Quellenangabe enthalten.

elektronik

	Seite
Auswerteschaltung für den inkrementalen Geber IG 4	2
Systematischer Entwurf digitaler Automaten am Beispiel der Zählimpulserzeugung aus inkrementalen Weg- oder Winkelgebersignalen	8
Universell einsetzbare Steuerungen und Gerätesysteme (1. Fortsetzung)	15

bauelemente

Die alphanumerische Lichtemitteranzeigeeinheit VQC 10 - Funktionsweise und Ansteuertechnik	30
Statische Schreib-/Lese-Speicher mit wahlfreiem Zugriff - (SRAM) U 214 D und U 224 D	37

applikation

Frequenz-Spannungswandler für den NF-Bereich	56
Rauschverminderungssystem mit B 4761	61

Redaktionsschluß: 30.04.1985

herausgeber

vob applikationszentrum elektronik berlin
im vob kombinat mikroelektronik
- abteilung applikative information -
1035 berlin, mainzer str. 25

Dr. sc. techn. Michael Krapp

Technische Hochschule Ilmenau
Sektion Technische und Biomedizinische Kybernetik

Dipl.-Ing. Günter Deutschmann

VEB Robotron - Rationalisierung Weimar

Auswerteschaltung für den inkrementalen Geber IG 4

Die Auswerteschaltung besteht aus einer Impulsformerstufe zur Wandlung der analogen Gebersignale in TTL-Pegel und einer logischen Schaltung (Automat) zur Impulsverdopplung und Richtungserkennung.

Die Ausgangsimpulse können direkt einem Vor/Rück-Zähler zugeführt werden. Die Schaltung ist unempfindlich gegen beliebige Drehschwingungen.

1. Einleitung

Mit dem inkrementalen Geber IG 4 vom VEB Kombinat Elektromaschinenbau steht eine kleine (Baulänge 25 mm, Durchmesser 22 mm) und preisgünstige Baugruppe zur Verfügung, die in Positionierantrieben einsetzbar ist /1/.

Der Geber enthält zwei um 90° einer Taktperiode versetzte Spuren mit je 100 Perioden. Da im Geber selbst nur die Fotostrecken enthalten sind, muß die Auswertung der Signale vom Anwender realisiert werden. Nachfolgend wird eine dazu geeignete einfache Schaltung vorgestellt.

Sie besteht aus einem Impulsformer mit definierter Hysterese und einer logischen Schaltung zur Erkennung der Drehrichtung und zur Impulsverdopplung auf 200 pro Umdrehung.

Die Ausgangsimpulse können beispielsweise direkt den Zählereingängen eines Vor/Rück-Zählers auf der Basis D 192 D oder D 193 D mit nachgeschalteter Anzeigeeinheit zugeführt werden. Die Schaltung ist so ausgelegt, daß mechanische Schwingungen, die der Drehbewegung überlagert sind, nicht zu fehlerhaften Ergebnissen führen. Eine Drehung des Gebers im Uhrzeigersinn, auf den Wellenstumpf gesehen, wurde als Vorwärts-Richtung festgelegt.

2. Impulsformer

Bild 1 zeigt den Impulsformer der Auswerteschaltung mit dem Leitungsempfänger 75107 PC. Dieser Schaltkreis enthält zwei Komparatoren mittlerer Verstärkung mit nachgeschalteten Gattern, so daß am Ausgang TTL-Signale verfügbar sind.

Die Fotoströme des IG 4 streuen exemplarabhängig relativ stark. An sechs Exemplaren wurden Werte für i_{\max} zwischen 0,25 mA und 1,2 mA gemessen. Um trotzdem die Forderung nach möglichst guter Einhaltung des 90° -Versatzes der beiden Spuren zu erfüllen, war vorausgesetzt, daß das Signal am Ausgang des Komparators weitgehend symmetrisch ist. Eine individuelle Einstellung ist daher erforderlich. Sie wird mit dem Einstellregler R2 vorgenommen, wobei das Einstellkriterium die Symmetrie des Signals am Komparatorausgang ist (Tastverhältnis $V_T = 0,5$).

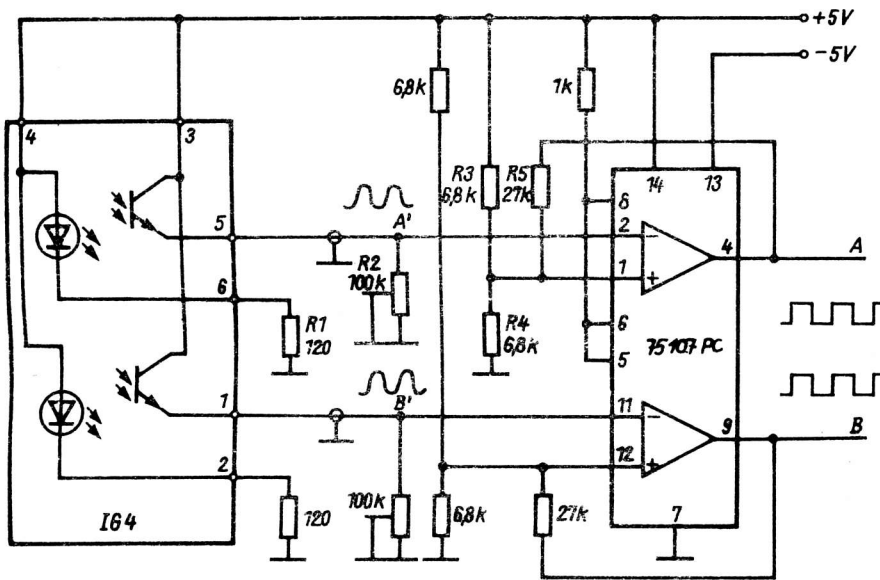
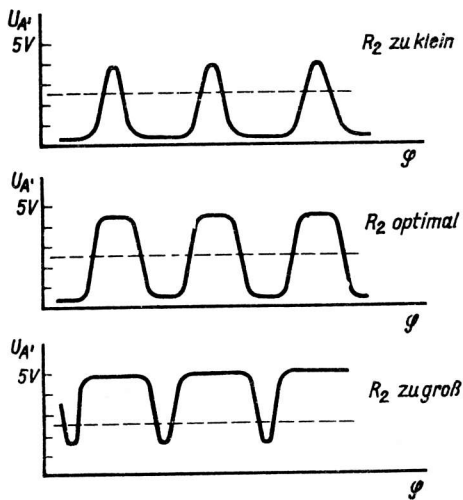


Bild 1: Stromlaufplan des Impulsformers

Bild 2: Einfluß des Abschlußwiderstandes R_2 auf die Signalform

Die Abhängigkeit der Signalform am Eingang des Komparators von der Einstellung ist in Bild 2 dargestellt. Bei der vorliegenden Dimensionierung ergibt sich eine Signalamplitude nahezu der Betriebsspannung von 5 V am Eingang des Komparators. Die Triggerschwelle wurde deshalb auf die halbe Betriebsspannung gelegt. Um die Auswerteschaltung unempfindlich gegen überlagerte Drehschwingungen bei jeder beliebigen Winkelstellung des Gebers zu machen, weist der Komparator eine definierte Hysterese auf.

Für die Schaltpunkte des Komparators gilt:

$$\frac{U_{\text{ein}}}{(U_{\text{aus}})} = U_{\text{ref}} \frac{R5}{R3 \parallel R4 + R5} + \frac{U_{\text{Amax}}}{(U_{\text{Amin}})} \frac{R3 \parallel R4}{R3 \parallel R4 + R5}$$

und für die Hysterese:

$$U_H = U_{\text{ein}} - U_{\text{aus}} = (U_{\text{Amax}} - U_{\text{Amin}}) \frac{R3 \parallel R4}{R3 \parallel R4 + R5}$$

wobei

$$U_{\text{ref}} = U_B \frac{R4}{R3 + R4} \quad \text{ist.}$$

U_{Amax} , U_{Amin} sind die Ausgangsspannungen des Komparators.

Mit den Werten

$$U_{\text{Amax}} \approx 3,6 \text{ V}$$

$$U_{\text{Amin}} \approx 0 \text{ V}$$

$$U_B = 5 \text{ V}$$

ergeben sich aus diesen Gleichungen die Schaltpunkte

$$U_{\text{ein}} \approx 2,6 \text{ V}$$

$$U_{\text{aus}} \approx 2,2 \text{ V}$$

und die Hysterese

$$U_H \approx 0,4 \text{ V}$$

Die Schaltbedingungen des Komparators sind in Bild 3 dargestellt.

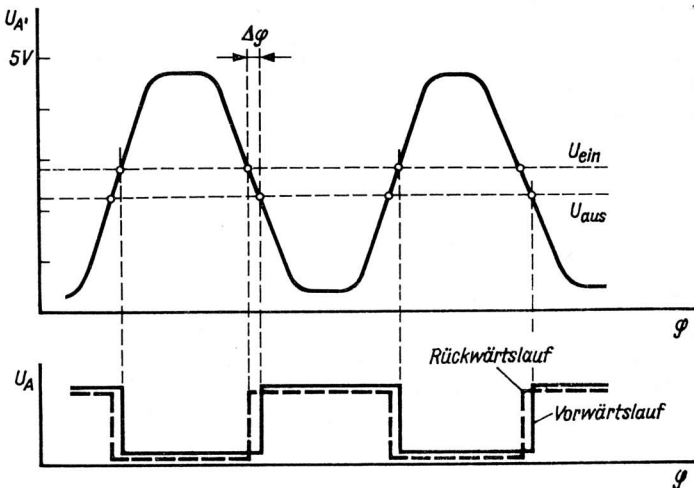


Bild 3: Schaltbedingungen des Komparators

3. Logische Auswertung

Bild 4 zeigt den zeitlichen Verlauf der binären Signale A und B des Impulsgebers für Vorwärts- und Rückwärtslauf. Darunter sind die gewünschten Vorwärts- und Rückwärtszählimpulse V und R dargestellt, die in negierter Form zum Beispiel dem Zähler D 193 zugeführt werden können. Bild 5 gibt die zugehörige logische Schaltung an.

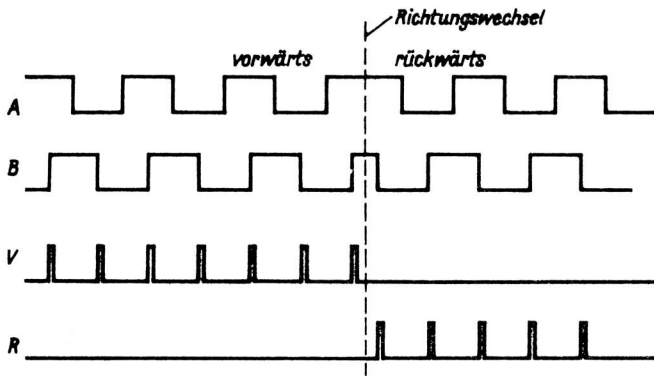


Bild 4: Signalverlauf von A, B, V, R

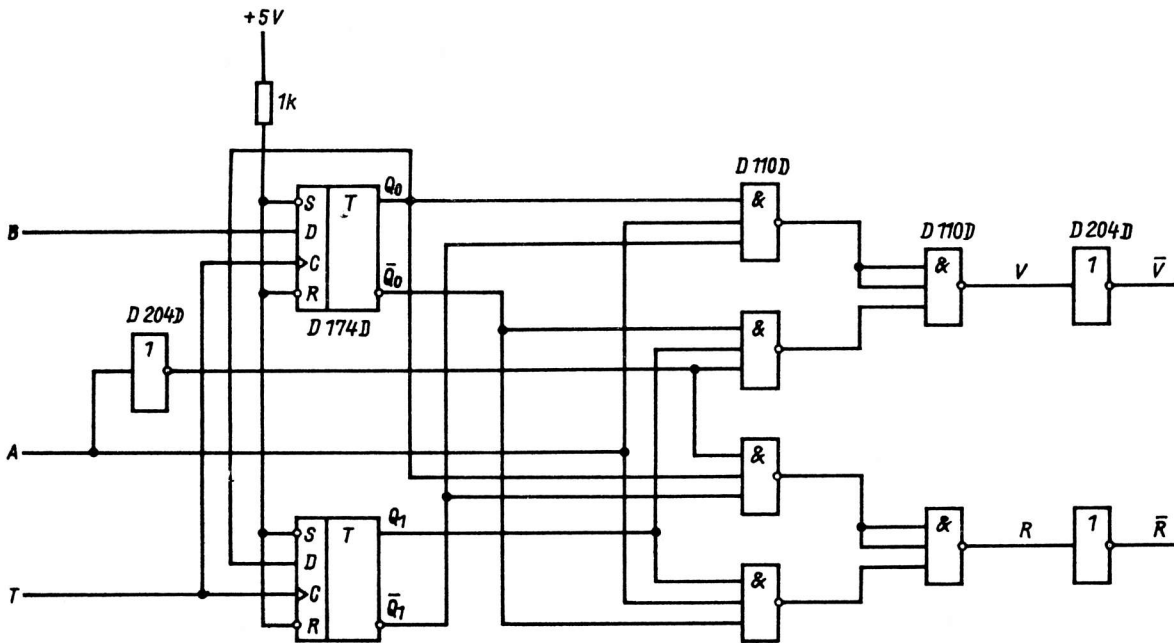


Bild 5: Schaltung zur Erzeugung von V und R aus A, B und T

In Bild 6 ist das Verhalten dieser Schaltung als Automatengraph /2/ angegeben. Jedem Knoten ("Zustand") entspricht dabei umkehrbar eindeutig eine Belegung der Flipflop-Ausgänge Q_0 und Q_1 , jeder Knoten ist außerdem eindeutig einer Ausgabefunktion für V und R zugeordnet. An den Kanten ("Zustandsübergänge") stehen logische Ausdrücke der Eingangssignale A und B. Nehmen diese Ausdrücke den Wert 1 an, wird der entsprechende Zustandsübergang mit der nächsten 0→1-Flanke des Taktes T ausgeführt. Der Takt T erscheint der besseren Übersichtlichkeit wegen nicht explizit im Automatengraph.

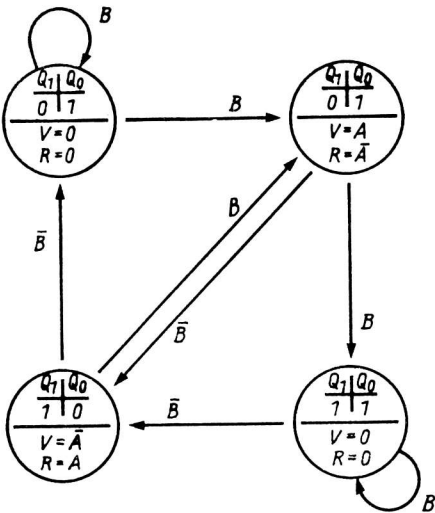


Bild 6: Verhalten der Schaltung nach Bild 5 als Automatengraph

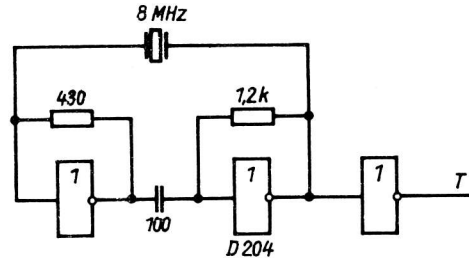


Bild 7: Taktgenerator

Das Verhalten der Schaltung nach Bild 5 kann nun folgendermaßen anhand der Bilder 4 und 6 verfolgt werden:

Ausgangspunkt sei der Zustand $[0, 0]$, A sei 1 und B sei 0; wegen Gültigkeit der Gleichungen $V = 0$ und $R = 0$ in diesem Zustand haben auch V und R den Wert 0. Dieser Zustand ist wegen der Eigenschleife mit dem logischen Ausdruck \bar{B} stabil. Ändert sich nun B von 0 auf 1, geht die Schaltung in den Zustand $[0, 1]$ über, in welchem wegen $V \neq A$ und $R = \bar{A}$ das V-Signal zu 1 wird, währenddem R auf dem Wert 0 verharret. Dieser Zustand $[0, 1]$ enthält keine Eigenschleife, wird also auf jeden Fall mit der nächsten $0 \rightarrow 1$ -Flanke von T verlassen. Normalerweise bleibt B längere Zeit auf 1, so daß mit der nächsten $0 \rightarrow 1$ -Flanke von T der Zustand $[1, 1]$ erreicht wird, welcher für $B = 1$ stabil ist. Da der Zustand $[0, 1]$ instabil ist und im Zustand $[1, 1]$ wieder $V = 0$ gilt, ist die Länge des erzeugten V-Signals identisch mit der Periodendauer des Taktes T. Falls B schon während des instabilen Zustandes $[0, 1]$ wieder den Wert 0 annimmt, wird der instabile Zustand $[0, 1]$ mit der $0 \rightarrow 1$ -Flanke von T nicht in Richtung $[1, 1]$, sondern in Richtung $[1, 0]$ verlassen. In diesem Zustand wird also bei noch geltender Voraussetzung, daß der Wert von A gleich 1 ist, wegen $V = \bar{A}$ das R-Signal zu 1. An den V-Impuls des Zustandes $[0, 1]$ schließt sich also lückenlos der R-Impuls des Zustandes $[1, 0]$ an. Die weitere Funktion der Schaltung, ausgehend vom Zustand $[1, 1]$, ist symmetrisch zur bisher erklärten Teilfunktion und deshalb ohne Schwierigkeit vom Leser zu ergänzen.

Logisch bedingte Zählfehler könnten in dieser Schaltung nur dann auftreten, wenn in einem der instabilen Zustände der Geber so schnell schwingt, daß sich das Signal A mehrfach ändert, bevor die nächste $0 \rightarrow 1$ -Flanke des Taktes diesen Zustand umschaltet.

Durch die Einführung einer definierten Hysterese des Komparators wird erreicht, daß zwischen zwei Zuständen des Signals A mindestens ein Winkel $\Delta\varphi$ durchlaufen werden muß (Bild 3). Die damit verbundene Verzögerungszeit in Verbindung mit einer ausreichend hohen Taktfrequenz verhindert das Auftreten dieses Fehlers. Falls kein geeigneter Takt vorhanden ist, kann der im Bild 7 dargestellte Taktgenerator verwendet werden.

Zählfehler können auch durch Impulseinstreuung auf die A', B' oder V, R-Leitungen auftreten. Es empfiehlt sich eine Abschirmung dieser Leitungen.

Literatur:

- /1/ Firmenunterlagen VEB Kombinat Elektromaschinenbau
"Präzisions-Kleinstmotoren mit Hohläufer"
- /2/ Krapp, Michael: Die Beschreibung unvollständig
bestimmter Automaten durch einen verallgemeinerten
Automatengraphen
ZKI-Information (1979) 1, S. 19-22
- /3/ Krapp, Michael: Ableitung eines Automatengraphen
zur kompakten Beschreibung des Verhaltens digitaler
Systeme.
messen steuern regeln, Berlin 27 (1984) 8, S. 347-350

Dr. sc. techn. Michael Krapp

Technische Hochschule Ilmenau
Sektion Technische und Biomedizinische Kybernetik

Ing. Dieter Grützmacher

VEB Robotron - Rationalisierung Weimar

Systematischer Entwurf digitaler Automaten am Beispiel der Zählimpulserzeugung aus inkrementalen Weg- oder Winkelgebersignalen

Anhand des allgemein interessierenden Problems der Zählimpulserzeugung aus Weg- oder Winkelgebersignalen wird der systematische Entwurf synchron getakteter digitaler Steuerungen veranschaulicht. Die größte Bedeutung kommt dabei der Notierung des Steueralgorithmus' zu, wozu sich der Automatengraph sehr gut eignet. Hinsichtlich Schaltungsstrukturierung wird auf fest verdrahtete und programmierbare Lösungen eingegangen.

1. Einleitung

In /1/ wurde in Verbindung mit dem IC 4 eine spezielle Schaltungsstruktur zur digitalen Zählimpulserzeugung mit Frequenzverdopplung vorgestellt. Nachfolgend sollen weitere Varianten mit bestimmten Detaileigenschaften diskutiert werden. Über die funktionelle und strukturelle Vielfalt der Lösungsvarianten dieses konkreten Anwendungsfalles "Zählimpulserzeugung" hinausgehend wird damit anschaulich, der systematische Entwurf digitaler Automaten auf der Basis von Automatengraphen /2/, /3/ dargestellt. Die abschließende Umsetzung eines Automatengraphen in ein EPROM-Programm zeigt außerdem, daß zwischen schaltungstechnischen und programmtechnischen Lösungen derartiger Probleme ein fließender Übergang besteht.

2. Notierung der Aufgabenstellung

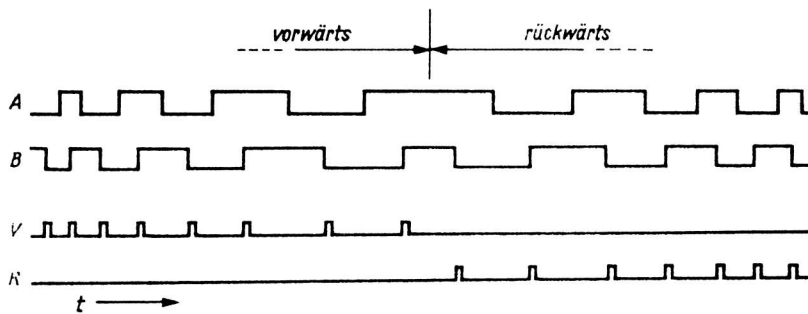


Bild 1: Impulsdiagramm zur Erzeugung von Vor- und Rückwärtsimpulsen V und R aus Weg- bzw. Winkelinkrementen A und B mit Frequenzverdopplung

In Bild 1 ist die Aufgabenstellung wie üblich als Impulsdiagramm dargestellt. A und B sind die vom Weg- bzw. Winkelgeber erzeugten Signale, V und R sind die gewünschten Vorwärts- bzw. Rückwärtszählimpulse z. B. für einen D 193 - Zähler (negiert). Bild 1 läßt die Länge der V/R-Impulse offen. Es werde davon ausgegangen, daß die Realisierungsstruktur synchron getaktet ist, V und R sollen dann die Länge T der Taktperiode dieses Automaten taktetes AT besitzen. Eine systematische Schaltungs- oder Programmsynthese aus Bild 1 ist

im allgemeinen nicht möglich. Deshalb wird die Aufgabe als Automatengraph /2/ notiert. Dies ist bei dieser Art der Problemlösung der kreative, nicht formalisierbare Schritt des Entwurfs; wird hiermit doch der vollständige Steueralgorithmus der Aufgabe notiert. Daß dieser Schritt nicht eindeutig ist, beweisen die Automatengraphen der Bilder 2.1, 3.1, 3.3 und 4.1, welche das schon in /1/ behandelte Problem der Zählimpulserzeugung mit Frequenzverdopplung (relativ zu A bzw. B) lösen.

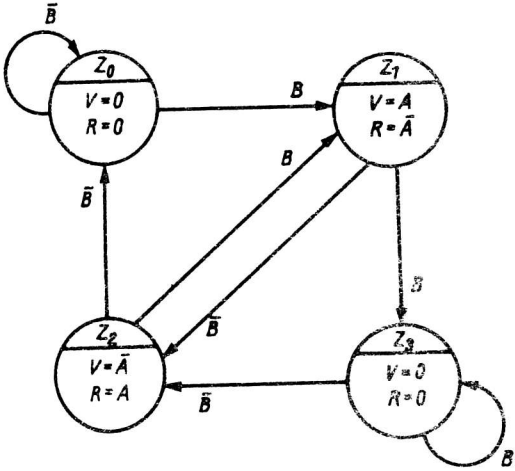


Bild 2.1: MEALY-Automatengraph I zur Erzeugung von V und R nach Bild 1

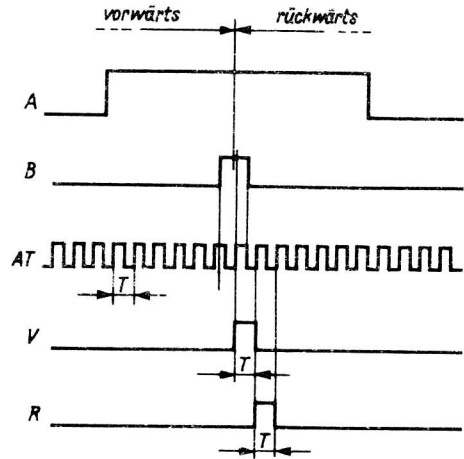


Bild 2.2: Das Verhalten einer Lösung nach Bild 2.1 bei Richtungsumkehr und extrem kurzem B-Impuls

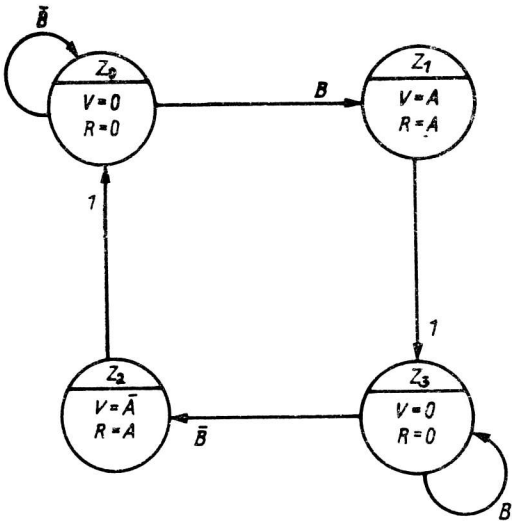


Bild 3.1: MEALY-Automatengraph II zur Erzeugung von V und R nach Bild 1

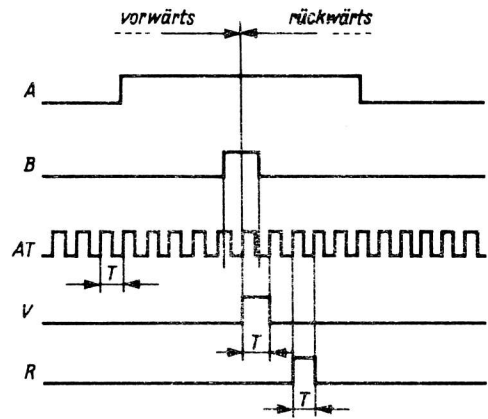


Bild 3.2: Das Verhalten einer Lösung nach Bild 3.1 bei Richtungsumkehr und extrem kurzem B-Impuls

Für alle Automatengraphen gilt, daß ein Zustandsübergang bei erfüllter Übergangsbedingung nur mit der $0 \rightarrow 1$ -Flanke des Automatentaktes AT erfolgen kann, welcher explizit nicht im Automatengraph erscheint. Die Übergangsbedingungen sind als BOOLE'sche Ausdrücke der Eingangsvariablen notiert; der spezielle Ausdruck 1 ist für alle Eingangsbelegungen wahr. Die Bilder 2.2, 3.2 und 4.2 stellen die Detailunterschiede dieser Lösungen dar, welche im kritischen Fall des schnellen Schwingens um eine Flanke der B-Spur des Weg- bzw. Winkelgebers erkennbar werden. Die offensichtlich sicherste Lösung ist die nach Bild 3.2, da diese sowohl eine konstante Länge T der Zählimpulse als auch deren Mindestabstand von T (Periode von AT) sichert. In /1/ wurde nicht diese, sondern die Lösung nach Bild 2.1 bzw. 2.2 ausgewählt, da letztere zu einem etwas kleineren Schaltungsaufwand führt und die unmittelbare Aufeinanderfolge von V- und R-Impulsen bei Schwingungen des IG 4 bei umfassender Testung mit Verwendung von D 193 D-Zählern nicht zu Fehlinformationen führte.

In Bild 5 wird in Verallgemeinerung von Bild 3.3 der MOORE-Automatengraph für Frequenzvervierfachung angegeben. Zusätzlich zu den Zuständen $Z_0 \dots Z_{11}$ des stationären Betriebes sind die Zustände Z_R als Rücksetzzustand und Z_E als Fehlerzustand eingeführt worden. Z_R sichert mit den eingezeichneten Übergangskanten, daß sich nach dem Einschalt-RESET entsprechend der momentan anliegenden A-B-Kombi-

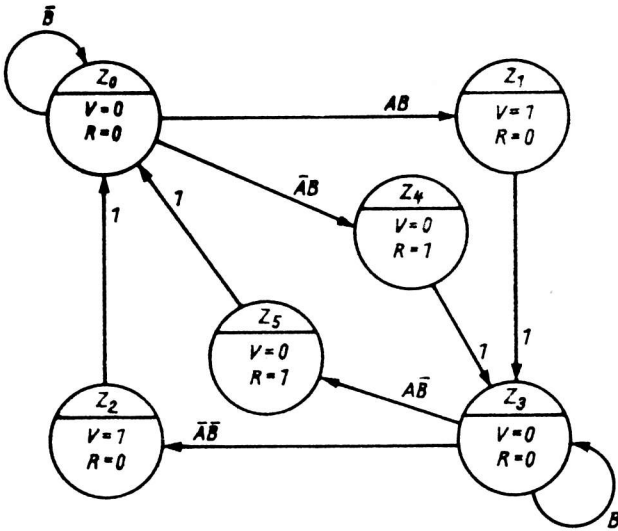


Bild 3.3: Äquivalenter MOORE-Automatengraph zum MEALY-Automatengraph II nach Bild 3.1

nation der richtige Anfangszustand einstellt. Z_E sichert, daß das Auftreten verbotener A-B-Kombinationen in den Zuständen Z_0, Z_2, Z_4 und Z_6 zu einer Fehleranzeige $E = 1$ führt.

Der Automatengraph nach Bild 6 verallgemeinert Bild 5 dahingehend, daß nun über die Belegung der Programmiervariablen P_0 und P_1 eine Vervielfachung, Verdopplung, Reproduktion oder Halbierung der A/B-Frequenz für V bzw. R extern eingestellt werden kann. Diese Möglichkeit ist vor allem dann sinnvoll, wenn eine entsprechende Impulserzeugung Element einer Mikrorechner-Anschlußsteuerung für Antriebe ist, welche durch OUT-Befehle des Anwenderprogramms auf verschiedene Weg- bzw. Winkelgeberauflösungen programmierbar sein soll /3/.

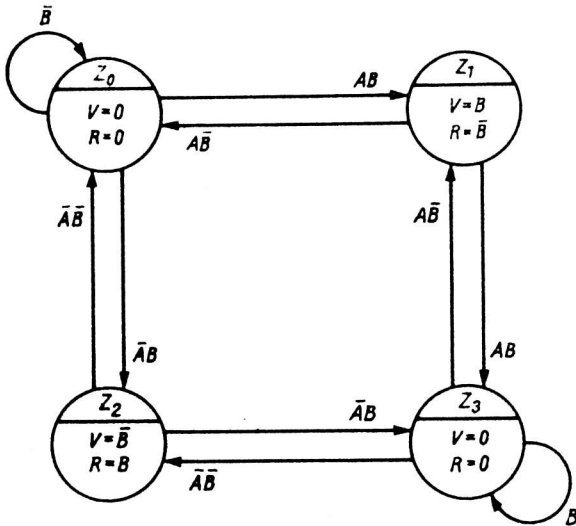


Bild 4.1: MEALY-Automatengraph III zur Erzeugung von V und R nach Bild 1

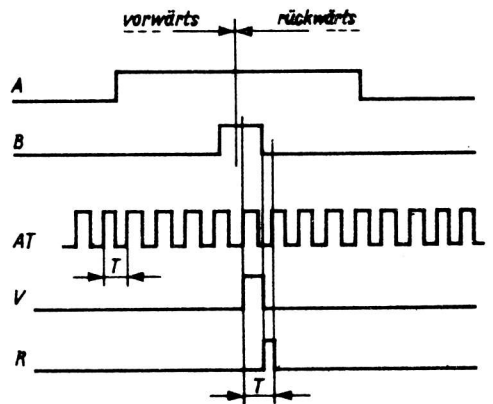


Bild 4.2: Das Verhalten einer Lösung nach Bild 4.1 bei Richtungsumkehr und extrem kurzem B-Impuls

4. Ermittlung einer diskreten Schaltungsstruktur

Zur Ermittlung einer diskreten Schaltungsstruktur z. B. für Bild 2.1 sind aus dem Automatengraph die Ansteuerfunktionen für die einzusetzenden Flipflops und die Ausgangsfunktionen in Form expliziter BOOLE'scher Gleichungen zu ermitteln, zu minimieren, in das vorgesehene Basissystem wertvertauglich umzuformen (z. B. NAND) und strukturell zu interpretieren.

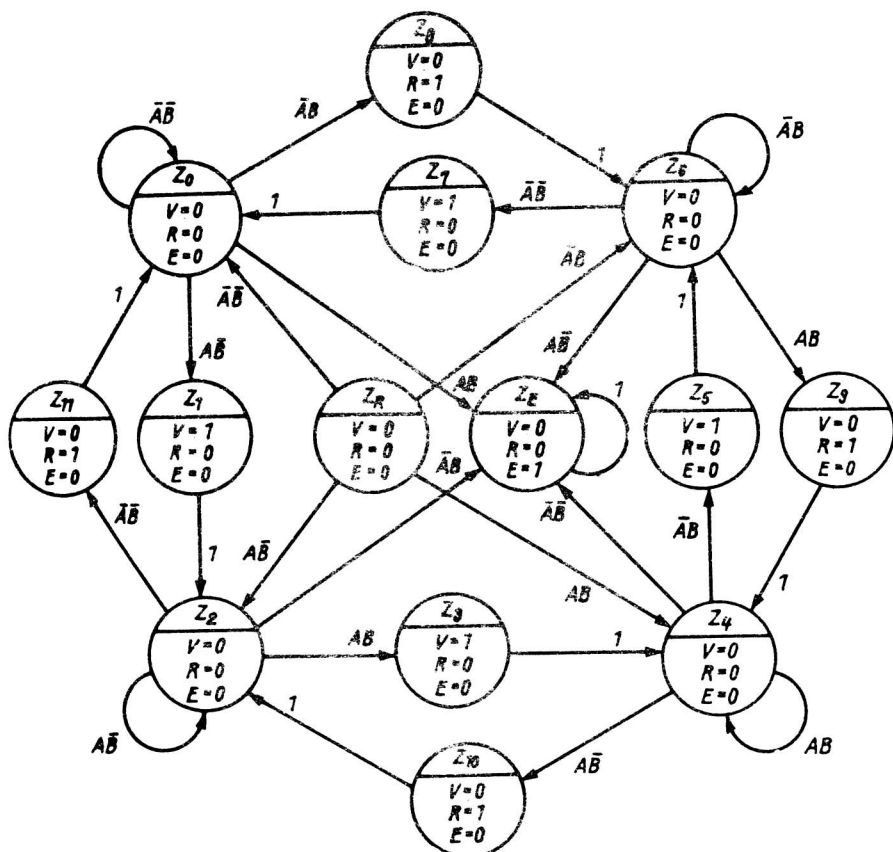


Bild 5: MOORE-Automatengraph mit Rücksetzzustand Z_R zur Erzeugung von V und R mit Frequenzvervierfachung sowie Fehlersignal E

Ohne hier auf die allgemeine Herleitung eingehen zu können, läßt sich auf der Basis von /2/ bei Voraussetzung von flankengetriggerten D-Flipflops des D 174 D und D 10-Gattern (NAND-Basis) am Beispiel von Bild 2.1 das folgende praktische Verfahren angeben.

Die Indizes der Zustände $Z_0 \dots Z_3$ werden als Dezimaläquivalente der binären Belegungen von zwei Zustandsvariablen z_0 und z_1 aufgefaßt. Für jede Zustandsvariable läßt sich aus Bild 2.1 eine explizite, disjunktive Gleichung herauslesen:

$$z_0 := \bar{z}_1 \bar{z}_0 B \vee z_1 \bar{z}_0 B \vee \bar{z}_1 z_0 B \vee z_1 z_0 B$$

$$z_1 := \bar{z}_1 z_0 B \vee z_1 z_0 B \vee \bar{z}_1 z_0 \bar{B} \vee z_1 z_0 \bar{B}$$

Dabei bedeutet z. B. der Term $\bar{z}_1 \bar{z}_0 B$ auf der rechten Seite der Gleichung für z_0 , daß z_0 im Folgetakt (Zeitrelation wird durch das Anweisungssymbol " := " festgelegt) den Wert 1 annimmt, wenn im vorhergehenden Takt der Zustand Z_0 vorlag und B zum Zeitpunkt der aktiven Automatentaktflanke den Wert 1 hatte.

Die Ausgangsgleichungen lassen sich analog ermitteln und lauten im Falle von Bild 2.1:

$$V := \bar{z}_1 z_0 A \vee z_1 \bar{z}_0 \bar{A}$$

$$R := \bar{z}_1 z_0 \bar{A} \vee z_1 \bar{z}_0 A$$

Jeder Zustandsvariablen z_i wird nun ein D 174 D-Flipflop FF_i umkehrbar eindeutig zugeordnet. Alle z_i -Variablen auf der rechten Seite der Anweisungssymbole werden durch den Namen des entsprechenden Flipflop-Ausganges Q_i und alle z_i -Variablen auf der linken Seite durch den Namen des Einganges D_i ersetzt. Nach anschließender Minimierung und NAND-Umformung der BOOLE'schen Ausdrücke kann die strukturelle Interpretation als Schaltungsstruktur erfolgen, womit sich das in /1/ angegebene Schaltbild ergibt.

4. Ermittlung eines EPROM-Programms

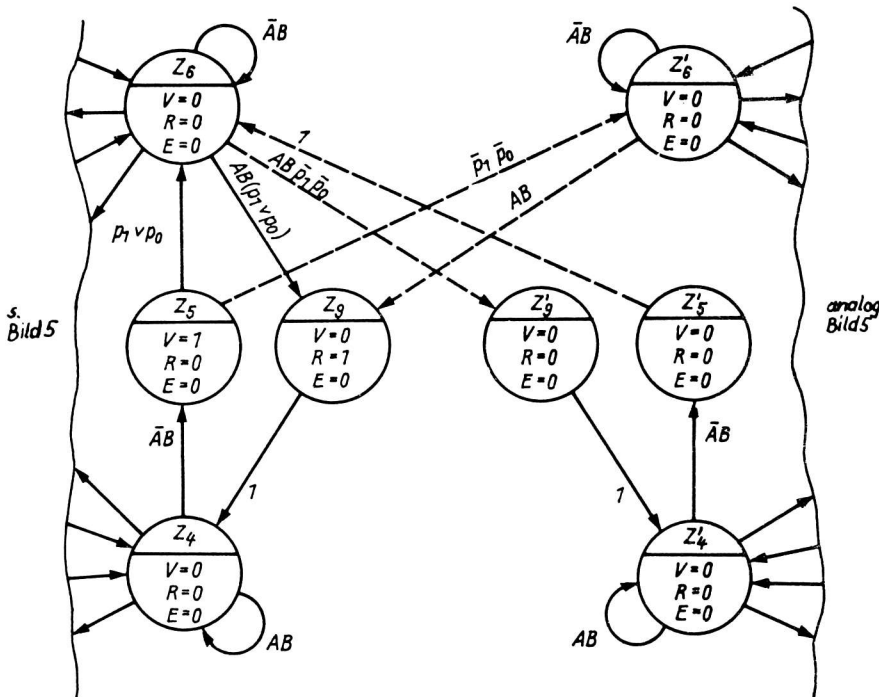


Bild 6: Erweiterung des MOORE-Automatengraphen nach Bild 5 mit programmierbarer Vervielfachung, Verdopplung, Reproduktion und Halbierung der V/R-Frequenz

Ein EPROM läßt sich schaltungstechnisch als freiprogrammierbare Kombinatorik in kanonisch disjunktiver Normalform /4/ interpretieren. In sequentiellen Automaten können unter Umständen die gesamten Flipflop-Ansteuerfunktionen und die Ausgangsfunktionen mit einem derartigen Schaltkreis realisiert werden. Eine entsprechende Schaltungskonfiguration für eine Funktion nach Bild 6 gibt Bild 7 an. Als Speicherelemente werden wieder D 174 D-Schaltkreise verwendet. Auch hier läßt sich die Problemlösung in Form des EPROM-Programms direkt aus dem Automatengraphen ablesen: der aktuelle Zustand und die aktuelle Eingangsbelegung des Automaten bilden die aktuelle EPROM-Adresse, der Folgezustand und die aktuelle Ausgabebelegung legen den Speicherinhalt der adressierten Speicherzelle fest. Ein erprobtes, entsprechendes EPROM- Programm kann nachgenutzt werden.

5. Zusammenfassung

Anhand einer allgemein interessierenden Problemstellung wird im vorliegenden Beitrag die systematische Entwurfsmethodik digitaler Automaten auf der Basis von Automatengraphen dargestellt. Die veranschaulichte Methode der Synthese von synchron getakteten, diskreten Schaltungsstrukturen oder EPROM-Programmen ist auf beliebige Steueralgorithmen übertragbar. Die Taktfrequenz des Automatentaktes ist jeweils so zu wählen, daß zwischen zwei aktiven Taktflanken alle Einschwingvorgänge der Gatter und Flipflops sicher beendet sind.

Literatur:

- /1/ Krapp, Michael; Deutschmann, Günter: Auswerteschaltung für den inkrementalen Geber IG 4. Applikative Information, Berlin 6(1985)2, S. 2-7
- /2/ Krapp, Michael: Ableitung eines Automatengraphen zur kompakten Beschreibung des Verhaltens digitaler Systeme. messen steuern regeln, Berlin 27(1984)8, S. 347-350
- /3/ Grützmacher, Dieter: K 1520 - Anschlußsteuerung für Antriebe der Handhabetechnik, Abschlußarbeit im postgradualen Studium Mikroprozessortechnik; Technische Hochschule Ilmenau, Sektion TBK
- /4/ Zander, H.-J.: Logischer Entwurf binärer Systeme Berlin, Verlag Technik 1982

Ing. Gerd Jagodzinski
Dipl.-Ing. Jürgen Robbe

VEB Applikationszentrum Elektronik Berlin
im VEB Kombinat Mikroelektronik

Universell einsetzbare Steuerungen und Gerätesysteme

Die Applikation universell einsetzbarer Steuerungen oder Gerätesysteme, für technologische Prozesse vor allen Dingen bei der Rationalisierung, bestimmt in zunehmendem Maße das Interesse der Anwender. Damit steigt auch die Verantwortung des VEB Applikationszentrum Elektronik Berlin, aber vor allem die der Beratungs- u. Informationsetellen Mikroelektronik zur Beratung nicht nur vor Bauelementen, sondern zum Einsatz der o. g. Gerätesysteme.

Hierbei stehen im Vordergrund die ausgereiften Gerätesysteme der Kombinate Elektro-Apparate-Werke, Automatisierungsanlagenbau und Robotron.

Es gibt eine Fülle von Informationsmaterialien, die Aussagen zu diesen vorhandenen Gerätesystemen machen. Jeder Gerätehersteller stellt darin seine für den speziell gedachten Anwendungsfall bzw. die von ihm für die jeweils vorgesehene Anwendung konzipierte Gerätekonzeption vor.

Für den Erstanwender läßt sich schwer einschätzen nach welchen Vergleichskriterien er die Systeme betrachten soll. Vor- und Nachteile sind nicht offensichtlich. Es gibt kein einheitliches Informationsmaterial, das für die Entscheidungsfindung des Erstanwenders - welches System er einsetzen kann - die Grundlage bildet.

Aus diesem Grund werden in einer Artikelserie wesentliche Steuerungen und Gerätesysteme, die sich bis jetzt in der Geräteindustrie bewährt haben, vorgestellt. Man muß natürlich zum Verständnis sagen, daß entsprechend der Steuerungsklassifikation auch ihre Anwendung unterschieden werden muß. Anliegen dieser Beschreibungen soll ein Vergleich sein - auf den Gebieten Anwendungsmöglichkeit und Leistungsklasse - der dem Erstanwender die Einsatzvorbereitung erleichtert.

Bereits veröffentlicht: I. Speicherprogrammierbare Steuerungen
1. Steuerungssystem PS 2000 AI 5(1984)5, S. 7-11
2. Speicherprogrammierbare Steuereinrichtung ursalog 5010
AI 5(1984)5, S. 11-15

HS-Ing. Wolfgang Kupper

VEB Applikationszentrum Elektronik Berlin
im VEB Kombinat Mikroelektronik

3. Freiprogrammierbare Steuerung FPS 2

3.1. Kurzbeschreibung

Die freiprogrammierbare Steuerung FPS 2 des VEB Mikroelektronik "Karl Marx" Erfurt ist ein Mikroprozessorsystem mit kombinierbaren Einzelbaugruppen. Dieses Leiterplattensystem kann nur durch Nachnutzung der entsprechenden Dokumentation durch den Anwender selbst realisiert werden.

Mit dem vorliegenden Angebot an 12 kombinierbaren Einzelbaugruppen wird dem Anwender eine optimierbare anwenderspezifische Problemlösung ermöglicht. Die einzelnen Leiterplatten werden über einen einheitlichen Bus miteinander verbunden. Die Dokumentation zum Leiterplattensystem FPS 2 besteht aus Unterlagen folgender Einzelleiterplatten:

Kartentyp	Baugruppe
1. FPS 2. CPU 2	CPU-Karte
2. FPS 2. RR 2	RAM/ROM-Karte
3. FPS 2. RAM 4	RAM-Karte

Kartentyp	Baugruppe
4. FPS 2. II 1	Input-Interface
5. FPS 2. IMP 2	Impuls-Karte
6. FPS 2. OI 1	Output-Interface
7. FPS 2. SI 1	Serielles Interface
8. FPS 2. SIF 1	SIF 1000-Interface
9. FPS 2. AD 4	Analog-Digital-Umsetzer
10. FPS 2. DA 2	Digital-Analog-Umsetzer
11. FPS 2. RV 2	Rückverdrahtungskarte
12. FPS 2. RV 3	Rückverdrahtungskarte

Kernstück der freiprogrammierbaren Steuerung FPS 2 ist die Baugruppe FPS 2. CPU 2. Sie enthält neben der zentralen Verarbeitungseinheit (ZVE) U 880 D die Bustreiber für den gesamten Systembus, die zentrale Taktversorgung für alle Systemkomponenten sowie Speicherkapazität für RAM und ROM. Eine Übergabe der Busse an eine DMA ist möglich, ein Multiprozessorsystem kann jedoch nicht über den Systembus realisiert werden. Im Bild 1 ist das Blockschaltbild dargestellt.

Als ZVE kommt der 8-Bit-Mikroprozessor U 880 D zum Einsatz. Er kommuniziert mit seinem System über einen bidirektionalen 8-Bit-Datenbus, einen 16-Bit-Adreßbus sowie verschiedene Steuerleitungen. Die zentrale Taktversorgung wird von einem Quarzgenerator mit der Frequenz von $f = 9,8304$ MHz vorgenommen. Nach einer 4:1-Teilung steht dann die Systemtaktfrequenz von $f = 2,4576$ MHz zur Verfügung. Diese Frequenz wurde so gewählt, weil sich aus ihr sämtliche gebräuchlichen seriellen Übertragungsraten ableiten lassen. Das System kann durch Entfernung einer Brücke auch mit einem externen Taktsignal versorgt werden. Beim Einschalten der Betriebsspannung wird über eine Schaltungskombination ein Power-on-clear-Signal am Rücksetzeingang der CPU zentral erzeugt.

Als Schreib-Lese-Speicher kommen entweder 4-Bit-organisierte oder 1-Bit-organisierte RAMs zum Einsatz. Mit zwei oder acht dieser RAMs wird ein Speicherbereich von 1 KByte realisiert. Entsprechende Änderungen auf der Leiterplatte sind dann vorzunehmen je nach IS-Typ. Der Adreßbereich ist von 8 000 H ... 83 FFH entwerfsmäßig festgelegt.

Als Festwertspeicher stehen drei verschiedene Möglichkeiten zur Auswahl mit den Speicherkapazitäten:

- 2 x 2 KByte oder
- 2 x 4 KByte oder
- 2 x 8 KByte

Vorzug hat z. Zt. die 2 KByte-Variante mit dem IS U 555 D. Der Adreßbereich ist von 0000 H ... 07 FFH entwerfsmäßig für die 2 KByte-Variante festgelegt.

Die Dokumentation zu jeder Einzelleiterplatte besteht aus:

- Stückliste
- Bestückungsplan
- Stromlaufplan
- Funktionsbeschreibung
- Prüfvorschrift
- Bearbeitungszeichnung
- Formkabelplan.

Für die Leiterplattenherstellung werden die Filmpositive und -negative der Bauelemente- und Lötseite sowie die Bohrlochstreifen für den Bohrautomaten SNCB-2 zur Verfügung gestellt.

Die Prüfung und Inbetriebnahme der Einzelleiterplatten werden im wesentlichen in drei Teilschritten vorgenommen, durch eine optische, eine statische und eine dynamische Prüfung. Dazu wurden für jede Einzelleiterplatte entsprechende Prüfvorschriften erlassen. Die Prüfprogramme sind als verschiebbare Module ausgelegt. Sie können damit auf einen beliebigen, dem Anwender zur Verfügung stehenden

Speicherbereich gelegt werden.

Vorteilhafterweise sollte die dynamische Prüfung am günstigsten mit einem Mikrorechnerentwicklungssystem (z. B. Robotron A 5601) oder einem Wirtsrechner vorgenommen werden. Dadurch können sämtliche Aktivitäten der Einzelleiterplatten betrachtet, analysiert und somit Fehler leicht gefunden werden. Für Anwender, denen ein solches Gerät nicht zur Verfügung steht, werden entsprechende Testschaltungen und Testprogramme empfohlen sowie Funktion und Anwendung für die Einzelleiterplatten beschrieben. Als Zusatzbaugruppe ist vom Anwender eine Spannungsversorgung +12 V/+5 V/-12 V/+27 V bereitzustellen, deren Strombelastbarkeit von der Systemgröße abhängt.

3.2. Aufbau der FPS 2

3.2.1. CPU-Karte (FPS 2. CPU 2)

- ZVE U 880 D
- Takterzeugung für Gesamtsystem $f = 2,4576$ MHz
- 8-Bit-Datenbus (bidirektional)
- 16-Bit-Adreßbus
- Bustreiber für Adreß-, Daten-, Steuerbus
- RAM-Bereich 1 KByte, Adreßbereich: 8 000 H ... 83 FFH
- ROM-Bereich 2 KByte max. 8 KByte, Adreßbereich: 0000 H ... max. 1 FFFH
- RESET-Logik

3.2.2. ROM/RAM-Karte (FPS 2. RR 2)

- Speichereinheit mit SRAM/ROM-Kapazität (auch wahlweise)
- RAM-Bereich: 1 KByte (U 202 D)
- ROM-Bereich: 8 KByte (U 505 D oder U 555 D)
- 16-Bit-Adreßbus (voll dekodiert)
- im System max. 4 Karten RR 2 möglich
- RAM, kleinste mögliche Adresse F 000 H
größte mögliche Adresse FFFFH
- ROM, kleinste mögliche Adresse 0000 H
größte mögliche Adresse 7 FFF H
- variabler Adreßdekoder
- Bustreiber

3.2.3. RAM-Karte (FPS 2. RAM 4)

- Speichereinheit mit SRAM-Kapazität
- RAM-Bereich: 8 KByte (2 Blöcke zu je 4 KByte)
- variabler Adreßdekoder
- Bustreiber

3.2.4. Input-Interface (FPS 2. II 1)

- Eingabe-Baugruppe (realisiert Übergabe Daten an CPU)
- Paralleles Input-Interface (4 x 8-Bit-Zeitmultiplex)
- Datenspeicher 2 x U 855 D PIO
- galvanische getrennte Eingangsstufen (Optokoppler MB 110)
- variabler Adreßdekoder
- Bustreiber

3.2.5. Impuls-Karte (FPS 2. IMP 2)

- Zusatzkarte für II 1-Karte
- Zeitmultiplexgenerator (Abfrage einer 4 x 8-Kontaktmatrix)
- Taktgenerator $f = 1$ kHz
- Treiber

3.2.6. Output-Interface (FPS 2. OI 1)

- parallele Output-Interface (Ausgabeeinheit 2 x 8 Bit)
- Ausgabepuffer 2 x MH 3212
- Ausgangstreiber 24 V/200 mA
- Ausgänge potentialfrei (Optokoppler MB 110)
- variabler Adreßdeko­der

3.2.7. Serielles Interface (FPS 2. SI 1)

- asynchrone serielle Datenübertragung
- Übertragungsrate 50 bit/s ... 9600 bit/s
- 2 x serielle Eingänge
- 2 x serielle Ausgänge
- wahlweise 24-V-(RS 232 C)-Schnittstelle oder galvanisch getrennter 20-mA-Stromschalter
- 2 programmierbare Zählkanäle (frei)
- 1 x U 856 D SIO (2 Kanäle)
- 1 x U 857 D CTC (Tak­terzeugung; 4 Kanäle)
- variabler Adreßdeko­der
- Bustreiber

3.2.8. SIF 1000-Interface (FPS 2. SIF 1)

- SIF 1000-Schnittstelle nach TGL 26456
- 1 Eingabekanal
- 1 Ausgabekanal
- 2 x U 855 D PIO
- Ausgangsstufen
- variabler Adreßdeko­der
- Bustreiber

3.2.9. Analog-Digital-Umsetzer (FPS 2. AD 4)

- Analog-Digital-Umsetzer, 10-Bit-Genauigkeit
- 2 ms Umsetzzeit
- Eingangsspannung 0 ... 5,12 V
- Eingangsmultiplexer für 4 Analo­geingänge (softwaremäßig frei wählbar)
- Wandler nach dem Ladungskompensationsverfahren
- Zeitrahmen- und Ergebnis­zähler 1 x U 857 D CTC
- variabler Adreßdeko­der
- Bustreiber
- Gesamtfehler: $\leq \pm 1$ LSB, Linearitätsfehler: $\leq + 1$ LSB

3.2.10. Digital-Analog-Umsetzer (FPS 2. AD 4)

- Digital-Analog-Umsetzer, 8-Bit-Genauigkeit
- Ausgangsspannung 0 ... 2,5 V, Ausgangsstrom max. 5 mA
- 2 Kanäle
- programmierbares Tastverhältnis mit 1 x U 857 D CTC
- Integrator
- Genauigkeit $\pm 1/2$ LSB
- Referenzspannungsquelle
- variabler Adreßdeko­der

3.3. Technische Parameter

Schutzgrad: IP 00

Stromversorgung:

- $U_{B0} = 5,0 \text{ V}$	$\pm 0,25 \text{ V}$	alle Karten; außer FPS 2. IMP 2
- $U_{B1} = 12,2 \text{ V}$	+ 0,6 V - 0,2 V	. für FPS 2. CPU 2 $I_{B0\text{typ}} = 850 \text{ mA}$ $I_{B1\text{typ}} = 100 \text{ mA}$
		. für FPS 2. RR 2 $I_{B0\text{typ}} = 470 \text{ mA}$ $I_{B1\text{typ}} = 400 \text{ mA}$
		. für FPS 2. SI 1 $I_{B0\text{typ}} = 550 \text{ mA}$ $I_{B1\text{typ}} = 8 \text{ mA}$
		. für FPS 2. AD 4 $I_{B0\text{typ}} = 400 \text{ mA}$ $I_{B1\text{typ}} = 24 \text{ mA}$
		. für FPS 2. DA 2 $I_{B0\text{typ}} = 170 \text{ mA}$ $I_{B1\text{typ}} = 10 \text{ mA}$
- $U_{B2} = 12,2 \text{ V}$	+ 0,6 V - 0,2 V	. für FPS 2. CPU 2 $I_{B2\text{typ}} = 40 \text{ mA}$
		. für FPS 2. RR 2 $I_{B2\text{typ}} = 250 \text{ mA}$
		. für FPS 2. SI 1 $I_{B2\text{typ}} = 8 \text{ mA}$
		für FPS 2. AD 4 $I_{B2\text{typ}} = 70 \text{ mA}$
		. für FPS 2. DA 2 $I_{B2\text{typ}} = 25 \text{ mA}$
24 ... 27 V erdfrei		für FPS 2. IMP 2 Stromaufnahme $I_{\text{max}} = 130 \text{ mA}$

Die Strombelastbarkeit der einzelnen Spannungsquellen richtet sich nach der Anzahl und Art der verwendeten Kartenbausteine.

Konstruktion:

Das Leiterplattensystem wird in Form von Einzelleiterplatten realisiert.

- Leiterplattenformat: $170 \times 95 \text{ mm}^2$
- Bausteinbreite : ca. 30 ... 50 mm

Aus wärmetechnischen Gründen ist entsprechender Platz zwischen den einzelnen Leiterplatten freizulassen.

3.4. Anwendung

Der Einsatz der FPS 2 konzentriert sich auf Aufgabenstellungen aus dem Gebiet der MSR- und Automatisierungstechnik sowie der Rationalisierung von technologischen Prozessen in der Produktion. Sie ist zum Aufbau eigener Mikrorechner gedacht und gestattet dem Anwender eigene optimierbare spezifische Lösungen. Änderungen der Parameter oder der Steuerfunktionen in der realisierten Lösung bzw. Prozeß, die sich erforderlich machen, werden ohne hardwareseitige Veränderung über die Software mittels Speicheränderung einfach realisiert.

Literatur:

Nachnutzungsunterlagen Freiprogrammierbare Steuerung FPS 2.
VEB Mikroelektronik "Karl Marx" Erfurt

Dipl.-Ing. Marie-Luise Raschik

VEB Applikationszentrum Elektronik Berlin
im VEB Kombinat Mikroelektronik

4. Mikroprozessoreinrichtung ursadat 5000

4.1. Kurzbeschreibung

Das System ursadat 5000 innerhalb von ursatron 5000 ist der Nachfolger des Einrichtungssystems ursadat 4000/4010 des VEB Kombinat Elektro-Apparate-Werke Berlin. Während die bisherige Generation durch eine Trennung von Rechnern und Prozeßperipherie gekennzeichnet war, sind in der neuen Gerätegeneration ursadat 5000 ein bzw. mehrere Mikroprozessoren bzw. Mikrorechner in die ursadat integriert worden. Grundelement des Systems ursadat 5000 ist die ursadat-Grundeinheit.

Aus unterschiedlich konfigurierten ursadat-Grundeinheiten können alle Systemstrukturen aufgebaut werden. Eine ursadat-Grundeinheit stellt bereits einen kleinen Prozeßrechner dar.

4.2. Aufbau

4.2.1. ursadat-5000-Grundeinheit

Die Grundeinheit ist eine universell modular aufrüstbare Funktionseinheit mit dem Mikrorechner K 1520 einschließlich der zugehörigen Speicher, Prozeß-Ein-/Ausgabemodule, Anschlußmöglichkeiten für EDV-Peripheriegeräte und Schnittstellen zur Informationsübertragung. Die Grundeinheit ursadat 5000 wird durch folgende Struktur gekennzeichnet:

- Sie besteht aus 1 oder 2 EGS-Bausteinträgern. In jedem Bausteinträger stehen 23 Plätze für Module (Steckeinheiten) zur Verfügung.
Maximal können 32 E-/A-Module adressiert werden. Da für allgemeine Zwecke (z. B. Rechner - Rechnerkopplung, Überwachungsmodul) auch E-/A-Adressen benötigt werden, können üblicherweise nur bis 30 adressierbare E-/A-Module eingesetzt werden
- Jede Grundeinheit hat eine eigene separate Stromversorgung, die ebenfalls modular aufgebaut ist. Diese Stromversorgungsmodule werden zusammen mit der Stromversorgungsüberwachung in einem eigenen Bausteinträger untergebracht. Die Bestückung einer Grundeinheit mit Modulen ist projektabhängig oder als Typenprojekt für Standardeinsatzfälle möglich.
- Der Speicher der Grundeinheit besteht aus Festwertspeicher (EPROM) vorwiegend für Programmablauf und Konstanten sowie aus Operativspeicher (RAM) als Arbeitsspeicher. Über Anschlußsteuerungen sind für Kleinrechner geeignete Massenspeicher, wie Floppy-Disk, Magnetkassettenpeicher u. ä., anschließbar, die nicht zum Lieferumfang von ursadat 5000 gehören
- Über Bedienelemente unterschiedlicher Leistungsfähigkeit mit oder ohne eigenen Mikroprozessor kann die Prozeßbedienung von ursadat-5000-Einrichtungen, bestehend aus einer Grundeinheit oder auch von hierarchisch gegliederten Systemen erfolgen. Eine Grundeinheit kann auch mit einer geeigneten Peripherie wie Bedieneinheit, Tastatureingabe, Bildschirmgerät unter anderem als zentraler "Bedienrechner" eingesetzt werden
- Eine Anschlußsteuerung mit zwei Varianten für max. 100 und 3000 m Entfernung für ein schnelles serielles Interface ZI (Brutto-Übertragungsrate 500 kBaud) ist zum Aufbau von hierarchisch gegliederten zentralen und dezentralisierten Systemen vorgesehen
- Über eine langsame serielle Schnittstelle (Brutto-Übertragungsrate 9,6 kBaud) können Punkt-zu-Punkt-Verbindungen und sternförmige Verbindungen mit Geräten zur Bedienung hergestellt werden.

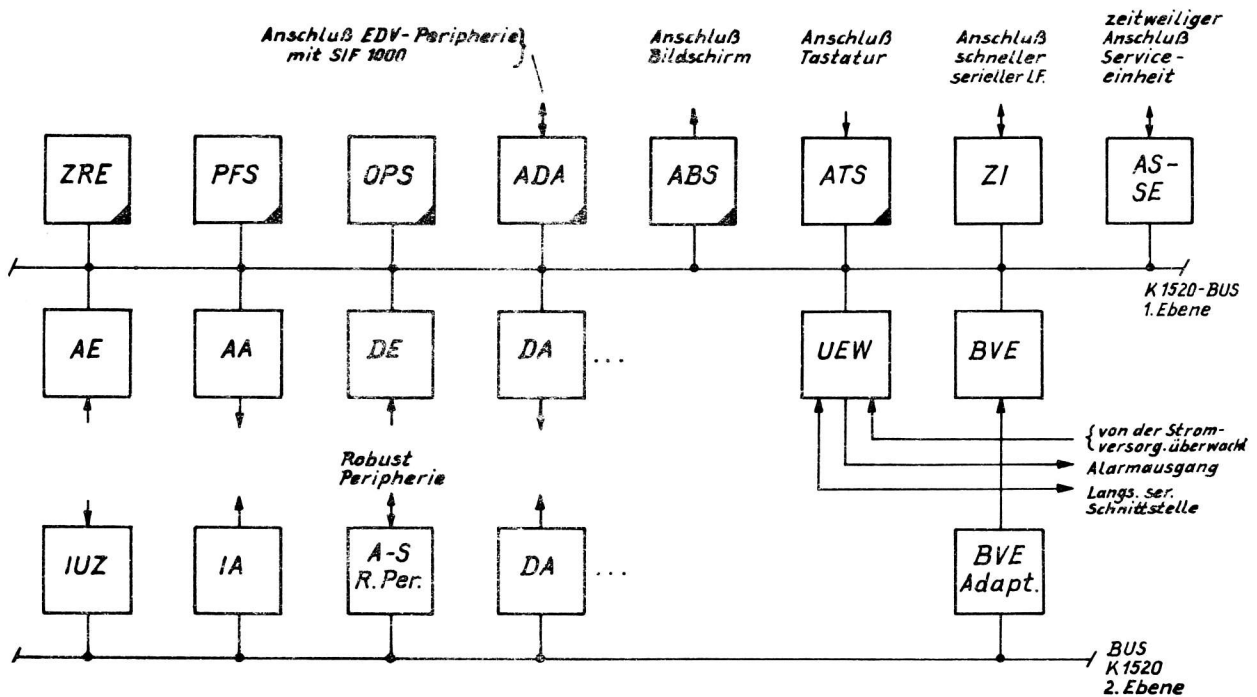


Bild 1: Logische Systemstruktur einer ursadat-5000-Grundeinheit

- Die logische Systemstruktur ist an einem Beispiel (Bild 1) dargestellt. Die vom Kombinat Robotron produzierten Module sind durch ein schwarzes Dreieck gekennzeichnet. Im Bild 1 ist eine Grundeinheit, bestehend aus zwei Einschubrahmen, die über die Busverstärkermodule miteinander verbunden sind, gezeigt. Der Modul (2. Etappe ursadat 5000) dient der Systemüberwachung, dem Start und Restart und über eine langsame serielle Schnittstelle der Ankopplung einer Bedieneinheit.

4.2.2. Systemstruktur

Wie bereits oben erwähnt, können aus unterschiedlich konfigurierten ursadat-Grundeinheiten, alle Systemstrukturen aufgebaut werden.

Man unterscheidet zentralisierte Einrichtungen, dezentralisierte Einrichtungen und Kleir-einrichtungen.

Zentralisierte Einrichtungen:

- sind örtlich konzentriert und in Warten zusammengefaßt. Sie dienen zur Prozeßsteuerung und Regelung von Prozessen, für die aus technologischen, technischen oder ökonomischen Gründen ein dezentraler Aufbau der prozeßnahen Grundeinheiten vor Ort nicht möglich ist
- werden mit dem seriellen Interface (Nahbereich) aufgebaut. Die zur direkten Verbindung mit dem Prozeß vorgesehene Grundeinheit ist außer mit dem Rechner und Speichermodulen mit den Modulen zur Prozeß-Ein-/Ausgabe und mit einer Anschlußsteuerung für das serielle Interface ausgerüstet. Diese ursadat-Grundeinheiten enthalten im allgemeinen kein ständiges Bedienteil. Zur Inbetriebnahme und zum Service kann das Bediengerät und die Serviceeinheit über eine Anschlußsteuerung zeitweilig angeschlossen werden.

Die Bedienung zur Prozeßführung bei umfangreichen Systemen erfolgt meist über eine spezielle

ursadat-Grundeinheit, die keine Prozeßperipheriemodule enthält. Diese Grundeinheit enthält dafür Anschlußsteuerungen für eine umfangreiche Bedien- und EDV-Peripherie sowie eine Kopplungsmöglichkeit zum übergeordneten Rechner. Es können Bediengeräte zur Prozeßführung, Display, Lochbandein-/Ausgabegeräte, Drucker, Floppy-Disk, Magnetbandkassettengeräte und anderes angeschlossen werden.

Bild 2 zeigt ein Beispiel für den Aufbau eines zentralisierten Systems aus ursadat-5000-Grundeinheiten.

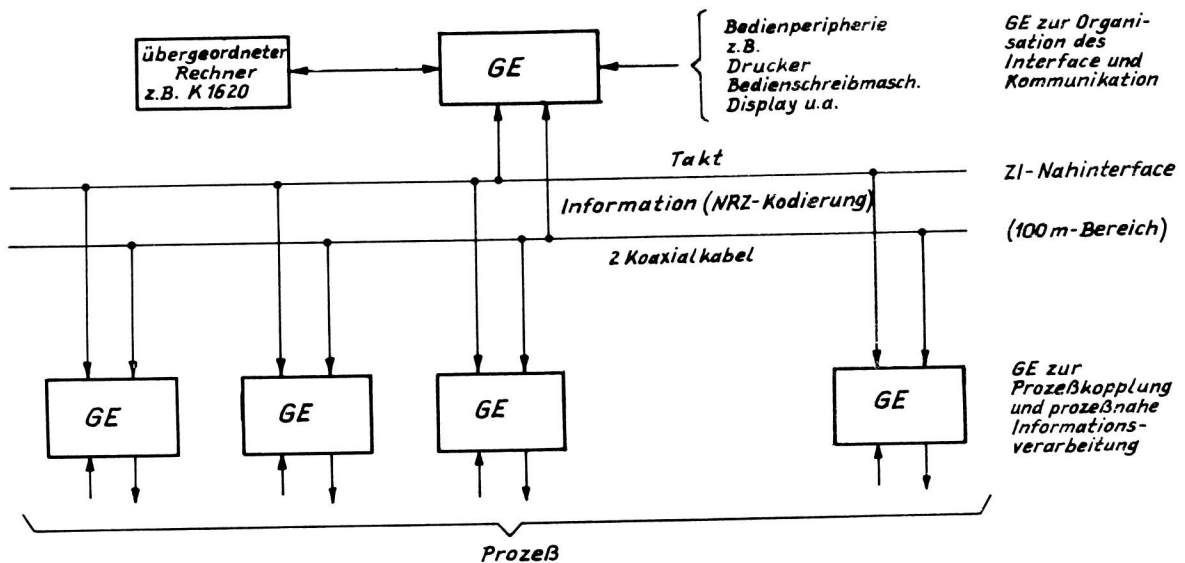


Bild 2: Zentralisierte Einrichtung aufgebaut aus ursadat-5000-Grundeinheiten (GE)

Dezentrale Einrichtungen:

- sind bezüglich der prozeßnahen ursadat-Grundeinheiten, die zur Erfassung, Ausgabe, Datenverarbeitung und der Durchführung von Informationsverarbeitung vor Ort dienen, so aufgebaut, daß diese Einheiten örtlich direkt den jeweiligen technologischen Prozessen zugeordnet werden
- werden zur Prozeßführung in gleicher Weise wie zentralisierte Einrichtungen bedient
- Für die prozeßnahen ursadat-Grundeinheiten gelten die gleichen Voraussetzungen wie bei zentralisierten Einrichtungen.
- Als Interface kommt wegen der größeren Entfernung zwischen den einzelnen Einheiten nur das schnelle serielle Interface (Fernbereich) in Frage.

Im Bild 3 ist ein Beispiel für den Aufbau eines dezentralen Systems gezeigt.

Kleineinrichtungen:

finden Anwendung für Prozesse geringen Umfangs. Der Einsatz einer ursadat-Grundeinheit für alle Aufgaben, wie Prozeß-Ein-/Ausgabe, Informationsverarbeitung, Kommunikation, Ansteuerung der Bedien- und EDV-Peripherie kann ausreichend sein.

Im Bild 4 ist als Beispiel eine ursadat-5000-Kleineinrichtung dargestellt.

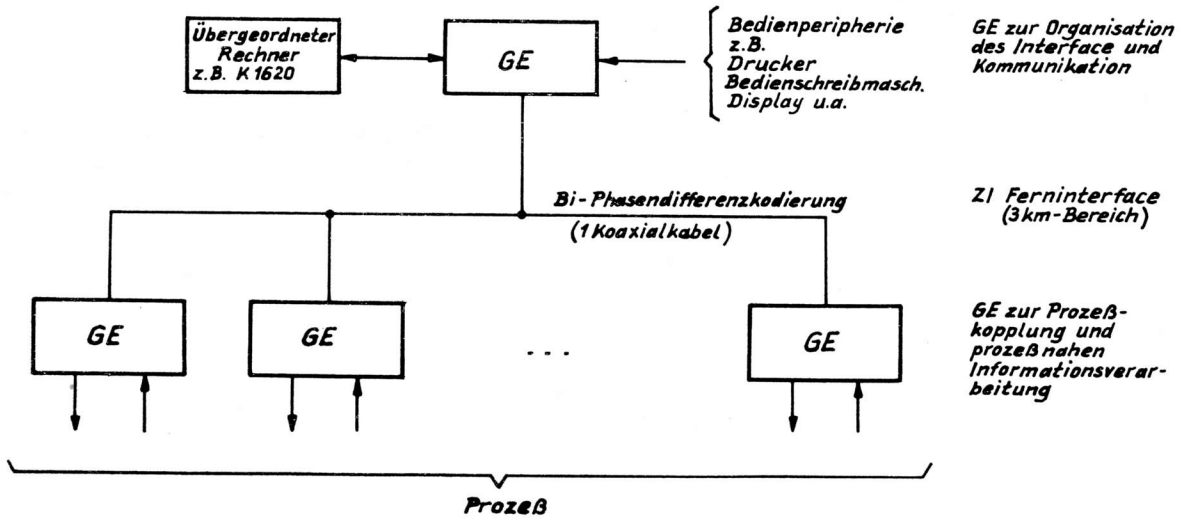


Bild 3: Dezentralisierte Einrichtung aufgebaut aus ursadat-5000-Grundeinheiten

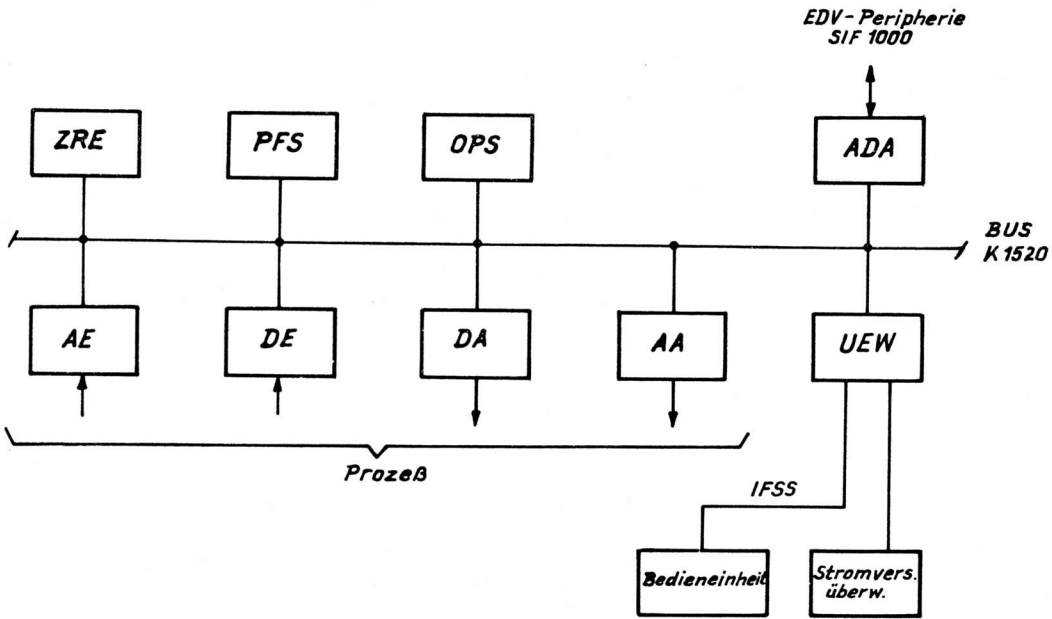


Bild 4: ursadat-5000-Kleineinrichtung bestehend aus einer Grundeinheit

4.2.3. Modulaufbau

Die ursadat-Grundeinheiten sind aus in sich funktional abgeschlossenen Modulen aufgebaut. Das System ursadat 5000 beinhaltet folgende Module:

- Zentrale Module

a) Zentraleinheit

- . ZRE K 2551

Zentraleinheit

Die Module K 2522/ 2523/ 2524 werden serienmäßig nicht im System ursadat 5000 verwendet.

b) Speichermodule

- . OPS K 3520

Operationsspeicher

4 KByte RAM

- . PFS K 3820

programmierbarer Festwertspeicher

16 KByte EPROM

- . OFS K 3620

Operativ-Festwertspeicher OFS

2 KByte RAM, 6 KByte EPROM

- . Der Einsatz des dynamischen RAM-Speichermodules OPS K 3525 des Kombiniertes Robotron wird wegen der einschränkenden Projektierungsbedingungen in ursadat 5000 nicht empfohlen.

- . OPS K 3521

CMOS-Operativspeicher 4 KByte RAM

c) Anschlußsteuerungen

- . ADA - K 6022

Anschluß von Geräten mit Standardanschluß
SI 1000 (2 Kanäle)

d) Interfacemodule und Sonderbausteine

- . ZI - SE

Schnelles seriell Interface, Steuereinheit
(100 m Nahinterface)

- . ZI - OE

Schnelles seriell Interface

Übertragungseinheit

(3000 m Ferninterface)

- . UEW

Zentraler Überwachungsbaustein ursadat 5000
(2. Etappe)

- . Bedien- und Anzeigemodule

- Prozeß- Ein-/Ausgabe-Module

a) Analogeingabe

- . AE - G

Analogeingabe Grundeinheit 8 Kanäle

- . AE - E

Expandermodule 24 Kanäle

- . AE - TV

Analogeingabe Trennverstärker 4 Kanäle

- . AE - AG

Analogeingabe aktiver Geber 8 Kanäle

- . AE - EV

Analogeingabe Einzelverstärker 4 Kanäle

b) Analogausgabe

- . AA - 1K

Analogausgabe 1 Kanal

- . AA - 5K

Analogausgabe 5 Kanäle

- c) Digitaleingabe
- . DES Digitaleingabe statisch 16 Kanäle
 - . DED Digitaleingabe dynamisch 16 Kanäle
 - . DES - KT Digitaleingabe statisch mit kurzschlußfestem
Treiberschaltkreis 32 Kanäle
 - . DEM Digitaleingabe multiplex 128 Kanäle
 - . UIZ Universal-Impulszähler

- d) Digitalausgabe
- . DA - O Digitalausgabe mit Optokoppler 16 Kanäle
 - . DAS - KT Digitalausgabe mit kurzschlußfestem Treiber-
schaltkreis 32 Kanäle
 - . DA - T Digitalausgabe mit Transistor 32 Kanäle
 - . DAS - H Digitalausgabe mit Haftrelais 8 Kanäle
 - . DA - R Digitalausgabe mit Relais 24 Kanäle
 - . DEAS - TTL Digitalein-/-Ausgabe mit TTL-Pegel
24 Kanäle mit Handshake - Signalen
 - . IA Impulsausgabe 2 oder 4 Kanäle

- Stromversorgung

a) Stromversorgungsmodule

Es werden die DEKK-Module (K 1520) des Kombines Robotron eingesetzt.

b) Stromversorgungsüberwachung

- . Stromversorgungsüberwachungsbaustein 1580 (Überwachung von 4 Systemspannungen)
- . Stromversorgungsüberwachungszusatz 1059 zu 1580 (Überwachung von 4 Systemspannungen)
- . Stromversorgungsüberwachungsschutz 1046 zu 1580 (Überwachung von 2 Systemspannungen)
- . Netzausfallanalysator 1581 (Überwachung der 220 V-Versorgungsspannung)

4.2.4. Zubehör ursatron 5000

- Serviceeinheiten

Die Serviceeinheit ist ein tragbares Gerät und dient als Hilfsmittel für die Prüfung, Inbetriebnahme und Wartung von ursadat-5000-Einrichtungen. Folgende Betriebsarten lassen sich mit der Serviceeinheit realisieren:

- . Speicher lesen/schreiben
- . E/A-Module lesen/schreiben
- . Testpunkt setzen
- . Archivspeicher
- . Einzelschrittbetrieb (von WAIT zu WAIT)
- . Direkte Eingabe von Daten auf den Bus
- . CPU-Register-Monitor
- . Sprung zu vorgebarer Adresse
- . Test-RAM-Betrieb
- . EPROM programmieren

- Bediengerät ursatron 5000

Das Bediengerät ursatron 5000 ist als selbständige Einheit zur prozeßorientierten Bedienung der Automatisierungseinheiten konzipiert. Der Anschluß an die Grundeinheit erfolgt über die langsame serielle Schnittstelle (IFSS). Die maximale Entfernung beträgt 400 m.

Folgende Aufgaben können mit dem Bediengerät realisiert werden:

- . Ein- und Ausgabe von Prozeßkennwerten
(z. B. Auswahl analoger oder digitaler Meßwerte, diverser Parameter, Soll- und Istwerte, Prozeßzustände usw.)
- . Änderung von Betriebsparametern im RAM-Speicher
(z. B. Grenzwerte, Zeitkonstanten, Betriebsarten)
- . Eingabe von Kommandos
(z. B. Start von Programmen)

4.2.5. Software ursadat 5000

Ursadat 5000 ist ein frei programmierbares elektronisches Gerätesystem auf Baugruppenbasis, das für eine breite Aufgabenklasse vorgesehen ist, vorrangig jedoch für Aufgaben der Meßwerterfassung und -verarbeitung, Regelung und Steuerung. Die Systemsoftware ursadat 5000 besteht aus folgenden Komponenten:

- Echtzeitsteuerprogrammsystem EIEX 1521 zum Einsatz von Grundeinheiten ursadat 5000 als autonome Geräte oder als Basiseinheiten in hierarchischen Automatisierungssystemen,
- Ein-/Ausgabemodule zur Bedienung der Prozeßsteckkarten ursadat 5000 sowie Datenübertragungsverfahren des seriellen Zwischenblockinterfaces ZI unter Regie von EIEX,
- Bedien- und Kommunikationsmodule für das Bediengerät ursatron 5000,
- Standardprogramme für mathematische Grundoperationen, Zeichenkettenverarbeitung und Konvertierung die vom Anwender als allgemein verwendbare Grundbestandteile bei der Erstellung projektspezifischer Betriebssysteme herangezogen werden können.

Kernstück der Software für ursadat 5000 ist das echtzeitinternspeicherorientierte Steuerprogramm EIES 1521. Das Steuerprogramm erlaubt eine einfache Kommunikation von Bediener und Programmierer mit der ursadat 5000 bei der Realisierung von anwenderspezifischen Programmsystemen im Echtzeitbetrieb.

Der Anwender kann sich damit ohne spezielle Kenntnisse der ursadat-5000-Gerätetechnik, voll auf die Entwicklung seiner anwenderspezifischen Programme konzentrieren. Das Steuerprogramm ist aus folgenden Komplexen modular aufbaubar:

- Interrupt-Organisation
Realisierung von Hardware-Unterbrechungen und Steuerprogrammrufen
- Vorrang-Organisation
Start der Anwenderprogramme (Tasks) entsprechend ihrer Priorität. Es werden maximal 255 Tasks verwaltet.
- Zeitorganisation
Zeitliche Verwaltung von Tasks und Anmeldung zum Start.
- Rahmensteuerung für DV-Peripherie
Anschluß von bis zu acht Bildschirmgeräten, acht Seriendruckern 1156, je acht Lochbündlesern- und Stanzern, acht Floppy Disk-Laufwerken, einer Tastatur.

Die Rahmensteuerung enthält eine automatische Geräteumschaltung bei Ausfall von Geräten.

- Ruforganisation

Systemreife zur Verwendung in den Tasks. Aufruf von Routinen zur Organisation von DV- und Prozeß-Ein-/Ausgaben zum Starten und Beenden von Tasks u. a.

- Rahmensteuerung für die Prozeß-Peripherie

Anschluß aller im System ursadat 5000 enthaltenen Prozeßsteckkarten. Die Anzahl der Prozeßsteckkarten bzw. deren Verwendung kann vom Anwender ausgewählt werden. Die zugehörigen Prozeßtreiber, Initialisierungs- und Interruptservice-Routinen führen den Verkehr mit der Prozeßsteckkarte aus. Der Anwender kann spezifische Interruptservice-Routinen einbinden.

4.3. Anwendungen

Wie schon beschrieben, stellt jede ursadat-Grundeinheit bereits einen kleinen Prozeßrechner dar. Durch diese Konzeption ergeben sich neue Einsatzfälle, die bisher aus technischen oder ökonomischen Gründen mit bisherigen Prozeßrechensystemen nicht realisiert werden konnten. Der Einsatz dieses Gerätesystems konzentriert sich auf folgende Anwendungen:

- Überwachung von technologischen Anlagen,
- Kleinst- und Kleinanwendungen sind möglich geworden, denn im Extremfall besteht der gesamte Mikrorechner aus einer einzigen Leiterplatte.
- Es lassen sich von kleinsten bis zu größten Konfigurationen fast beliebig große Prozeßrechnersysteme aufbauen.

Literatur:

- /1/ Kundeninformation ursadat 5000, Band 1-5,
VEB Kombinat Elektro-Apparate-Werke
- /2/ Elektronisches Einrichtungssystem ursadat 5000 / Kurzinformation
VEB Kombinat Elektro-Apparate-Werke

Ing. Wilfried Regel

VEB Werk für Fernsehelektronik Berlin
im VEB Kombinat Mikroelektronik

Alphanumerische Lichtemitteranzeigeeinheit VQC 10 - Funktionsweise und Ansteuertechnik

Die VQC 10 ist eine rotleuchtende vierstellige alphanumerische Lichtemitteranzeigeeinheit. Die Zeichenhöhe beträgt 8 mm, das Zeichenrastermaß 10 mm. Das Bauelement ist in beliebiger Anzahl aneinanderreihbar, um die Zusammenstellung von n-stelligen Zeichenzeilen zu ermöglichen.

Die Hauptanwendungsgebiete der Anzeigeeinheit sind Datenerfassungsgeräte, Suchungs- und Fakturierungsautomaten, Schreibmaschinen, numerische Steuerungen und Kleincomputer.

1. Aufbau und Funktionsweise

Die alphanumerische Lichtemitteranzeigeeinheit VQC 10 besteht aus vier 5 x 7-LED-Matrizen, die nebeneinander auf einer durchkontaktierten Leiterplatte angeordnet sind. Als Lichtemitter werden rotleuchtende GaAsP-Chips verwendet. Außerdem befindet sich auf der Leiterplatte zur Ansteuerung der Spalten der LED-Matrizen für jede Stelle ein integrierter Schaltkreis. Dieser besteht im wesentlichen aus fünf positiv flankengetriggerten D-Flip-Flops und fünf Spaltentreibern.

Das Blockschaltbild der VQC 10 zeigt das Bild 1.

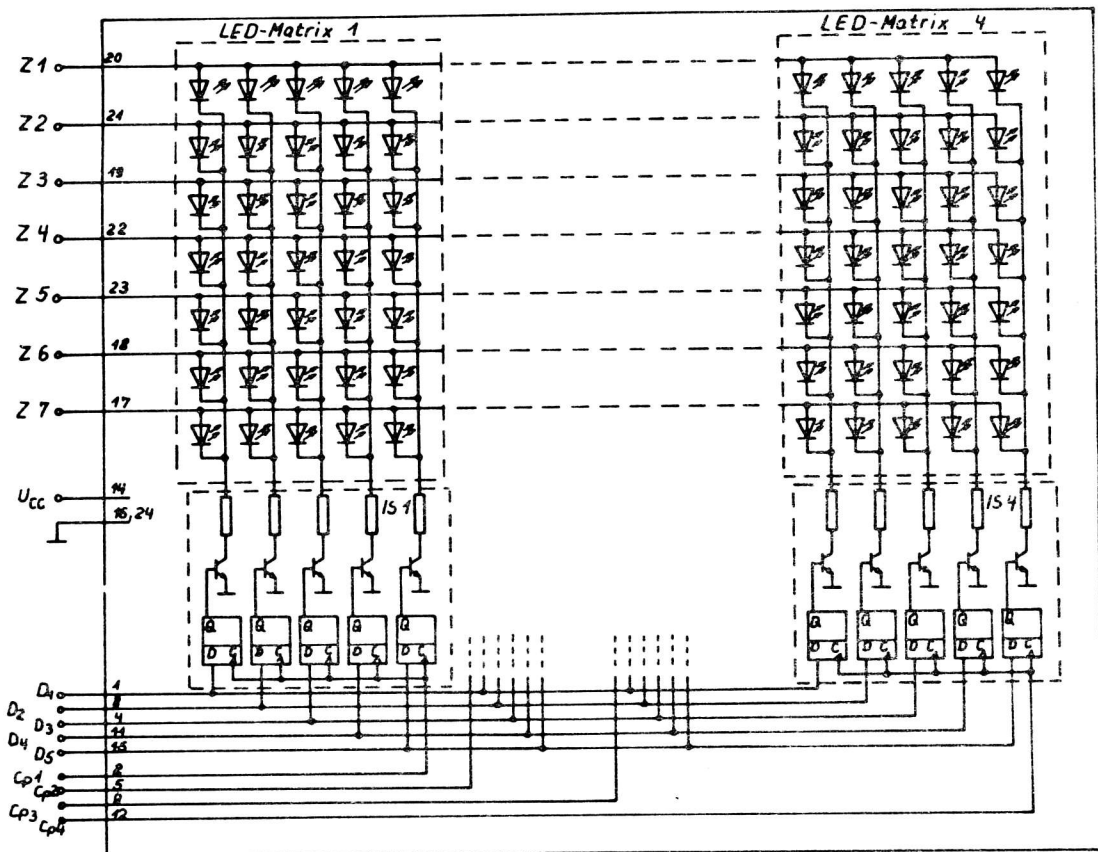


Bild 1: Blockschaltbild VQC 10

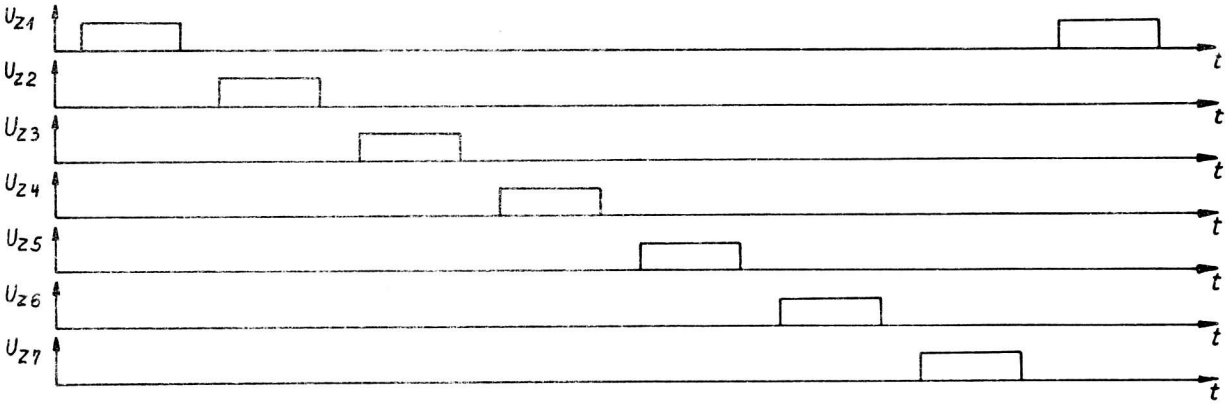
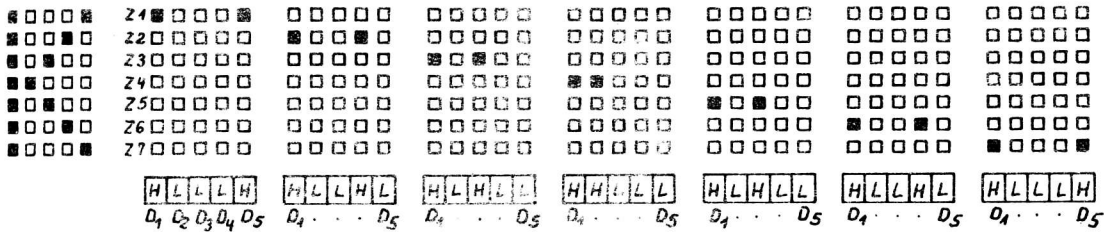


Bild 2: Prinzipdarstellung zur Wirkungsweise der VQC 10

Die Darstellung der Zeichen erfolgt zeilenweise. Zur Aktivierung der Zeile muß eine Zeilenspannung U_Z von 2,5 ... 5 V angelegt werden. Welche der fünf Lichtemitterdioden der Zeile leuchtet, bestimmen die fünf Spaltenspeicher-Flip-Flops mit ihren nachgeschalteten Treibertransistoren. Die Speicher-Flip-Flops übernehmen die Information von den Datenleitungen $D_1 \dots D_5$ mittels einer L-H-Flanke auf der Taktleitung C_P . Ein H-Signal bewirkt, daß die Lichtemitterdiode am Kreuzungspunkt Zeile - Spalte leuchtet (Bild 2). Mit den Taktleitungen $C_{P1} \dots C_{P4}$ erfolgt die Auswahl der Stelle, zu der die aktuellen Daten gehören.

2. Elektrische Kenngrößen der VQC 10

Die VQC 10 wird nach Lichtstärkeklassen sortiert geliefert, wobei der minimale Lichtstärkemittelwert 25 μ cd bei einer Zeilenspannung $U_Z = 5$ V und einem Tastverhältnis $\tau = 0,1$ beträgt. Das Lichtstärkeverhältnis innerhalb eines Bauelementes darf den Wert 2,0 nicht übersteigen. Die elektrischen Kenngrößen der VQC 10 sind:

Kenngröße	Kurzzeichen	min.	typ.	max.	Einheit
Betriebsspannung	U_{CC}	4,75		5,25	V
Stromaufnahme bei $U_{CC} = 5,25$ V	I_{CC}			68	mA
Zeileneingangsspannung	U_{IZ}	0		5	V
H- Eingangsspannung	U_{IH}	2		5,5	V
H-Eingangestrom $U_{CC} = 5,25$ V; $U_{IH} = 2,4$ V	I_{IH}			0,08	mA
	I_{IH}			0,4	mA
L-Eingangsspannung	U_{IL}			0,8	V
L-Eingangestrom Daten $U_{CC} = 5,25$ V; $U_{IL} = 0,4$ V	I_{ILD}			2	mA
L-Eingangestrom Takt $U_{CC} = 5,25$ V; $U_{IL} = 0,4$ V	I_{ILC}			0,8	mA
Taktfrequenz	f_C			1,25	MHz

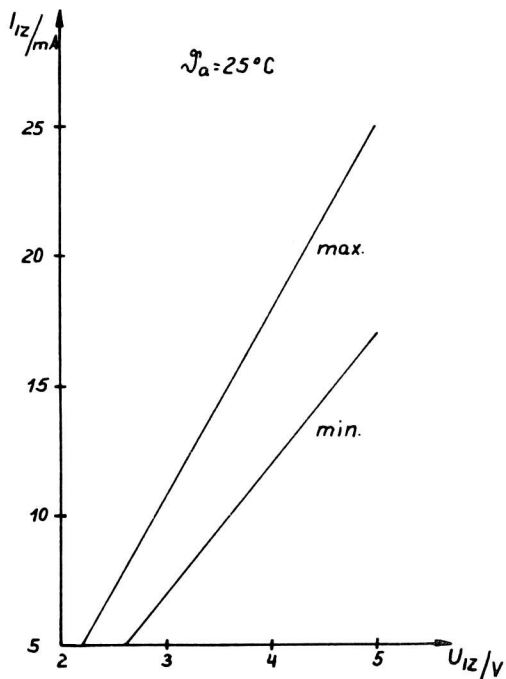


Bild 3: Eingangstrom I_{IZ} für einen Diodenpunkt als Funktion der Zellenspannung

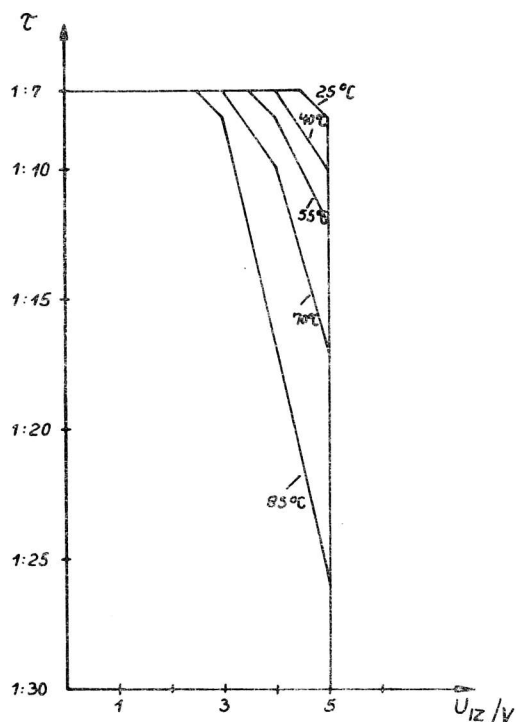


Bild 4: Arbeitsbereich der VQC 10

Im Bild 3 ist der Verlauf des Zeilenstromes in Abhängigkeit von der Zellenspannung für den Fall dargestellt, daß nur eine Lichtemitterdiode in dieser Zeile leuchtet. Daraus resultiert für eine 32stellige Zeichenzeile (8 x VQC 10) ein Zeilenstrom von 1,5 ... 2 A bei einer mittleren Belastung, wie sie bei der Ausgabe von beliebigen Texten oder Daten eines Mikrorechners usw. auftritt. Das Bild 4 zeigt den zulässigen Arbeitsbereich der VQC 10 als Funktion der Umgebungstemperatur. Zur besseren Wärmeableitung sollen die Anschlüsse 3, 6, 10 und 13 mit einer möglichst großen Kupferfläche der Trägerleiterplatte, die Massepotential führen kann, verbunden sein.

3. Schaltung zur Ansteuerung einer 32stelligen Zeichenzeile mit dem Mikrorechner-Lernsystem LC 80 vom VEB Mikroelektronik "Karl Marx" Erfurt (MME)

Die Schaltung gibt das Bild 5 wieder. Die Erzeugung des Zeilentaktes übernimmt der Zähler-Zeitgeber-Schaltkreis (CTC) U 857 D. Seine Programmierung erfolgt durch die CPU. Der Kanal 0 der CTC muß dabei als ein vom Systemtakt C getriggert Zeitgeberkanal mit Interruptfähigkeit und einer Zeitgeberdauer von 1 ... 1,5 ms programmiert werden. Die Adresse der CTC ist ECH ... EFH und wird von den Gattern G_6 und G_5 sowie von den Eingängen KS_0 ; KS_1 der CTC dekodiert.

Der Ausgang ZC/T00 der CTC geht beim Nulldurchgang des Rückwärtszählers des Kanals 0 von H-Potential für die Dauer einer Systemtaktperiode nach L-Potential. Die H-L-Flanke dieses Ausgangs bewirkt die Triggerung des Zeilenzählers CT 1. Der Zeilenzähler stellt damit die neue Zeilenadresse für den Zeilendekoder DEC 3 sowie dem Zeichengenerator ZG zur Verfügung.

Zum gleichen Zeitpunkt sendet die CTC über den INT-Ausgang eine Interruptanforderung an die CPU. Innerhalb der Interrupt-Service-Routine erfolgt der Einschreibvorgang der neuen Daten für die aktuelle Zeile. Während der Abarbeitung der Interrupt-Service-Routine des Kanals 0 der CTC führt der Interrupt-Freigabe-Ausgang (IEO) der CTC "L". Dieser Zustand wird genutzt, um die Zeichenzeile während des Einschreibvorganges der neuen Daten in die Speicher-Flip-Flops der VQC 10 dunkelzutasten. Solange der Interrupt-Freigabe-Ausgang IEO "L" führt, liegt der Eingang ED des Zeilendekoders DEC 3 auf "H", damit ist die duale Eingangsinformation ($E_A \dots E_D$) gleich oder größer 8 und somit keiner der L-aktiven Zeilentreiber eingeschaltet.

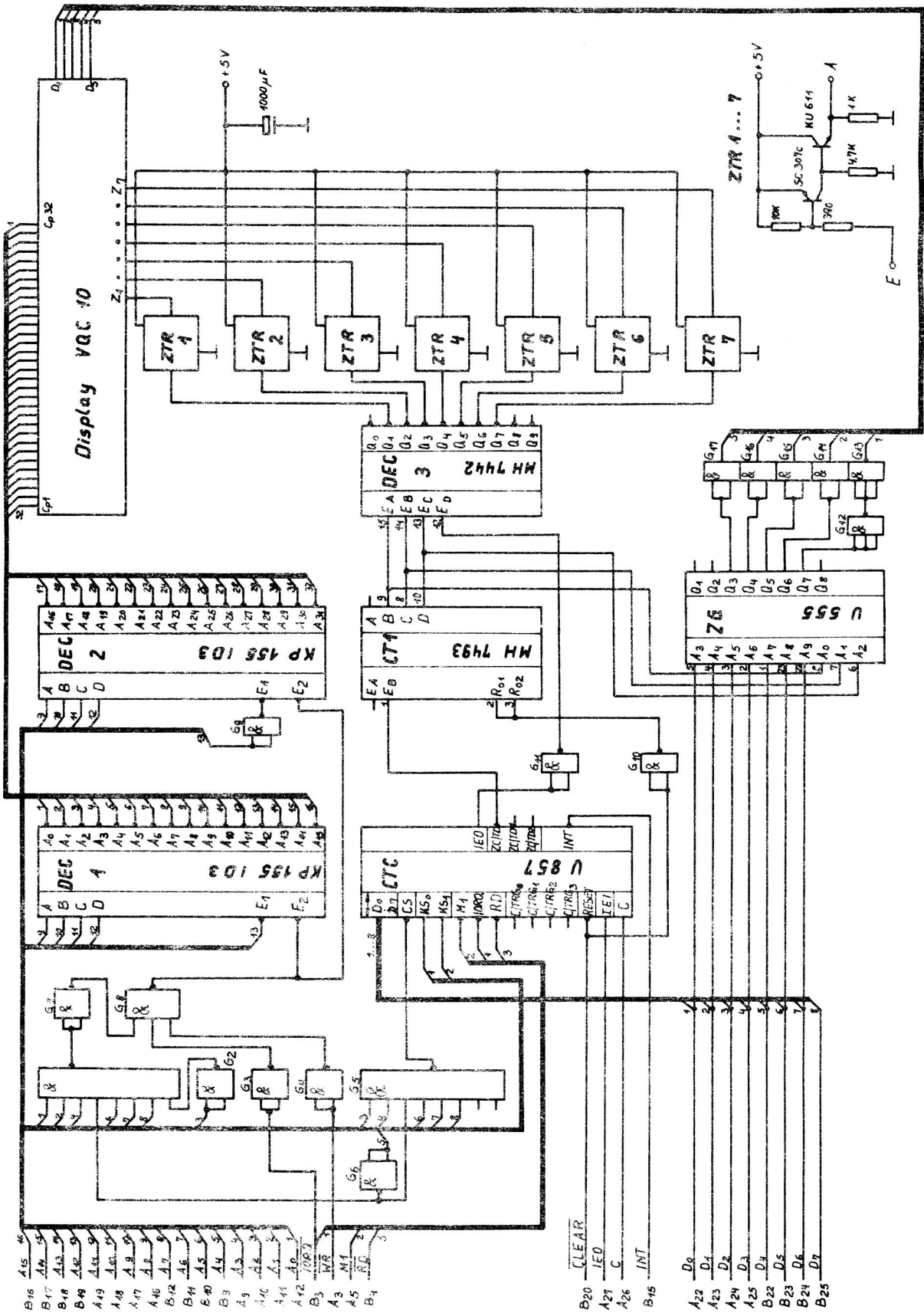


Bild 5: Ausgabereinheit für eine 32stellige Zeichenzeile mit VQC 10 zum Mikrorechner-Lernsystem LC 80 vom VEB MME

Der Einschreibvorgang für die neuen Daten muß mit dem Blockausgabebefehl "OUTIR" erfolgen. Das Register B der CPU wird als Bytezähler zu Beginn auf 31 gesetzt, d. h. Anzahl der aus dem Speicher auszugebenden Bytes ist gleich der Anzahl der Zeichenstellen der VQC 10-Zeichenzeile. Das Register C muß auf die Adresse des Stellendekoders DEC 1 und DEC 2 gleich EBH gesetzt werden. Während der Ausgabeoperation der CPU führt der untere Teil des Adressenbus $A_0 \dots A_7$ die Ausgabekanaladresse (Register C), während gleichzeitig der aktuelle Bytezählerstand (Register B) auf dem oberen Teil des Adressenbus $A_8 \dots A_{15}$ liegt. Nach jeder erfolgten Ausgabe wird das Registerpaar HL (Speicheradresse) um 1 erhöht und der Bytezähler um 1 erniedrigt. Die Ausgabeoperation wird beim Stand 0 des Bytezählers beendet. Die Schaltung nutzt den Bytezählerstand Register B ($A_8 \dots A_{12}$ des Adressenbus) als duale Stellenadresse. Zu beachten ist lediglich, daß die Ausgabe mit dem Bytezählerstand 31 beginnt, während auf dem Datenbus der ASCII-Kode für das Zeichen der ersten Stelle der Zeichenzeile erscheint, d. h. die Übernahmetaktleitungen $C_{p1} \dots C_{p32}$ des Tableaus müssen in umgekehrter Reihenfolge mit den Ausgängen des Stellendekoders verbunden werden. Die Aktivierung des Stellendekoders DEC 1 ... DEC 2 erfolgt am Eingang E 2 über die Ausgabekanaladresse ($A_0 \dots A_7$) EBH. Die Dekodierung der Kanaladresse übernehmen die Gatter G_1, G_2, G_4 und G_6 . Zusätzlich erfolgt mit den Gattern G_3, G_4, G_8 noch eine Verknüpfung mit den Steuersignalen IORQ und WR der CPU. Die Verknüpfung mit dem WR-Signal der CPU stellt sicher, daß der Ausgang des Stellendekoders, dessen Adresse an den Eingängen A, B, C, D und E 1 anliegt, nur so lange "L" führt, wie das WR-Signal der CPU aktiv ist, d. h. die Übernahme der Daten in die Speicher-Flip-Flops der VQC 10 bewirkt die Rückflanke des WR-Signals der CPU.

Mit dem Eingang E 1 wird der Stellenadressenbereich in zwei Blöcke von 0 ... 15 und 16 ... 31 aufgeteilt. Im Bereich 0 ... 15 ist das Bit 12 des Adressenbusses "L", d. h. nur der Stellendekoder DEC 1 kann aktiviert werden. Zwischen 16 und 31 ist das Bit 12 des Adressenbusses "H", und damit kann über das Gatter G_9 nur der Stellendekoder DEC 2 aktiviert werden.

Während der Ausgabeoperation gibt die CPU auf den Datenbus den ASCII-Kode des gewünschten Zeichens. Der Datenbus liegt als Adressenbus an den Adresseneingängen A_3 und A_9 des Zeichengenerators ZG. Die Adressen $A_0 \dots A_2$ des Zeichengenerators werden durch den Zeilenzähler gesteuert. Im Zeichengenerator ZG, in der Schaltung nach Bild 5 ist er durch ein EPROM U 555 realisiert, sind die Bitmuster der Zeichen hinterlegt. Für die Zeilenadresse 0 ist für alle Zeichen und alle Bits ein "L" vereinbart. Für die Zeilenadressen 1 ... 7 gelten die Bitmuster entsprechend dem geforderten Zeichen. Das durch die CPU und dem Zeilenzähler aufgerufene Byte des Zeichengenerators wird über die Gatter $G_{12} \dots G_{17}$ verstärkt auf den Datenbus der VQC 10-Zeichenzeile gelegt. Es kann nun durch den Stellendekoder gesteuert von der ausgewählten Stelle der Zeichenzeile in die Speicher-Flip-Flops übernommen werden.

Ist der Einschreibvorgang durch die CPU beendet (Interrupt-Service-Routine des Kanals 0 der CTC), geht der Interrupt-Freigabe-Ausgang IEO der CTC wieder auf "H". Damit liegt der Eingang ED des Zeilendekoders DEC 3 auf "L" und die aktuelle Zeilenadresse des Zeilenzählers CT 1 wird dekodiert. Der zugehörige Zeilentreiber steuert die aktuelle Zeile des Anzeigetableaus hell.

Die Zeilentreiber ZTR 1 ... ZTR 7 bestehen aus einer Darlingtonstufe, gebildet aus dem pnp-Transistor SC 307 c und dem Leistungstransistor KU 611; sie sind L-aktiv.

Beim Einschalten des Mikrorechners wird über die CLEAR-Leitung die CTC und der Zeilenzähler CT 1 zurückgesetzt. Dadurch ist gewährleistet, daß nach dem Einschalten die Zeichenzeile dunkelgesteuert ist, da am Ausgang 0 des Zeilendekoders DEC 3 kein Zeilentreiber angeschlossen ist. Das System kann nur mittels einer Initialisierung der CTC durch die CPU in Betrieb genommen werden.

4. Überblick zu weiteren Ansteuervarianten

Das in Bild 5 vorgestellte Konzept stellt einen Kompromiß zwischen Hardware- und Software-Aufwand dar. Es benötigt ca. 15 ... 20 % der Rechnerzeit zu seinem Betrieb. Je nach Verwendungszweck läßt sich dieses System in beiden Richtungen stark verändern. Ein System mit minimaler Rechnerzeit müßte dann noch folgende Erweiterungen erfahren (Blockschaltbild Bild 6):

- Bildwiederholer (32 x 8 RAM)

Im Bildwiederholer wird der ASCII-Kode der auf der Zeichenzeile erscheinenden Zeichen abgespeichert

- Stellenzähler

Der Stellendekoder wird nicht mehr von dem Adressenbus gesteuert, sondern von einem zusätzlichen Zähler, der auch die Adressensteuerung des Bildwiederholerspeichers übernimmt

- Taktgenerator

Der Taktgenerator kann ein einfacher astabiler Multivibrator mit einer Frequenz von ca. 200 kHz sein. Der Takt zur Steuerung des Zeilenzählers wird vom Stellenzähler miterzeugt.

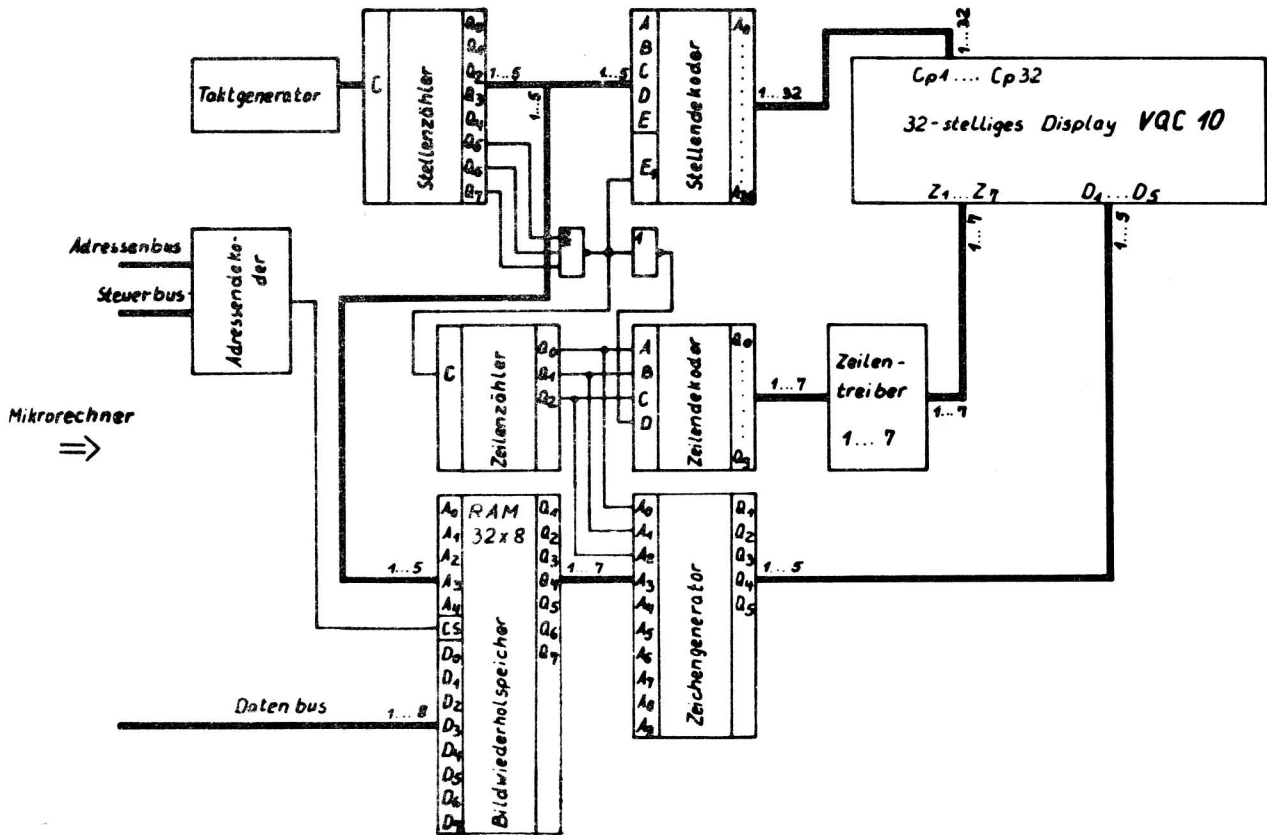


Bild 6: Blockschaltbild für eine vom Mikrorechner unabhängig arbeitende Ausgabereinheit mit 32stelliger Zeichenzeile

Die Anzeigekarte arbeitet vollständig unabhängig vom Rechner. Der Rechner muß nur noch den Bildwiederholerspeicher bei Änderungen aktualisieren.

Das entgegengesetzte Extrem mit sehr hohem Verbrauch an Rechnerzeit zeigt das Bild 7. Der Taktgenerator, Zeilenzähler und Zeilendekoder sowie der Zeichengenerator sind in den Mikrorechner zurückverlegt worden. Es entsteht ein System mit minimalem zusätzlichem Aufwand an Hardware. Neben dem Stellen- und Adressendekoder sind nur noch Treiberstufen vorhanden.

5. Zusammenfassung

Das alphanumerische Anzeigebaulement VQC 10 stellt als Ausgabereinheit eine sinnvolle Alternative zur Siebensegmentanzeige mit geringem und dem Bildschirmterminal mit hohem Anzeigekomfort dar. Die Lesbarkeit der Zeichen, sowohl in großer als auch in kleiner Schrift, ist trotz der etwas einschränkenden (5 x 7)-Punkt-Matrix gut. Der Leistungsverbrauch mit 8 ... 10 W für eine 32stellige Zeichen-

zeile liegt in vertretbaren Grenzen. Wie hoch der zusätzliche Bauelementebedarf für eine Ausgabeeinheit mit der VQC 10 ist, hängt in starkem Maße vom Anwendungsfall ab. Das im Bild 5 ausführlich vorgestellte Konzept sollte als Anregung für mögliche Erstanwender dienen.

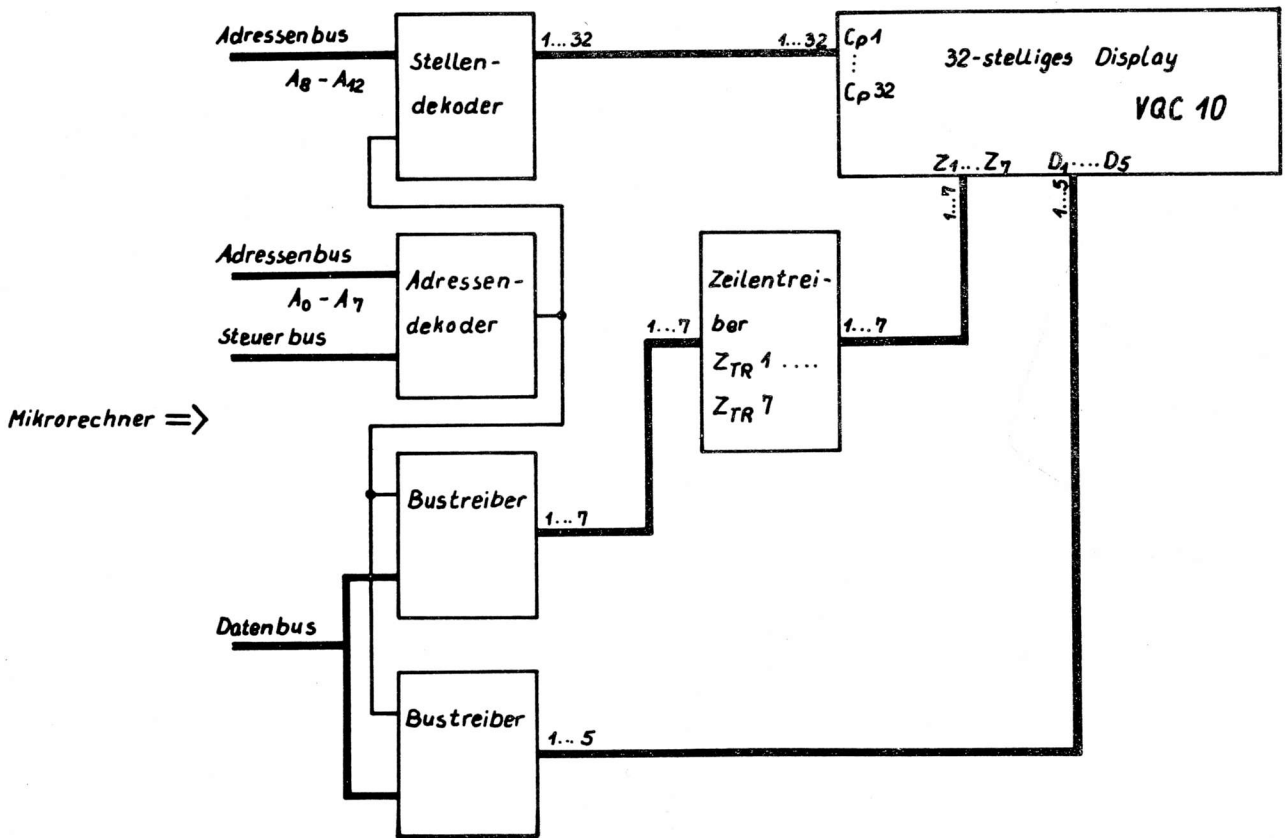


Bild 7: Blockschahtbild einer Ausgabeeinheit für eine 32stellige Zeichenzeile mit minimalem Bauelemente-Aufwand

Dipl.-Ing. Udo Knohf,
Dipl.-Ing. Bernd Bürger

VEB Zentrum für Forschung und Technologie Mikroelektronik Dresden
im VEB Kombinat Mikroelektronik

Statische Schreib-/Lese-Speicher mit wahlfreiem Zugriff - (SRAM) U 214 D und U 224 D

1. Einleitung

Ziel vorliegender Applikationshinweise ist, die vom VEB Zentrum für Forschung und Technologie Mikroelektronik Dresden (ZFTM) entwickelten SRAM-Typen U 214 D und U 224 D einschließlich sämtlicher Selektionstypen und - mit den angegebenen Einschränkungen an Betriebsbedingungen - den Amateur-typ S 214 D aus applikativer Sicht vorzustellen.

Der Entwicklungsingenieur wird durch zahlreiche Applikationshinweise zu den U 214/U 224-Typen unterstützt. Schwerpunkt bildet dabei die Systemarbeit mit dem Mikroprozessorsystem U 880. Die Applikationshinweise werden durch Vorstellen eines von der Abteilung Applikation des VEB ZFTM entwickelten 16-KByte-SRAM-Moduls für den Mikrorechner K 1520 abgerundet.

1. Allgemeine Beschreibung der SRAM-Typen U 214 D und U 224 D

Die SRAM U 214 D und U 224 D sind hochintegrierte statische Schreib-/Lese-Speicher mit wahlfreiem Zugriff und einer Speicherkapazität von 4096 Bit (4 KBit), die "halbbyte" organisiert sind, d. h. 1024×4 Bit.

U 214 D und U 224 D sind durch relativ geringe Zugriffszeit und Stromaufnahme gekennzeichnet; es werden hierzu mehrere, nach Zugriffszeit und (bei U 224 D) Ruhestromaufnahme ausgewählte Selektionstypen angeboten.

Der U 214 D wird in nSGT-Technologie, der U 224 D in CMOS-Technologie (CSGT) gefertigt; bei letzterem resultiert daraus eine äußerst geringe Ruhestromaufnahme. Beide Schaltkreistypen werden mit einer Betriebsspannung $U_{CC} = 5$ V betrieben und weisen tristate-Ausgangsstufen auf, so daß bei Nichtauswahl (d. h. $\bar{S} = H$) die Datenausgänge hochohmig sind.

Durch die Organisationsform "Halbbyte" werden mit jeder Adresse vier Speicherzellen angesprochen. Die SRAM U 214 D/U 224 D bestehen im wesentlichen aus folgenden Komplexen (Bild 1.1):

- Speichermatrix mit je 64 Zeilen und Spalten
- Adresseingangsschaltung (bei U 224 D Adreßlatch) für zehn Adressen
- Spaltendekoder mit vier Schreib-/Leseverstärkern
- Zeilendekoder
- vier bidirektionale Datenein/-ausgänge
- Taktsteuerung

Der U 214 D und U 224 D können in den Betriebsarten "Schreiben" und "Lesen" arbeiten, gesteuert durch das Auswahlsignal \bar{S} (\bar{CS}) und das Schreib-/Lese-Signal \bar{RW} (\bar{WE}). Bei der Betriebsart "Schreiben" werden das Auswahlsignal \bar{S} (\bar{CS}) und das Schreib-/Lese-Signal \bar{RW} (\bar{WE}) auf Low gelegt. Die an den Datenanschlüssen D0 ... D3 anliegenden Daten werden entsprechend dem Impulsdiagramm in die adressierten Speicherzellen übernommen. Bei Betriebsart "Lesen" (Auswahlsignal $\bar{S} = Low$ und Schreib-/Lese-Signal $\bar{RW} = High$) liegen die Daten der adressierten Speicherzellen nach der Zugriffszeit gültig an den Datenausgängen D0 ... D3 an (siehe hierzu Bild 2.2 und 2.4).

Der U 224 D weist aufgrund des internen Adreßregisters (Adreßlatch) eine Besonderheit auf, die angelegte Adresse wird mit der H/L-Flanke des Auswahlsignals \bar{S} in das Adreßregister des SRAM übernommen und kann danach von den Adreßpins weggeschaltet werden (Bild 2.4).

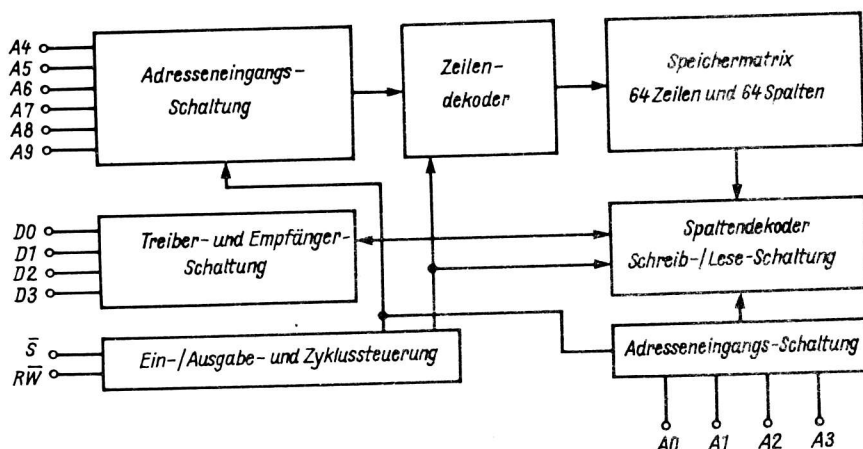


Bild 1.1: Blockschaltbild U 214 D/U 224 D

Im nichtausgewählten Zustand (d. h. \bar{S} = High) wird nur die Ruheverlustleistung aufgenommen, diese beträgt beim U 214 D max. 40 % der Betriebsverlustleistung; beim U 224 D ist die Ruheverlustleistung noch wesentlich geringer. Beide Schaltkreistypen werden in ein 18poliges DIL-Plastgehäuse Bauform 21.2.1.2.18 nach TGL 26713 verpackt (Bild 1.2).

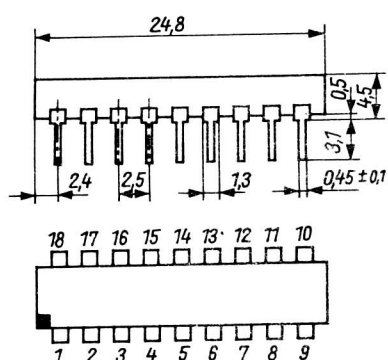


Bild 1.2: Maßbild U 214 D/U 224 D

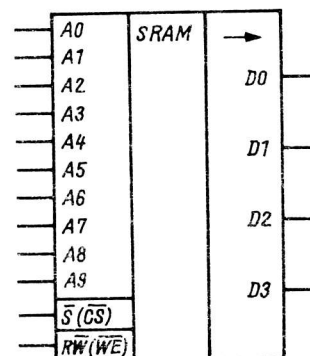
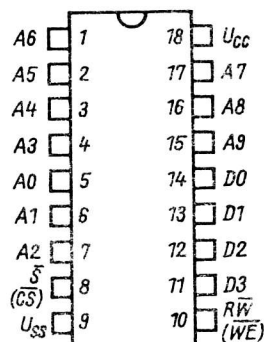
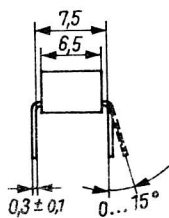


Bild 1.3: Anschlußbelegung und Schaltzeichen

A0 ... A9	Adreßeingänge
D0 ... D3	Datenein/-ausgänge
\bar{S} (\bar{CS})	Chipauswahl
\overline{RW} (\overline{WE})	Lese-/Schreibsteuerung
U_{CC}	Betriebsspannung
U_{SS}	Masse

Bedingt durch die hohe Speicherkapazität, die besonders für Minimalsysteme günstige Organisationsform, tristate-Ausgänge und eine weitgehende TTL-Kompatibilität (bei U 224 D eingeschränkte TTL-Kompatibilität für Eingangsspannungen) lassen sich mit U 214 D/U 224 D-Schaltkreisen günstig Arbeitsspeicher für Mikrorechner der unterschiedlichsten Komplexität aufbauen. Es läßt sich bereits mit 2 Exemplaren U 214 D/U 224 D ein Arbeitsspeicher 1024 x 8 Bit - bei Verwendung des U 202 D wären es 8 derartige Schaltkreise - für eine Mikrorechnerminimalversion ("Einkartenrechner") realisieren.

Der U 224 D ist darüber hinaus aufgrund seines geringen Ruhestromes und des damit verbundenen geringen Aufwandes bei konzeptionell bedingten Forderungen des Datenschutzes bei Netzspannungsausfall geradezu ideal einsetzbar. Unter bestimmten Bedingungen (siehe Abschnitt 3.) sind die Typen U 214 D und U 224 D gegeneinander austauschbar /1/, /2/.

2. Technische Daten zum Gesamt-Typspektrum U 214 D/U 224 D

Für einige statische Kennwerte wurden auch typische Kennwerte angegeben, die als Mittelwert einer größeren Anzahl gemessener Exemplare verschiedener Lose zu verstehen sind. Rechtsverbindlich sind allerdings nur die in den Fachbereichstandards angegebenen Maximal- bzw. Minimalwerte. Hinsichtlich der Bezeichnung dynamischer Betriebsbedingungen und Kennwerte wurden erstmalig die einschlägigen IEC-Empfehlungen angewandt; die in den Fachbereichstandards verwendeten Bezeichnungen wurden in Klammer gesetzt angegeben.

Alle Spannungen sind auf U_{SS} (Masse) bezogen.

2.1. U 214 D

Angaben gelten für U 214 D 45, U 214 D 30, U 214 D 20 und S 214 D /1/, /3/.

Tabelle 1: Grenzwerte

Kenngröße	Symbol	Einheit	min. Wert	max. Wert
Betriebsspannung	U_{CC}	V	0	7,0
Spannungen an allen Eingängen	U_I, U_O	V	-1,5	7,0
Ausgangskurzschlußstrom	$ I_{DS} $	mA	-	5
Verlustleistung	P_V	W	-	1
Umgebungstemperatur	T_a	°C	0	+70
Lagerungstemperatur	T_S	°C	-55	+125

Anmerkung: Für den Amateurtyp S 214 D gilt ein Umgebungstemperaturbereich von $T_a = 10 \dots 45 \text{ °C}$.

Tabelle 2: Betriebsbedingungen statisch

Kenngröße	Symbol	Einheit	min. Wert	Nennwert	max. Wert
Betriebsspannung	U_{CC}	V	4,75	5,0	5,25
L-Eingangsspannung	U_{IL}	V	-1		0,8
H-Eingangsspannung	U_{IH}	V	2		5,5
Umgebungstemperatur	T_a	°C	0	25	70

Anmerkung: Für den Amateurtyp S 214 D gilt als Minimalwert für die L-Eingangsspannung $U_{IL} = 0,4 \text{ V}$ und ein Umgebungstemperaturbereich von $T_a = 10 \dots 45 \text{ °C}$.

Tabelle 3: Betriebsbedingungen dynamisch (Minimalwerte)

Kenngröße	Symbol	Einheit	U 214 D 45	U 214 D 30	U 214 D 20	S 214 D
negative Chip-Selekt-Haltezeit (negative CS-Impulsdauer)	t_{hS} (t_{CLCH})	ns	450	300	200	675
Zykluszeit (Adressenzykluszeit)	t_{cR} (t_{AVAX})	ns	450	300	200	675
Adressen-set-up-Zeit (Adressenvorhaltezeit)	t_{suA} (t_{AVWL})	ns	0	0	0	0
Adressen-Haltezeit (Adressenhaltezeit)	$t_{h(W-A)}$ (t_{WHAX})	ns	0	0	0	0
Schreibimpulsdauer (neg. WE-Impulsdauer)	t_{wW} (t_{WLWH})	ns	300	230	180	350
RW-Impulshaltezeit (WE-Impulsvorhaltezeit)	$t_{h(W-S)}$ (t_{WLCH})	ns	300	230	180	350
Chip-Selekt-set-up-Zeit (WE-Impulshaltezeit)	t_{suS} (t_{CLWH})	ns	350	280	200	350
Daten-set-up-Zeit (Datenvorhaltezeit)	t_{suD} (t_{DVWH})	ns	200	150	120	250
Datenhaltezeit	t_{hI} (t_{WHDX})	ns	0	0	0	0

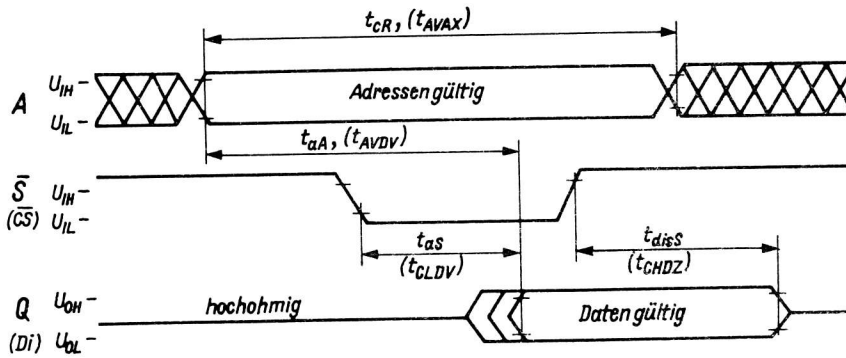
Tabelle 4: Kennwerte statisch ($\vartheta_a = 25^\circ\text{C}$)

Kenngröße	Symbol	Einheit	Bedingungen	U 214 D 45 min. max.	U 214 D 30 min. max.	U 214 D 20 min. max.	S 214 D max.
Betriebsstrom	I_{CCQP}	mA	$U_{CC} = 5\text{ V}, U_{IL} = U_{SS}$ $U_{IH} = U_{CC}$	95	95	120	150
Ruhestrom	I_{COR}	mA	$U_{CC} = 5\text{ V}, U_{IL} = U_{SS}$ $U_{IH} = U_{CC}$	40	40	40	150
Eingangsleakstrom	$I_{IL}/$	μA	$U_{CC} = 5,25\text{ V}, U_{IL} = U_{SS}$ $U_{IH} = U_{CC}$	10	10	10	15
L-Ausgangsspannung	U_{OL}	V	$I_O = 2,0\text{ mA}$ $U_{CC} = 5,25\text{ V}; U_{IL} = U_{SS}$ $U_{IH} = U_{CC}$	0,4	0,4	0,4	0,8
H-Ausgangsspannung	U_{OH}	V	$I_O = -0,4\text{ mA}$ $U_{CC} = 5,25\text{ V}; U_{IL} = U_{SS}$ $U_{IH} = U_{CC}$	2,4	2,4	2,4	2

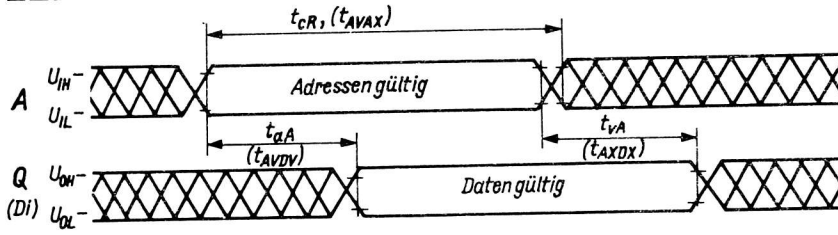
Tabelle 5: Kennwerte dynamisch ($\vartheta_a = 25^\circ\text{C}$)

Kenngröße	Symbol	Einheit	Bedingungen	U 214 D 45 min. max.	U 214 D 30 min. max.	U 214 D 20 min. max.	S 214 D max.
Chip-Selekt-Zugriffszeit (CS-Zugriffszeit)	t_{eAS} (t_{CLDV})	ns	$U_{CC} = 4,75\text{ V}; U_{IL} = U_{SS}$	450	300	200	675
Adressen-Zugriffszeit (Adresszugriffszeit)	t_{eA} (t_{VDV})	ns	$U_{IH} = U_{CC}$	450	300	200	675
Ausgangs-disable-Zeit nach Deselekt. (Verzögerung CS-Ausgang hochohmig)	t_{diss} (t_{CHDZ})	ns		0	0	0	min. 0
Datenhaltezeit (Verzögerung WE-Ausgang aktiv)	t_{HD} (t_{WHDO})	ns		10	10	10	20

Die dynamischen Betriebsbedingungen und Kennwerte gelten bei einer Ausgangsschaltung entsprechend Bild 2.1. Die Formulierer des Schalt-/Beschreibers sind in Bild 2.2 dargestellt.



Lesezyklus 1: $R\bar{W} = H$



Lesezyklus 2: Schaltkreis ständig ausgewählt ($\bar{S} = H, R\bar{W} = H$)

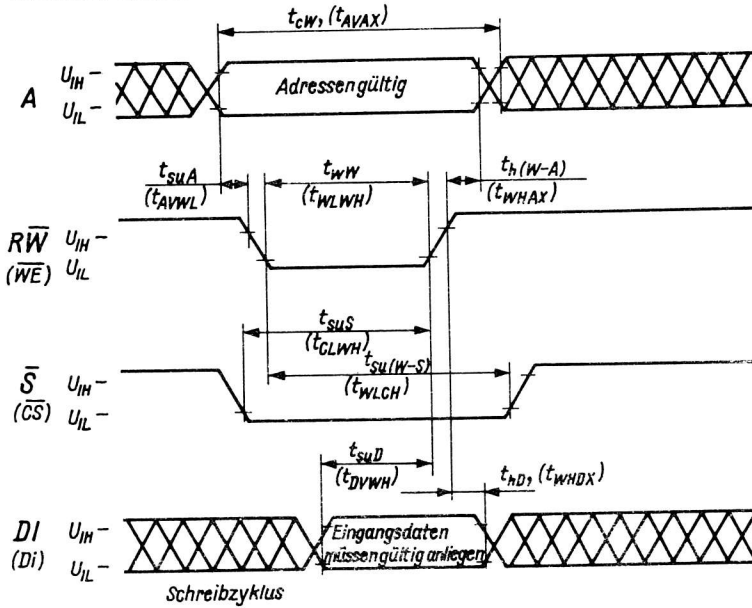


Bild 2.2: Impulsdarstellung für Lese- und Schreibzyklus

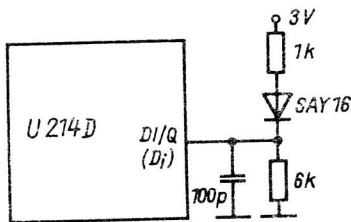


Bild 2.1: Ausgangsbeschaltung des U 214 D für die Kennwertermittlung

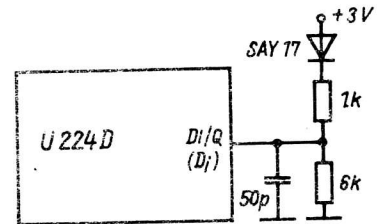


Bild 2.3: Ausgangsbeschaltung des U 224 D für die Kennwertermittlung

2.2. U 224 D

Die Angaben gelten für U 224 D 35, U 224 D 30, UL 224 D 35 und UL 224 D 30 /2/, /3/.

Alle Spannungen sind auf U_{SS} (Masse) bezogen.

Tabelle 6: Grenzwerte

Kenngröße	Symbol	Einheit	min. Wert	max. Wert
Betriebsspannung	U_{CC}	V	-0,5	7,0
Spannungen an allen Eingängen	U_I	V	-0,5	7,0
Ausgangsspannung	U_O	V	-0,5	7,0
Verlustleistung	P_V	W	-	0,5
Betriebstemperatur	T_a	°C	0	+70
Lagertemperatur	T_S	°C	-55	+125

Tabelle 7: Betriebsbedingungen statisch

Kenngröße	Symbol	Einheit	min. Wert	Nennwert	max. Wert
Betriebsspannung	U_{CC}	V	4,75	5,0	5,25
Schlafspannung	U_{CCS}	V	2		
H-Eingangsspannung	U_{IH}	V	$U_{CC} - 2 \text{ V}$		$U_{CC} + 0,3 \text{ V}$
L-Eingangsspannung	U_{IL}	V	-0,3		0,8
Umgebungstemperatur	T_a	°C	0		70

Tabelle 8: Betriebsbedingungen dynamisch (Minimalwerte)

Kenngröße	Symbol	Einheit	U 224 D 35	U 224 D 30
			UL 224 D 35	UL 224 D 30
Adressen-set-up-Zeit (Adressenvorhaltezeit)	t_{suA} (t_{AVCL})	ns	20	20
Adressenhaltezeit nach Chip-Selekt-Aktivierung (Adressenhaltezeit)	$t_{h(S-A)}$ (t_{CLAX})	ns	50	50
negative Chip-Selekt- Haltezeit (negative \overline{CS} -Impuls- dauer)	t_{ns} (t_{CLCH})	ns	350	300
Chip-Selekt-Erholzeit (positive \overline{CS} -Impuls- dauer)	t_{recS} (t_{CHCL})	ns	150	100
Schreibimpulsdauer (negative \overline{WE} -Impuls- dauer)	t_{wW} (t_{WLWH})	ns	350	300
Schreibsignal-set-up- Zeit bzgl. Chip-Se- lekt-Entaktivierung (\overline{WE} -Impulsvorhalte- zeit)	$t_{su(W-S)}$ (t_{WLCH})	ns	350	300
Chip-Selekt-set-up- Zeit (\overline{WE} -Impulshaltezeit)	t_{suS} (t_{CLWH})	ns	350	300

Fortsetzung Tabelle 8

Kenngröße	Symbol	Einheit	U 224 D 35	U 224 D 30
			UL 224 D 35	UL 224 D 30
Daten-set-up-Zeit (Datenvorhaltezeit)	$t_{su(D-W)}$ (t_{DVWH})	ns	250	200
Zykluszeit (Zykluszeit)	t_{cS} (t_{CLCL})	ns	500	400

Anmerkung: Zum SRAM U 224 D sind 2 weitere Selektionstypen mit je 200 ns Zugriffszeit vorgesehen; dies sind der VL 224 D 20 (Umgebungstemperaturbereich von $T_a = -25^\circ\text{C} \dots +35^\circ\text{C}$) und der

US 224 D 20 mit reduziertem Ruhestrom (max. 5 μA) und "Schlafstrom" (max. 3 μA). Darüberhinaus ist auch hier ein Amateur-typ S 224 D in Vorbereitung

Tabelle 9: Kennwerte statisch ($T_a = 25^\circ\text{C}$); /5/

Kenngröße	Symbol	Einheit	Bedingungen	U 224 D 35			UL 224 D 35			
				U 224 D 30	min.	typ.	max.	min.	typ.	max.
Betriebsstrom	I_{CCOP}	mA	$f = 1 \text{ MHz}$ $f = 2,5 \text{ MHz}$		1,7		6		1,7	6
Schlafstromaufnahme	I_{CCS}	μA	$U_{CC} = 2 \text{ V}$		5,3		30		5,3	30
Ruhestromaufnahme	I_{CCR}	μA	$U_{CC} = 5,25 \text{ V}$ $U_{IL} = U_{SS}$		1		500		1	50
Eingangsleckstrom	I_{IL}	μA	$U_{IH} = U_{CC}$		3		10		3	1
L-Ausgangsspannung	U_{OL}	V	$I_O = 2 \text{ mA}$ $U_{CC} = 4,75 \text{ V}$				0,4			0,4
H-Ausgangsspannung	U_{OH}	V	$I_O = -0,4 \text{ mA}$ $U_{CC} = 4,75 \text{ V}$					2,4		

Tabelle 10 Kennwerte dynamisch ($T_a = 25^\circ\text{C}$); /5/

Kenngröße	Symbol	Einheit	Bedingungen	U 224 D 35		U 224 D 30		
				UL 224 D 35	typ.	max.	UL 224 D 30	typ.
\bar{S} -Zugriffszeit (\bar{CS} -Zugriffszeit)	t_{aS} (t_{CLDV})	ns	$U_{CC} = 5 \text{ V}$		<150	350	<150	300
Ausgangs-desable-Zeit nach Deselektierung (Verzögerungszeit \bar{CS} -Ausgang hochohmig)	t_{disS} (t_{CHDZ})	ns	$U_{CC} = U_{IH} = 5 \text{ V}$			80		80
Ausgangsdaten-Haltezeit nach Abschaltung des Deseignals (Verzögerungszeit \bar{CS} -Ausgang hochohmig)	$t_{h(R-Q)}$ (t_{WLDZ})	ns	$U_{CC} = U_{IH} = 5 \text{ V}$			80		80

Die dynamischen Betriebsbedingungen und Kennwerte gelten bei einer Ausgangsbeschlaltung nach Bild 2.3. Die Impulsbilder des Schreib-/Lesezyklus sind in Bild 2.4. dargestellt.

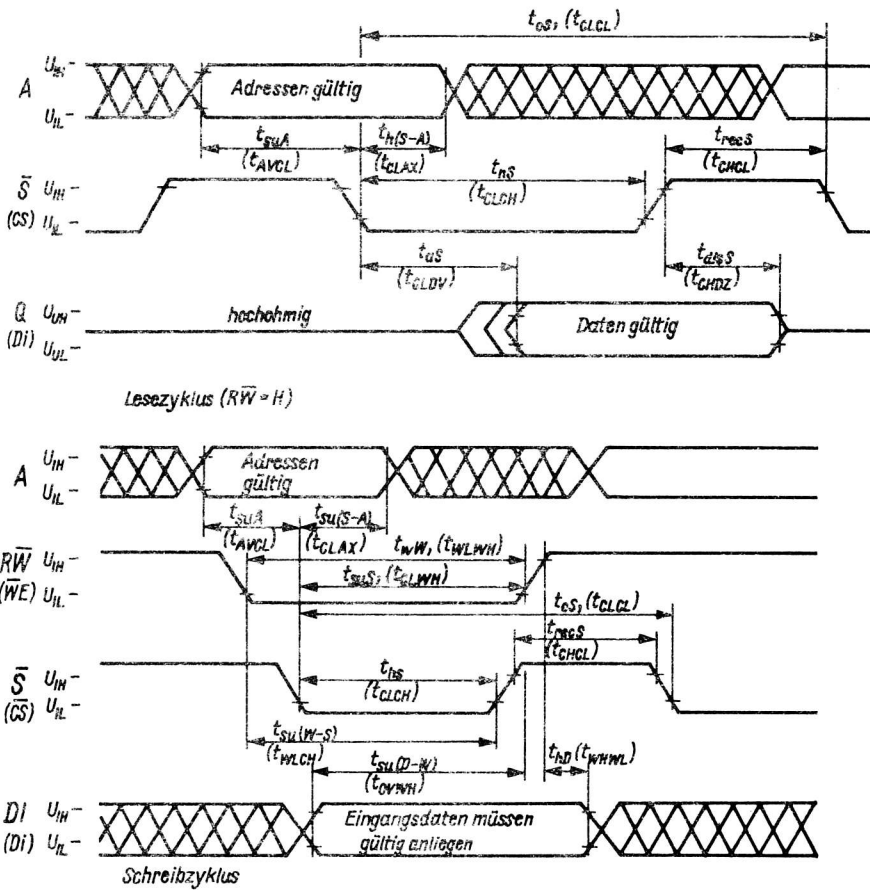


Bild 2.4: Impulssdiagramm für Lese-/Schreibzyklus des U 224 D

3. Typvergleich U 214 D und U 224 D

3.1. Pincompatibilität

Bezüglich Anschlußbelegung und Gehäuse sind der U 214 D und U 224 D völlig identisch.

3.2. Betriebsbedingungen, Funktionsweise

Der U 214 D verlangt während des gesamten Speicherzyklus eine stabil anliegende Adresse.

Der U 224 D hingegen übernimmt mit der H/L-Flanke des Auswahl-(Chip-Selekt)-Signals zu Beginn des Zyklus die Adresse in sein internes Adreßregister. Spätere Änderungen der Adresse beeinflussen den ablaufenden Speicherzyklus nicht mehr.

Speicher mit Adreßregister bringen bei Mikroprozessor-Systemen mit gemeinsamen Adreß- und Datenbus dynamische Vorteile. Gegenüber dem U 214 D, der auch mit festverdrahtetem Auswahlsignal \bar{S} (d. h. $\bar{S} = \text{Low}$) betrieben werden kann, ist der U 224 D nur in mit dem Auswahlsignal getakteten Systemen einsetzbar.

3.3. Typ-Spektrum/Selektionstypen U 214 D und U 224 D

Der SRAM U 214 D wird in drei, nach der Zugriffszeit selektierten Varianten angeboten:

U 214 D 45 (450 ns), U 214 D 30 (300 ns) und U 214 D 20 (200 ns). Hinzu kommt der Amateurtyp S 214 D mit einer Zugriffszeit von max. 675 ns.

Zum U 224 D gibt es gegenwärtig vier Selektionstypen, die sich in Zugriffszeit -Typbezeichnung U 224 D 35 (350 ns) und U 224 D 30 (300 ns)- und Ruhestromaufnahme -Typbezeichnung UL 224 D 35 (350 ns, max. 50 μA) und UL 224 D 30 (300 ns, max. 50 μA)- unterscheiden.

3.4. Stromaufnahme

Beim U 224 D sind, bedingt durch die CMOS-Fertigungstechnologie, sowohl Betriebsstrom als auch Ruhestrom wesentlich geringer als beim U 214 D. Die Ruhestromaufnahme des U 214 D beträgt max. 40 mA (typ. ca. 20 mA), beim U 224 D dagegen je nach Selektionstyp 500 μ A, 50 μ A bzw. 5 μ A (typ. ca. 1 μ A). Durch Absenken der Betriebsspannung auf ≈ 2 V ("Schlafzustand") kann dieser Strom noch weiter reduziert werden.

3.5. Verhalten bei Überspannung

Ein Nachteil der CMOS-Technologie ist die Möglichkeit der Herausbildung parasitärer Thyristoren ("latch-up"), diese können bei ungenügender Strombegrenzung zur Zerstörung des in CMOS gefertigten Schaltkreises führen. Der U 224 D ist deshalb (technologisch bedingt) stärker gegen Überspannung gefährdet als der U 214 D, so daß der Problematik "Stützkondensator" unbedingt Aufmerksamkeit gewidmet werden muß. Unter Gefährdung sind auch eventuell mögliche Datenstörungen zu verstehen.

3.6. Eingangsverhalten

Die Eingangspegel von U 214 D und U 224 D unterscheiden sich geringfügig.

Tabelle 11: Eingangsspannung

Kenngröße	Symbol	U 214 D	U 224 D
L-Eingangsspannung	U_{IL}	-1 ... +0,8 V	-0,3 ... +0,8 V
H-Eingangsspannung	U_{IH}	2 ... 5,5 V	$(U_{CC} - 2 \text{ V}) \dots (U_{CC} + 0,3 \text{ V})$

Der Eingangsleckstrom liegt für beide Typen im pA ... nA-Bereich.

3.7. Ausgangsverhalten

Sowohl U 214 D als auch U 224 D weisen TTL-kompatible Ausgangsspannungen auf; bezüglich Ausgangsstrom (Treiberstrom) kann der U 214 D etwa drei TTL-Lasten und der U 224 D etwa zwei TTL-Lasten treiben.

3.8. Kompatibilität

Unter Beachtung der angegebenen typspezifischen Besonderheiten können - mit Einschränkungen - die Schaltkreise U 214 D und U 224 D gegeneinander ausgetauscht werden. Bei Batteriespannungsversorgung sowie erforderlichlichem Datenschutz bei Netzspannungsausfall kommen ruhestrombedingt, nur der UL 224 D 35, UL 224 D 30, US 224 D 20 in Betracht. Arbeitsspeicheranordnungen für die mit 4 MHz getaktete CPU (UA 880 D) bedingen U 214 D/U 224 D-Typen mit 200 ns Zugriffszeit (d. h. U 214 D 20, US 224 D 20, VL 224 D 20).

3.9. Einsatz

Haupteinsatzgebiet für das U 214 D/U 224 D-Sortiment sind gegenwärtig Arbeitsspeicheranordnungen für das Mikroprozessor-System U 880 bzw. auf diesem aufbauende Mikrorechner; z.B. K 1520.

4. Applikationshinweise zu den SRAM-Typen U 214 D und U 224 D

4.1. Einsatzkriterien

4.1.1. Zugriffszeit

Die Zugriffszeit ist bei SRAM das wichtigste Kriterium für die Wahl des Typs bzw. Selektionstyps. Bei Mikrorechnereinsatz ist die Zugriffszeit dem dynamischen Signalpiel der vorgesehenen CPU anzupassen. Die Verwendung von Speichern mit unnötig kurzer Zugriffszeit bringt dem Mikrorechnersystem keine dynamischen Vorteile, aber höhere Bauelementekosten und da innerhalb einer Fertigungstechnologie das Produkt aus Gatterverzögerungszeit und Verlustleistung konstant ist, eine höhere Stromaufnahme. So beträgt beispielsweise der Betriebsstrom eines U 214 D 30 95 mA, der U 214 D 20 dagegen nimmt bereits 120 mA auf.

Für eine CPU des Typs UB 880 D (2,5 MHz-Takt) können prinzipiell folgende U 214 D/U 224 D-Typen unmittelbar verwendet werden:

U 214 D 30, U 214 D 20, U 224 D 35, U 224 D 30, UL 224 D 35, UL 224 D 30, VL 224 D 20, US 224 D 20. Die Typen U 214 D 45 und S 214 D können mit dem UB 880 D nicht direkt, sondern nur mit WAIT-Zyklus (siehe Abschn. 5.4.) betrieben werden, da die Schreibimpulsdauer des UB 880 D 400 ns beträgt, zum sicheren "Datenschreiben" jedoch 450 ns bzw. 650 ns betragen müßte (siehe Bild 5.1). Für den UA 880 D (4 MHz-Takt) können nur die U 214/U 224-Typen mit 200 ns Zugriffszeit in Betracht kommen, d. h. U 214 D 20, VL D 224 D 20, US 224 D 20.

4.1.2. Stromaufnahme

Betriebs- und Ruhestromaufnahme sind für die zu entwerfende Speicherkonfiguration ein wichtiges Kriterium, da diese die Netzteilkosten mitbestimmen. Dies gilt besonders für größere Speicheranordnungen und bei vorgesehenem Schutz der eingespeicherten Daten gegen Netzspannungsausfall, d. h. Batteriepufferung. Bei Batteriepufferung empfiehlt sich die Verwendung des UL 224 D 35, UL 224 D 30 oder US 224 D 20.

4.2. Stützkapazität

Die bei Auswahl (Aktivierung) der SRAM-Schaltkreise U 214 D/U 224 D entstehenden Transientenströme erzeugen in den Leitungsinduktivitäten Induktionsspannungsspitzen unterschiedlicher Polarität, die zu Grenzwertüberschreitungen führen können. Die Transientenströme betragen beim U 214 D etwa 60 ... 80 mA und beim U 224 D etwa 40 ... 60 mA. Im folgenden Beispiel soll mit praxisnahen Werten die entstehende Überspannung ΔU_{CC} berechnet werden.

Gegeben sei ein in der Zeit $\Delta t \approx 20$ ns auftretender Transientenstrom von $\Delta I_{CC} \approx 60$ mA sowie eine Leitungslänge im Versorgungsspannungskreis von $l = 15$ cm. Die Leitungsinduktivität L bei derartigen Leiterkarten beträgt $\approx 2,5$ nH/cm. Die induzierte Überspannung ΔU_{CC} beträgt dann:

$$\Delta U_{CC} = \left| \frac{-L \cdot \Delta I_{CC}}{\Delta t} \right|$$

$$\Delta U_{CC} = \frac{15 \text{ cm} \cdot 2,5 \cdot \text{Vs} \cdot 60 \text{ A} \cdot 10^9}{\text{A} \cdot \text{cm} \cdot 10^9 \cdot 10^{-3} \cdot 20 \text{ ns}} \approx 100 \text{ mV}$$

(1) Hierdurch können Bauelementezerstörungen bzw. Datenausfälle entstehen.

Dieser Wert gilt für nur einen SRAM-Schaltkreis; er nimmt, wenn keine Maßnahmen getroffen werden, bei größeren Konfigurationen zu. Zur Vermeidung schädlicher Auswirkungen von Überspannungen, die möglicherweise zur Zerstörung des Schaltkreises führen, wird an diesen ein "Stützkondensator" von

$$C = \frac{\Delta I_{CC} \cdot t}{\Delta U_{CC}} = \frac{60 \text{ mA} \cdot 20 \text{ ns}}{100 \text{ mV}} \approx 10 \text{ nF}$$

vorgesehen. Obwohl beim U 214 D die Überspannung weniger kritisch als beim U 224 D ist, sollte auch bei ihm ein Stützkondensator (Keramikkondensator) von etwa 10 nF pro Schaltkreis vorgesehen werden; diese Kapazität verhindert auch ein - beispielsweise durch Störimpulse auf der Auswahlleitung hervorgerufenen - mögliches Übersprechen und vermeidet dadurch Datenverluste.

4.3. Typische Parameterabhängigkeiten der U 214/U 224-Typen /5/

4.3.1. Zugriffszeit

Beim Einsatz der U 214/U 224-Schaltkreise in Systemen hängt die tatsächliche Zugriffszeit von kapazitiven Belastungen der Schaltkreisausgänge, der Betriebsspannung und der Umgebungstemperatur ab. In die kapazitive Belastung gehen sämtliche Schaltkreise ein, die ausgangsseitig miteinander verbunden sind (Speicher, Treiber usw.).

Die Zugriffszeit vergrößert sich um

$$\Delta t_{AS} \approx 0,25 \text{ ns/pF} \cdot C_L$$

Die Zugriffszeit erhöht sich mit abnehmender Betriebsspannung und wachsender Umgebungstemperatur. Die Änderung der Zugriffszeit beträgt im zugelassenen Betriebsspannungsbereich weniger als 8 ns, die Abhängigkeit von der Temperatur beträgt

$$\Delta t_{aS} \leq 0,5 \text{ ns/grad} \cdot \Delta \sqrt{T_a}$$

4.3.2. Betriebsstrom/Ruhestrom

Beim U 214 D sinkt sowohl Betriebs- als auch Ruhestromaufnahme mit steigender Temperatur; der U 224 D weist nahezu keine Temperaturabhängigkeit dieser Parameter auf.

4.3.3. Ausgangspegel

Für die H- und L-Ausgangsspannung gilt folgende Temperaturabhängigkeit:

$$U_{OL} \leq 0,73 \text{ mV/grad} \cdot \Delta \sqrt{T_a}$$

$$U_{OH} \leq 0,5 \text{ mV/grad} \cdot \Delta \sqrt{T_a}$$

Die H-Ausgangsspannung des U 214 D ist nahezu temperaturunabhängig.

4.4. Eingangspegel

Obwohl die Eingangssignalpegel des U 224 D nicht TTL-gerecht sind, haben applikative Untersuchungen gezeigt, daß eine Ansteuerung desselben mit TTL-Pegeln möglich ist.

4.5. Behandlungsvorschriften

Für die SRAM-Typen U 214 D und U 224 D gelten die für MCS-Bauelemente üblichen Behandlungsvorschriften /8/. Obwohl sämtliche Schaltkreiseingänge herstellenseitig mit integrierten Schutzschaltungen versehen sind, ist dem Schutz vor elektrostatischen Aufladungen besondere Beachtung zu schenken.

Als weiteres müssen die angegebenen Grenzwerte unbedingt eingehalten werden. Es muß gesichert sein, daß die Eingänge der RAMs nicht offen sind bzw. werden können. Dies gilt besonders - CMOS-bedingt - für das U 224 D-Spektrum. Hierbei ist auch die Möglichkeit der Entstehung offener Eingänge durch vorgeschaltete Schaltkreise mit tristate-Ausgängen oder Abziehen von Leiterkarten zu beachten. Bei Möglichkeit der Entstehung offener Eingänge sind diese über Widerstände (Größenordnung 100 kOhm) an Betriebsspannung oder Masse zu legen. Bedingt durch die integrierten Eingangsschutzschaltungen dürfen bei abgeschalteter Betriebsspannung keine logischen Signale an die Eingänge angelegt werden.

4.6. Leiterkartenkonstruktion

Obwohl statische Speicher relativ günstige Systembedingungen aufweisen und eine Leiterkarten-trassierung von mit SRAM aufgebauten Arbeitsspeicheranordnungen im allgemeinen relativ unkritisch ist, sollte dennoch die Stromversorgungsleitung zwecks Erzielung eines geringen Widerstandes großflächig ausgelegt werden, möglichst in Kamm- bzw. Gitterstruktur.

Je U 214 D/U 224 D-Schaltkreis wird zur Spannungsstützung ein Scheibenkondensator von mindestens 10 nF empfohlen. Bei Einplatinenrechner-Minimalversion mit U 214 D-Arbeitsspeichern kann bei unkritischen Ansprüchen der Stützkondensator entfallen.

Bei erhöhten Systemforderungen bzw. schlechten Netzspannungsbedingungen (z. B. Industrienetze) können darüber hinaus noch zusätzliche Siebmaßnahmen auf der Leiterkarte erforderlich sein. Als günstig hat sich erwiesen, mit der Leiterkartentrassierung bereits in relativ frühem Entwicklungsstadium zu beginnen und Erprobungsarbeiten an der bestückten Leiterkarte durchzuführen, selbst wenn eine nochmalige Trassierung erforderlich sein sollte. Freie Verdrahtungen führen häufig durch parasitäre Effekte zu Beanstandungen und damit zu unnötigen Fehlersuchen.

4.7. Betriebsspannungspufferung bei Netzausfall

Die Speichertypen U 214 D und U 224 D sind flüchtige Speicher, d. h. sie verlieren bei Ausschalten der Betriebsspannung das eingeschriebene Bitmuster. Für eine Vielzahl von Anwendungen wird aber gewünscht bzw. sogar gefordert, daß der Speicherinhalt unabhängig von evtl. Netzspannungsausfall ist.

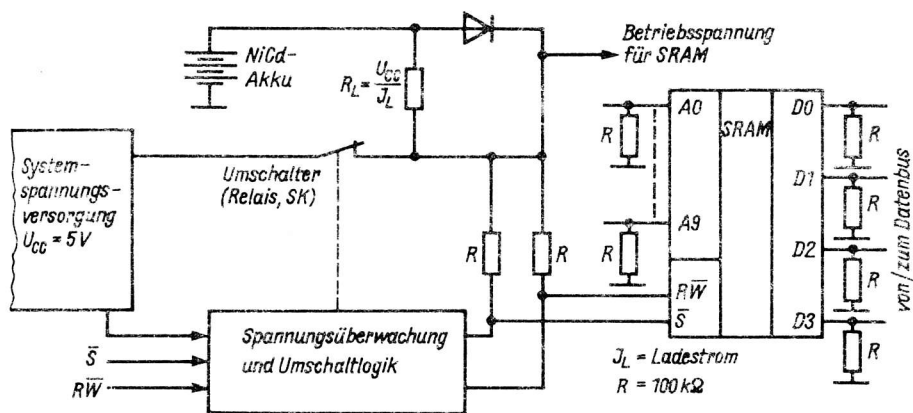


Bild 4.1: Prinzip der Betriebsspannungspufferung

Es ist hierbei zu unterscheiden zwischen einem zufälligen, vorher zeitlich nicht bestimmbareren Netzausfall und einer definierten Abschaltung, z. B. bei Arbeitsende. Ein Datenschutz bei Betriebsspannungsausfall ist durch eine auf Batterie bzw. Akkus basierende Pufferschaltung erreichbar. Diese überwacht die Betriebsspannung des Speichers und schaltet bei Unterschreitung der unteren Betriebsspannungsgrenze auf Batteriebetrieb um. Der erforderliche Aufwand hierzu hängt natürlich entscheidend vom Ruhestrom des Speichers ab; aus diesem Grund kommt von den hier beschriebenen Typen nur der U 224 D, präzise die Selektionen UL 224 D 35, UL 224 D 30 und der angekündigte US 224 D 20 für einen batteriegepufferten Betrieb in Betracht, zumindest wenn die Batterie mit auf der Leiterkarte angeordnet wurde.

Zur Umschaltung auf die Batteriespannung ist eine Umschaltlogik erforderlich, die die bei Netzausfall entstehende Absenkung der Versorgungsspannung auf weniger als 4,75 V erkennt und nach entsprechenden "Vorarbeiten" die Umschaltung auf Batterie bzw. Akku vornimmt. Als "Vorarbeiten" sind in nachstehend genannter Folge auszuführen:

- Beendigung des laufenden Speicherzyklus
- Auswahlsignal (Chip-Selekt-Signal) und Schreib-Lese-Signal auf $\bar{S} = \overline{RW} = \text{High}$ legen (d. h. U_{CC})

Die Umschaltlogik muß weiterhin garantieren, daß während des "Schlafens" keine (auch ungewollte) Speicherzugriffe erfolgen können; d. h. das auf High-Potential liegende Auswahlsignal darf erst wieder freigegeben werden, wenn die Betriebsspannung einen Wert von 4,75 V überschreitet und die CPU sich in einem definierten Zustand befindet.

Zur Herstellung definierter Pegel werden sämtliche Adreß- und Datenpins des U 224 D über 100 kOhm-Widerstände an den Betriebsspannungsanschluß bzw. Masse und die Auswahl- und Schreib-/Lese-Anschlüsse über Widerstände der angegebenen Größe an U_{CC} gelegt.

Eine Prinzipschaltung hierzu wird in Bild 4.1 angegeben.

5. Entwurf von Arbeitsspeicherkonfigurationen mit U 214 D/U 224 D-Schaltkreisen für das Mikroprozessor-System U 880

5.1. Allgemeines

Im folgenden soll der Anschluß von Halbleiterspeichern an eine CPU des Typs U 880 D dargestellt werden, wobei speziell die bei SRAM mit kurzen Zugriffszeiten und gemeinsamen Datenein-/ausgängen, also auch beim Typspektrum U 214 D/U 224 D sich ergebenden Probleme, ausführlich behandelt werden. Die für den UB 880 D bzw. UA 880 D zugriffszeitseitig in Betracht kommenden U 214 D/U 224 D-Typen wurden unter Abschnitt 4.1.1. aufgeführt.

Der UB 880 D bzw. UA 880 D liefert für M1-Zyklen sowie Lese- und Schreibzyklen entsprechende Steuersignale (s. Bild 5.1), aus denen für die SRAM das Auswahlsignal \bar{S} , Lese-/Schreibsignal \overline{RW} und bei gepufferten Systemen die Signale für tristate-Steuerung und Richtungsumschaltung für die Treiber-/Puffer-Schaltkreise generiert werden.

Die in Bild 5.1 eingetragenen Zeiten beziehen sich auf eine Taktfrequenz von 2,5 MHz /4/, /7/.

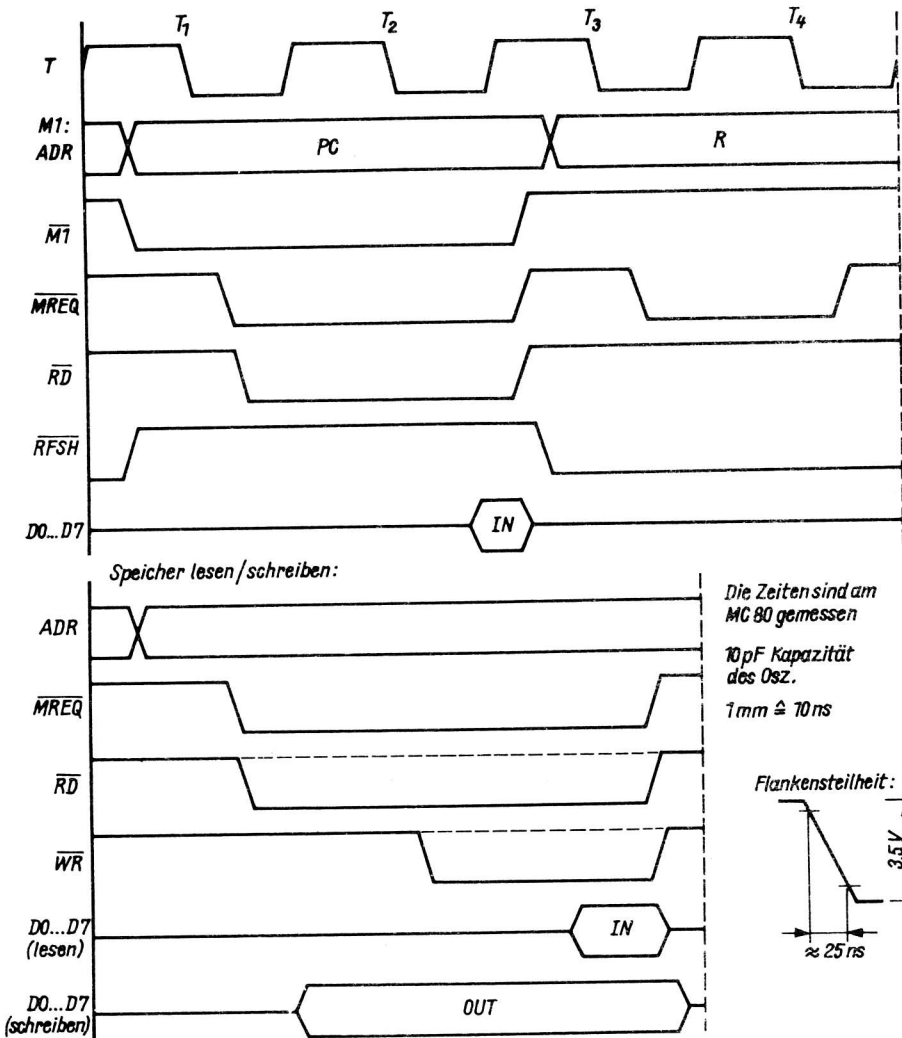


Bild 5.1: Darstellung der U 880 D Zyklen M1, M2 und M3

5.2. Möglichkeit der Gewinnung der Ansteuersignale aus den U 880 D-Signalen

5.2.1 Ungepufferte Systeme

Ungepufferte Konfigurationen werden vielfach bei Minimalsystemen, z. B. Einplatinenrechner mit zwei Schaltkreisen U 214 D/U 224 D als Arbeitsspeicher, angewandt.

Das Lese-/Schreibsignal \overline{RW} der SRAM wird üblicherweise - wie in Bild 5.2 gezeigt - an das \overline{WR} -Signal des U 880 D angeschlossen; die Gewinnung des Auswahlsignals \overline{S} erfolgt, bei vorher festgelegter Anfangsadresse innerhalb des 64 KByte-Gesamtadressbereiches des U 880 D aus dem \overline{MREQ} -Signal und der dekodierten Adresse, d. h.

$$\overline{S} : = \overline{MREQ} \vee \overline{ADR}$$

5.2.2. Gepufferte Systeme

Für Mikrorechnersysteme, z. B. K 1520, bei denen größere Arbeitsspeicher (Operativspeicher) benötigt werden, werden zwischen dem U 880 D und die Speicher-Schaltkreise in die Datenleitungen meist Treiber-/Puffer-Schaltkreise geschaltet, um die benötigten Treiberströme aufzubringen. Als Puffer-/Treiber-Schaltkreise werden hierzu die in Schottky-Technologie hergestellten Typen DS 8212 D, DS 8216 D, DS 8282 D, DS 8283 D, DS 8286 D und DS 8287 D eingesetzt.

In Bild 5.3 wird eine entsprechende Schaltung angegeben; das Signal \overline{RDY} ist ein spezifisches K 1520-Signal.

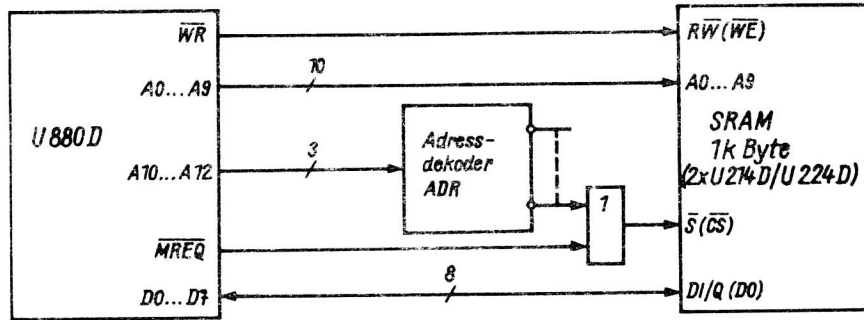


Bild 5.2: Ungepuffertes System U 880 D - U 214 D/U 224 D (Minimalkonfiguration)

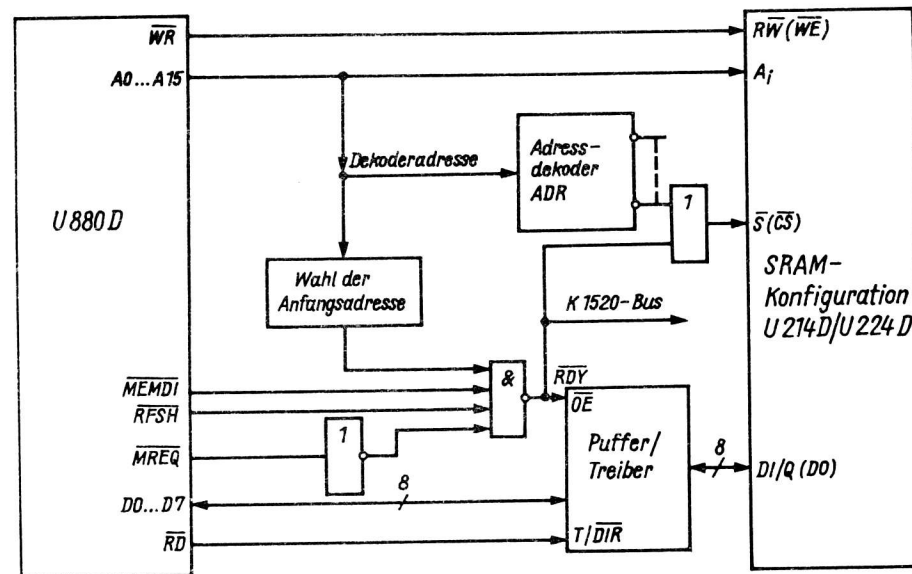


Bild 5.3.: Gepuffertes System U 880 D - U 214 D/U 224 D

Als Schreib-/Lese-Signal \overline{RW} wird wiederum das \overline{WR} -Signal des U 880 D verwendet. Das Auswahlsignal \overline{S} kann aus dem K 1520-Signal \overline{RDY} und der dekodierten Adresse generiert werden, d. h.

$$\overline{S} = \overline{RDY} \vee \overline{ADR}, \text{ wobei}$$

$$\overline{RDY} = \text{Anfangsadresse} \cdot \overline{\text{MEMDI}} \cdot \overline{\text{MREQ}} \cdot \overline{\text{RFSH}}$$

Unter Anfangsadresse ist die auf dem Speichermodul mittels Drahtwickelbrücken bzw. DIL-Schalter festgelegte Adresse zu verstehen, von der ab dieses in den 64 KByte-Adressraum des U 880 D eingebunden werden soll. Das U 880 D-Signal \overline{RD} wird zur Richtungssteuerung für den bidirektionalen Datentransport verwendet (bei $T/\overline{DIR} = \text{High}$, die Datenrichtung von Treiber/Puffer zu den SRAM). Mit dem \overline{OE} -Signal des Treiber/Puffer kann dieser seine Datenausgänge abschalten, d. h. mit $\overline{OE} = \text{High}$ schaltet der (die) Treiber seine (ihre) Datenausgänge hochohmig (tristate).

5.3. Datenstörungen im Schreibzyklus und deren Verhinderung

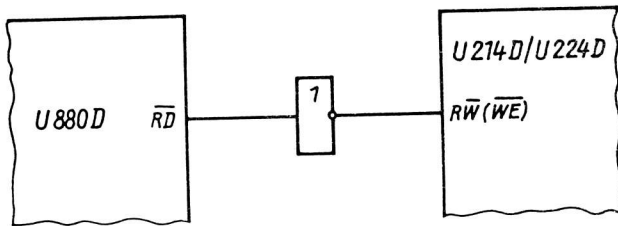


Bild 5.4: Schaltung zur Verhinderung des "Datenkämpfens"

Wie Bild 5.1 zu entnehmen ist, wird das \overline{WR} -Signal des UB 880 D (bei 2,5 MHz-Takt) erst ca. 360 ns nach dem \overline{MREQ} -Signal aktiv, während die Schreibdaten bereits schon 150 ns nach diesem stabil auf dem Datenbus anliegen. Die SRAM mit einer Zugriffszeit von weniger als 360 ns werden in den Betriebszustand "Lesen" geschaltet und legen ihre Daten ebenfalls auf den Datenbus; als Folge können die Daten des UB 880 D und der Speicher kurzzeitig gegeneinander "kämpfen". Obwohl die U 214 D/U 224 D-Schaltkreise kurzzeitig Kurzschlüsse auf den Datenausgängen vertragen, sollte konzeptionell eine technisch saubere

Lösung angestrebt werden. Von der Vielzahl der Möglichkeiten soll hier eine Lösung angegeben werden.

Da das Auswahlsignal \overline{S} des Speichers gegenüber dem Lese-/Schreibsignal $R\overline{W}$ die höhere Priorität hat, wird letzteres nicht, wie bisher üblich, mit dem \overline{WR} -Signal des U 880 D, sondern dem negierten \overline{RD} -Signal angesteuert (s. Bild 5.4).

Bei gepufferten Systemen muß weiterhin (schaltungstechnisch) gesichert werden, daß die Datenleitung der Treiber (\overline{OE} -Signal) erst 30 ns nach deren Richtungsumschaltung (T/\overline{DIR}) aktiv werden darf.

5.4. Anpassung "langsamer" Halbleiterspeicher an den U 880 D

Unter langsamen Speichern sollen hier die U 214 D/U 224 D-Typen mit einer für das Signalspiel der U 880 D zu hohen Zugriffszeit verstanden werden, z. B. Einsatz des U 214 D 45 oder des Amateurtyps S 214 D mit einem UB 880 D (2,5 MHz-Takt) oder des U 214 D 30 bzw. U 224 D 30 an einen UA 880 D (4 MHz-Takt).

Um mit diesen langsamen Speichern arbeiten zu können, muß die CPU über sogenannte " \overline{WAIT} -Zyklen" an die Speicher angepaßt (synchronisiert) werden. Bei den U 214 D/U 224 D-Typen reicht dazu ein \overline{WAIT} -Zyklus (d. h. ein "Wartetakt") aus.

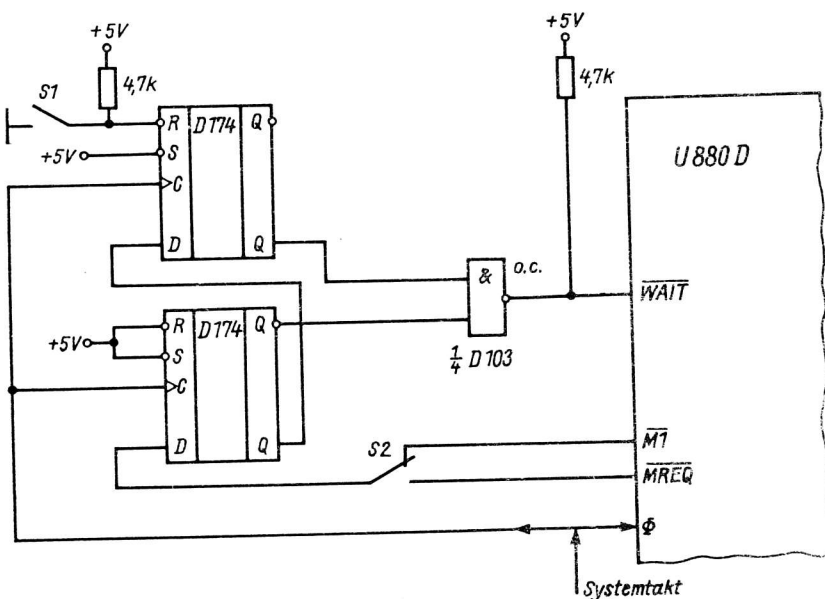


Bild 5.5: Schaltungsvorschlag zur Erzeugung eines "Wartetaktes"

Prinzip: Der U 880 D fragt sich selbst mit der H/L-Flanke des Taktes T2 (siehe Bild 5.1) ab, ob sein $\overline{\text{WAIT}}$ -Eingang aktiv (d. h. $\overline{\text{WAIT}} = \text{Low}$) ist; ist dies der Fall, wird der jeweilige Zyklus (M1-, Lese-, Schreibzyklus) um einen Takt (d. h. bei 2,5 MHz-Takt um 400 ns, bei 4 MHz-Takt um 250 ns) verlängert. Ein Schaltungsvorschlag zur Erzeugung eines $\overline{\text{WAIT}}$ -Zyklus wurde in Bild 5.5 angegeben. Soll mit einem $\overline{\text{WAIT}}$ -Zyklus gearbeitet werden, ist S1 zu öffnen; mit S2 wird festgelegt, ob der "Wartetakt" im M1- oder in jedem Schreib-/Lesezyklus eingefügt werden soll.

6. Speichermodul OPS 16 - ein 16 KByte-Arbeitsspeicherkonzept für K 1520-Anwendung

6.1. Allgemeines

Nachstehend vorgestelltes Arbeitsspeichermodul, realisiert auf einer K 1520-Steckkarte, arbeitet wahlweise mit den SRAM-Schaltkreisen U 214 D bzw. U 224 D. Das Konzept hierzu ist komfortabel und umfassend (s. Bild 6.1), bei Nichtbedarf einzelner Funktionselemente kann die Steckkarte durch Nichtbestückung abgemagert werden. Das beschriebene Modul wurde von der Abteilung Applikation (E2A) des VEB ZFTM entwickelt und kann ab Dezember 1984 nachgenutzt werden.

6.2. Kurzcharakteristik

- Speicherkapazität: 16 KByte
- Verwendete SRAM-Typen: 32 Stück U 214 D oder U 224 D (wahlweise)
- Steckkartenformat: 215 mm x 170 mm
- Interface-Bedingungen: entspricht dem K 1520-Linieninterface (Busrichtlinie), Busanschluß über 58polige indirekte Steckverbinder
- Adreßwahl: freie Wahl der Anfangsadresse mit vier DIL-Schaltern in 4 KByte-Stufen innerhalb des 64 KByte-Adreßraumes des K 1520
- Spannungspufferung: Pufferung mit drei Ni-Cd-Akkus GLZ 225 mAh, einstellbarer Ladestrom; damit bei Bestückung mit UL 224 D bzw. US 224 D Datenschutz für eine bestimmte Zeitdauer (siehe Bild 6.2)
- $\overline{\text{WAIT}}$ -Zyklus: Schaltung zur Erzeugung eines $\overline{\text{WAIT}}$ -Zyklus vorhanden; Zuschaltung derselben über DIL-Schalter
- Betriebsspannung: $U_{CC} = 5 \text{ V}$, bei Spannungspufferung kommen noch -5 V und +12 V hinzu
- Stromaufnahme: bei Bestückung mit UL 224 D 30 $I_{CC} \approx 0,5 \text{ A}$.

6.3. Schaltkreissortiment

Die verwendeten Schaltkreise entsprechen dem für Neuentwicklungen zugelassenen Sortiment und werden wie nachfolgend benötigt.

32 x U 214 D/U 224 D, 3 x DS 8282 D, 1 x DS 8286 D, 2 x DS 8205 D, 1 x K 155 NM3 u. a.

Für die Spannungspufferung werden benötigt:

4 x V 4066 D, 2 x B 340 D, 1 x B 081 D.

6.4. Hinweise zur Nachnutzung

Die Nachnutzungsdocumentation enthält:

Schaltplan, Schalttailliste, Stückliste, Beschreibung, Prüfvorschrift, Planfilme positiv und Bohrlochstreifen.

Die Inbetriebnahme erfolgt an einem K 1520 und ist relativ unkritisch. Eine unbestückte Leiterplatte kann ggf. zur Verfügung gestellt werden. Weitere technische Informationen hierzu erteilt die Abteilung Applikation (MEES 4) des VEB ZFTM Dresden, Tel. 588 369.

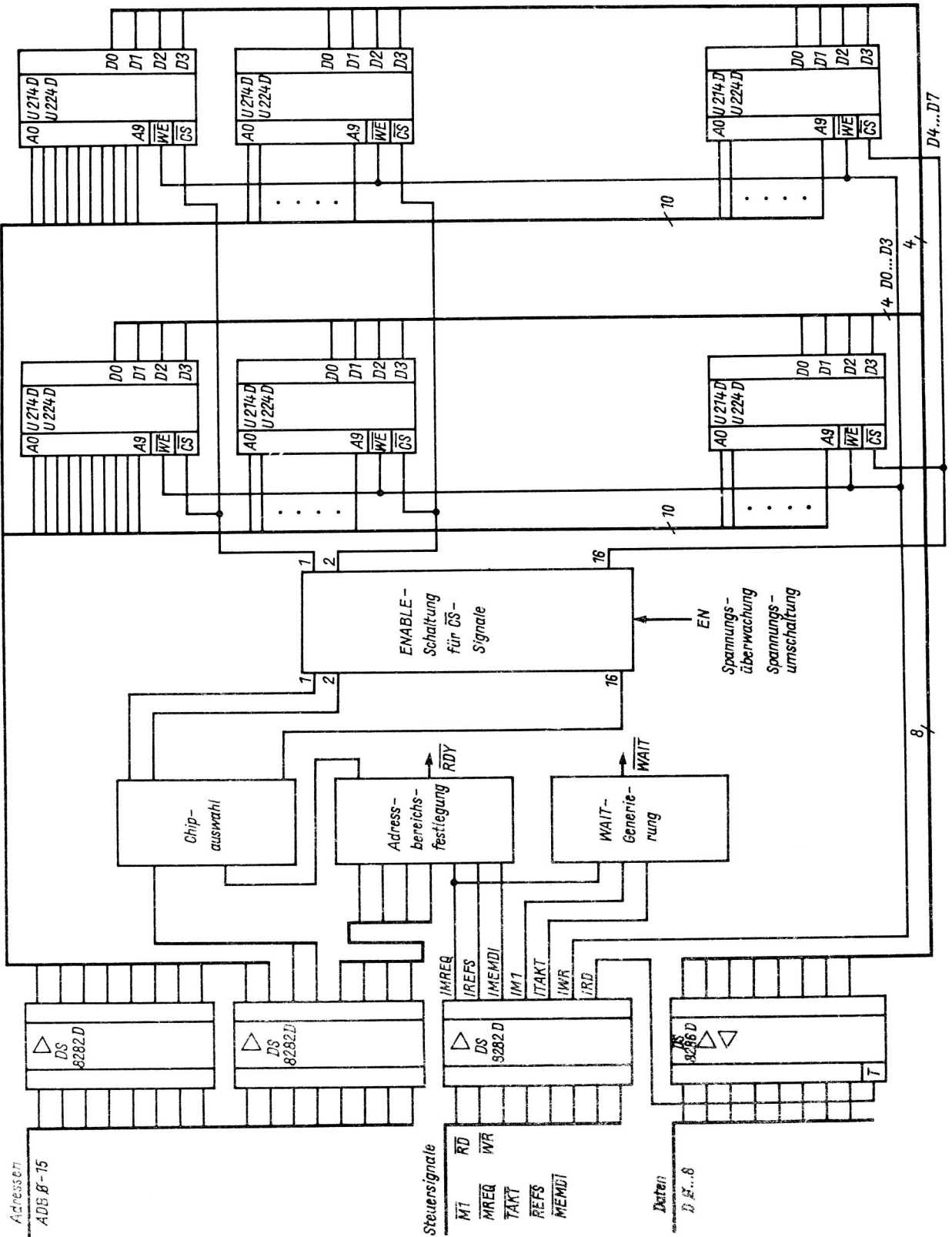


Bild 6.1: Blockschaltbild OPS 16

Literatur:

- /1/ Fachbereichsstandard TGL 42232
Statischer Schreib-Lese-Speicher U 214 D 45,
U 214 D 30, UL 224 D 35 und UL 224 D 30
- /2/ Fachbereichsstandard TGL 42233
Statischer Schreib-Lese-Speicher U 224 D 35, U 224 D 30,
UL 224 D 35 und UL 224 D 30
- /3/ IEC Publication 147-OE (Letter symbols for the dynamic Parameters)
- /4/ Memory design handbook
Intel Corporation 1977
- /5/ Kenndatenbericht U 224 D, VEB Zentrum für Forschung und Technologie
Mikroelektronik Dresden im VEB Kombinat Mikroelektronik
- /6/ IC-Master 1981, New York: United Techn. Publ. Inc., - Vol.-
- /7/ Kieser; Meder: Mikroprozessortechnik: Aufbau und Anwendung des
Mikroprozessorsystems U 880.
Berlin, Verlag Technik, 1984
- /8/ Bürger, B.: Behandlungsvorschriften und Applikationshinweise
für das Arbeiten mit CMOS-Logik-Schaltkreisen
Applikative Information, Berlin 4(1983)4, S. 27-34

VEB Zentrum Wissenschaft und Technik
Betrieb des VEB Kombinat Rundfunk und Fernsehen

Frequenz-Spannungswandler für den NF-Bereich

1. Aufgabenstellung

Zur optimalen Nutzung eines X/Y-Schreibers muß der X-Eingang bei der Aufzeichnung von Frequenzgängen eine der Frequenz proportionale Spannung erhalten. Speziell bei der Messung von Plattenspielern wird Spannung und Frequenz von der Platte über Abtaster und Entzerrerverstärker bereitgestellt.

Der maximal darstellbare Frequenzbereich sollte auf 10 Hz ... 100 kHz erweitert werden. Als Eingangssignal dient die TTL-gerecht aufbereitete Ausgangsspannung eines Entzerrerverstärkers. Die Frequenz-Spannungswandlung soll logarithmischen Verlauf mit Abweichungen von kleiner 2 % haben und das Ergebnis der Frequenzmessung soll in Abständen von weniger als 0,5 s bereitstehen. Bei Meßbereichsüberschreitungen, z. B. durch Fehlmessung, soll der vorhergehende Meßwert erhalten bleiben. Die Ausgangsspannung des f/U-Wandlers soll für den gesamten Meßbereich zwischen 0 V und +5 V liegen. Ist nur ein Teil des Meßbereiches auf dem Schreiber darzustellen, so muß an diesem die erforderliche Verstärkung eingestellt werden.

2. Frequenzmessung und Steuerung des Meßablaufes

Das Grundprinzip besteht darin, daß eine Periodendauermessung durchgeführt, das Ergebnis digital gewandelt, logarithmiert und gespeichert werden kann. Es entsteht ein 10 Bit breites Wort, das über ein 2R-Netzwerk in einen analogen Spannungswert umgesetzt wird. Für die Periodendauermessung ist eine wesentlich höhere Vergleichsfrequenz als die maximal zu messende Eingangsfrequenz erforderlich. Die Stabilität dieser Vergleichsfrequenz bestimmt in hohem Maße die Genauigkeit der Umwandlung. Für den vorliegenden Anwendungsfall ist ein LC-Oszillator mit einer Frequenz von 2,56 MHz ausreichend. Für höhere Anforderungen ist der Einsatz eines quarzstabilisierten Oszillators möglich. Mit einer Verstärkerstufe wird ein TTL-gerechtes Ausgangssignal von 2,56 MHz bereitgestellt. Um eine Unterteilung in vier Dekaden zu erreichen, schließt sich eine Teilerkette aus drei 1:10-Teilern (D 192 D) an. Damit stehen die vier Vergleichsfrequenzen von 2,56 MHz; 256 kHz; 25,6 kHz und 2,56 kHz für den Meßvorgang zur Verfügung. In Abhängigkeit von der Länge der Periodendauer der zu messenden Frequenz wählt die Steuerlogik unter diesen vier Vergleichsfrequenzen aus und läßt damit einen Zähler von 0 bzw. 25 ... 255 aufwärts zählen (D 193 D). Das Zählergebnis dieses Zählers in Verbindung mit der zuletzt ausgewählten Vergleichsfrequenz bildet das Ergebnis der Periodendauermessung. Während mit der Wahl der Vergleichsfrequenz die Dekade bestimmt wird, legt der Zählerstand den Wert innerhalb jeder Dekade fest.

Am Ende und damit auch zu Beginn der Meßzyklen werden über die Rücksetzeingänge alle drei Teiler (D 192 D), die zwei Zähler (D 193 D) und die fünf JK-Flip-Flops (D 172 D) zur Meßablaufsteuerung gelöscht. Über den Eingang f_e wird der Meßzyklus von der zu messenden Frequenz gestartet. Am Eingang des Zählers liegt die Vergleichsfrequenz von 2,56 MHz. Nach 256 Impulsen oder 10 μ s wird durch den Übertrag des Zählers ein Ladeimpuls erzeugt, der den Zähler mit 25 lädt, die Teiler löscht und den Stand der ersten drei JK-Flip-Flops um eins erhöht. Dadurch gelangt die um 10 geteilte Vergleichsfrequenz von 256 kHz an den Zählereingang. Nach 100 μ s Meßzeit wiederholt sich dieser Vorgang. Die ersten drei JK-Flip-Flops werden wiederum um eins erhöht und die Vergleichsfrequenz wird durch 100 geteilt. Ist die zu messende Periodendauer größer als 100 ms, nehmen die ersten zwei JK-FF ihren Ausgangszustand ein. Da damit ein ungültiges Ergebnis zu erwarten ist, wird bei diesem Überlauf das dritte JK-FF gekippt, welches eine Verriegelung der Übernahme des ungültigen Meßwertes bewirkt.

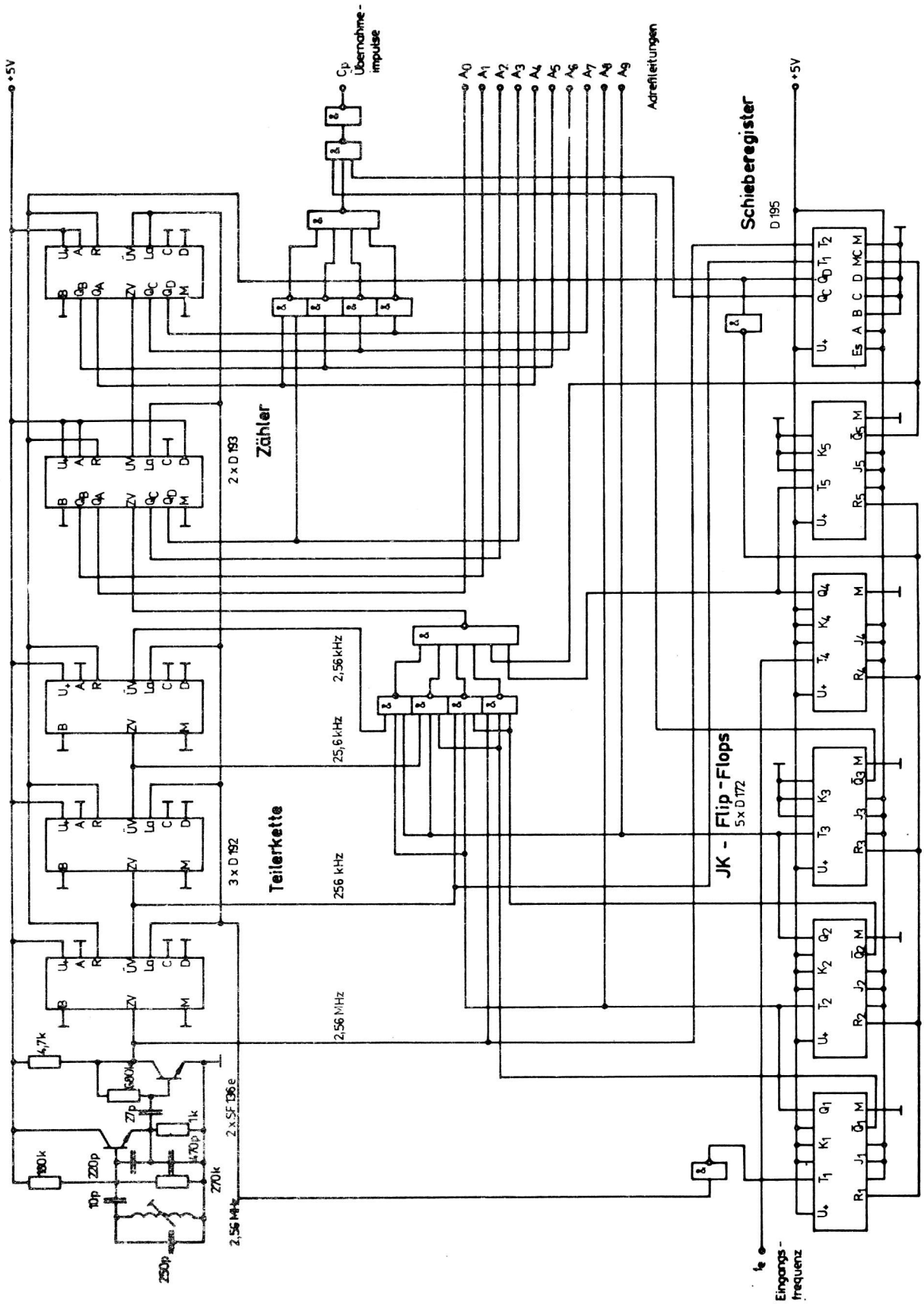


Bild 1: Meßablaufsteuerung

Um auch falsche Meßwertübernahmen bei Frequenzen oberhalb von 100 kHz zu verhindern, erfolgt die Meßwertübernahme nur bei Zählerständen größer als 24. Während des Meßvorganges wird in das Schieberegister (D 195 D) die Bitfolge 1000 eingeschrieben. Nach Ablauf der Periodendauer wird in serielles Schieben umgeschaltet und diese Bitfolge mit 256 kHz durch das Register geschoben. Beim Stand 0010 wird durch den Übernahmeimpuls das Meßergebnis logarithmisch bewertet in die Speicher-Flip-Flops (U 4013 D) übernommen und beim Stand 0001 die gesamte Steuerlogik zurückgesetzt, so daß ein neuer Meßvorgang beginnen kann. Die Zeit zwischen Beendigung des Meßvorganges und erneuter Bereitschaft beträgt 16 μ s. Damit wird bei Frequenzen unterhalb von 64 kHz jede zweite Periode gemessen.

3. Logarithmierung des Meßwertes

Die Meßwertaufbereitung sorgt bereits dafür, daß mit den Ausgängen A_8 und A_9 der ersten beiden JK-Flip-Flops die Umschaltung der vier Dekaden erfolgt. Bei den Meßwerten innerhalb jeder Dekade wird durch die Periodendauermessung jeder Frequenz ein digitaler Zahlenwert zwischen 25 und 255 zugeordnet. Dieser Zahlenwert steht binärkodiert an den Ausgängen $A_0 \dots A_7$ bereit und ist der Meßfrequenz umgekehrt proportional. Die Umwandlung in ein logarithmisches Verhältnis übernimmt ein frei programmierbarer Festwertspeicher. Bei den Schaltkreisen U 551 D bzw. U 552 D stehen acht Eingänge als Adreßleitungen zur Verfügung. Mit jeder Adresse wird ein 8 Bit breites Datenwort ausgegeben. Werden nun die Zählerstände als Adressen interpretiert, so kann dieser Schaltkreis den Adressen $A_0 \dots A_7$ jeden beliebigen Wert zwischen 0 und 255 zuordnen. Im vorliegenden Fall wurde aus der Periodendauermessung, die gleichzeitig die Adresse bildet, die Frequenz und davon der Logarithmus ermittelt. Anschließend erfolgte eine Normierung auf die 255 zur Verfügung stehenden Werte. Diese wiederum wurden in Hexadezimalzahlen gewandelt und zu den jeweiligen Adressen im U 551 D gespeichert. Die Zuordnung vom Ergebnis der Periodendauermessung zur Frequenz, deren Logarithmus und der Normierung ist auszugsweise in der folgenden Tabelle zusammengestellt.

Tabelle 1:

Zählerstand = Adresse $A_0 \dots A_7$	Frequenz	Logarithmus der Frequenz	normierter Ausgabewert	Hexadezimal- Ausgabe
0	-	-	255	FF
25	10,24	1,01	255	FF
40	6,4	0,806	206	CE
50	5,12	0,709	181	B5
80	3,2	0,505	129	81
100	2,56	0,408	104	68
150	1,707	0,232	59	3B
200	1,28	0,107	27	1B
250	1,024	0,01	3	03
255	1,004	0,002	0	00

Der logarithmierte und normierte Ausgabewert wird einschließlich der Dekadenwahl (A_8 und A_9) bis zur Bereitstellung des nächsten gültigen Ausgabewertes in 10 D-Flip-Flops (U 4013 D) zwischengespeichert.

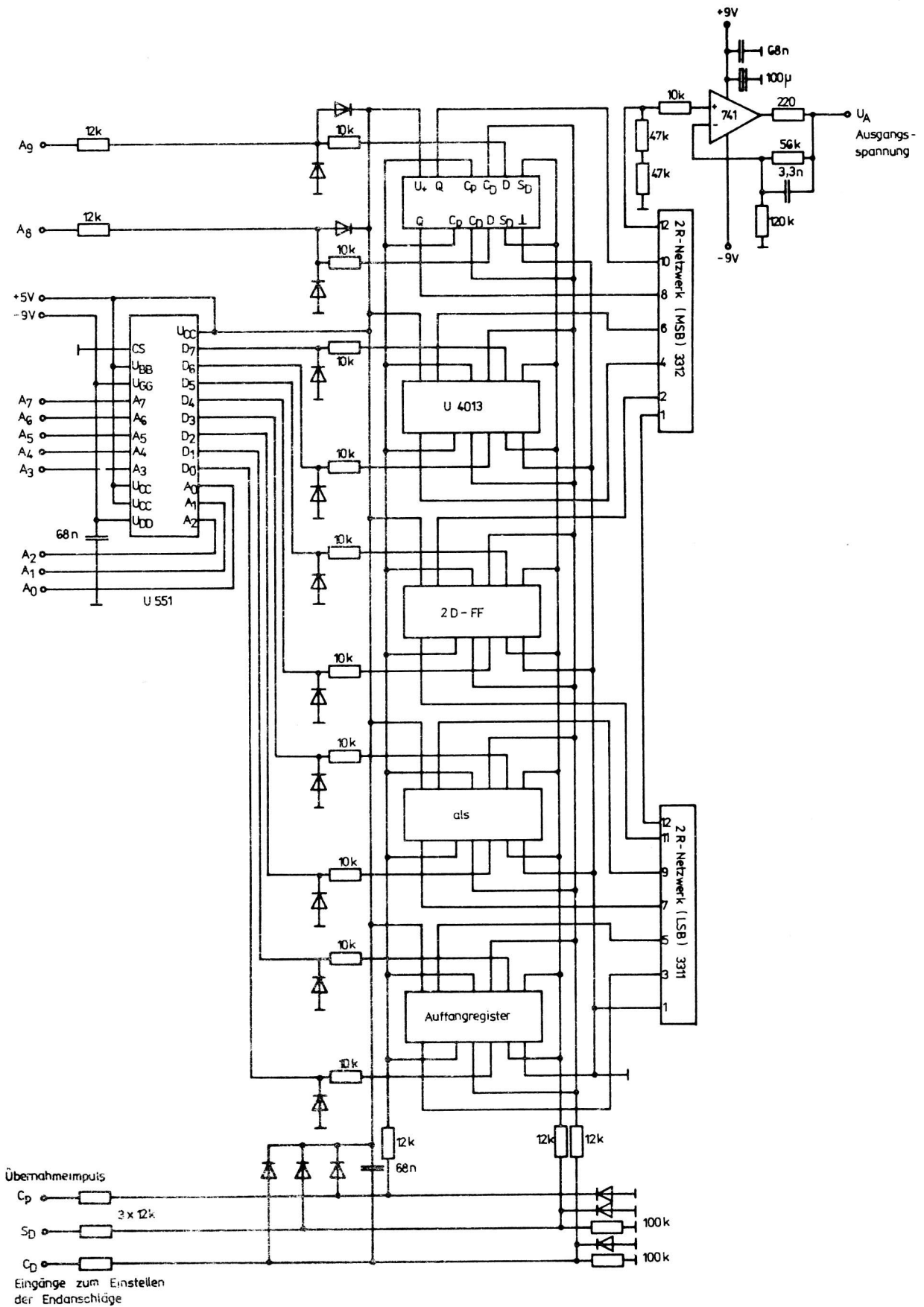


Bild 2: Logarithmierung, Zwischenspeicherung und D/A-Wandlung

4. D/A-Wandlung

Das Meßergebnis der Frequenzmessung und der Logarithmierung liegt in Form eines 10 Bit breiten Wortes vor. Da der X/Y-Schreiber einen analogen Spannungswert benötigt, muß ein 10-Bit-D/A-Wandler den Zwischenspeichern nachgeschaltet werden. Verwendet wurde hierfür ein integriertes 2R-Netzwerk. Der Abschluß des Netzwerkes erfolgt extern über den 2R-Widerstand von $2 \times 47 \text{ k}\Omega$. Dieses Netzwerk ist bei einer Betriebsspannung von +5 V an die Ausgänge der CMOS Speicherbausteine U 4013 D angepaßt. Da die Ausgangsspannung des Netzwerkes maximal $\frac{1}{2} U_B$ betragen kann, erfolgt gleichzeitig mit dem Operationsverstärker MAA 741 eine Spannungsverstärkung von etwa 6 dB. Mit der realisierten Gegenkopplung werden Störspannungspitzen (durch die digitale Steuerlogik) unterdrückt. Am niederohmigen Ausgang des Operationsverstärkers kann direkt der X/Y-Schreiber angeschlossen werden.

Die gesamte Frequenzmessung und die Meßablaufsteuerung ist in Bild 1 zusammengestellt, während Bild 2 den Teil der Logarithmierung und der D/A-Wandlung darstellt. Auf die Stromversorgung soll nicht näher eingegangen werden. Die TTL-Bausteine benötigen eine stabilisierte Spannung von +5 V, der Speicherschaltkreis U 552 D zusätzlich eine Spannung von -9 V, so daß der Operationsverstärker sinnvollerweise mit $\pm 9 \text{ V}$ betrieben wurde. Auf der Steuerlogikplatte wurden bei den Schaltkreisen zusätzliche Stützkondensatoren vorgesehen.

Dr.-Ing. Wilfried Burkhardt

VEB Zentrum Wissenschaft und Technik
Betrieb des VEB Kombinat Rundfunk und Fernsehen

Rauschverminderungssystem mit B 4761

1. Einleitung

In der Tonbandtechnik ist es gegenwärtig üblich, Rauschverminderungssysteme (RVS) zu verwenden, um einen besseren Geräuschspannungsabstand zu erzielen. International wurden dazu viele Systeme propagiert, wie z. B. High-Com., Adres, dbx und Super D. Allgemein hat sich jedoch bis jetzt für Konsumgüter nur das Dolby-B-Verfahren durchsetzen können.

Die RVS kann man in zwei unterschiedliche Gruppen einteilen. Einmal in solche, die breitbandig arbeiten, also bei leisen wie bei lauten Signalen gleichen und konstanten Aufzeichnungsfrequenzgang aufweisen und nur den Signalpegel insgesamt verändern. Dazu zählen High-Com. und dbx. Die zweite Gruppe verwendet variable Filterschaltungen, deren Grenzfrequenzen in Abhängigkeit vom Signal verschoben werden. So werden z. B. beim Dolby-B-Verfahren hohe Frequenzen bei Aufzeichnung um 10 dB mehr verstärkt als tiefe, wobei der Einsatzpunkt (Grenzfrequenz) der Anhebung in Abhängigkeit vom anliegenden Signal gesteuert wird. Ein derartiges RVS wird oft als "slidingband-Compander" bezeichnet. Beide Varianten besitzen Vor- und Nachteile. So z. B. muß beim Breitbandkompaner erheblicher Aufwand getrieben werden, um hörbare Rauschmodulation zu vermeiden, während beim slidingband-Compander der ohnehin meist problematische Frequenzgang weiter verschlechtert wird.

Von großer Wichtigkeit für den Austausch von Kassetten zwischen unterschiedlichen Geräten ist eine gewisse Normung, um die im aufgezeichneten Signal verschlüsselte Kompression auch auf anderen Geräten richtig auszuwerten und das Signal bei Wiedergabe entsprechend zu expandieren. Leider sind derartige Standards aus kommerziellen Gründen meist werkintern und kaum der Öffentlichkeit zugänglich.

2. RVS nach dem Dolby-B[®]-System

2.1. Prinzip der Rauschminderung

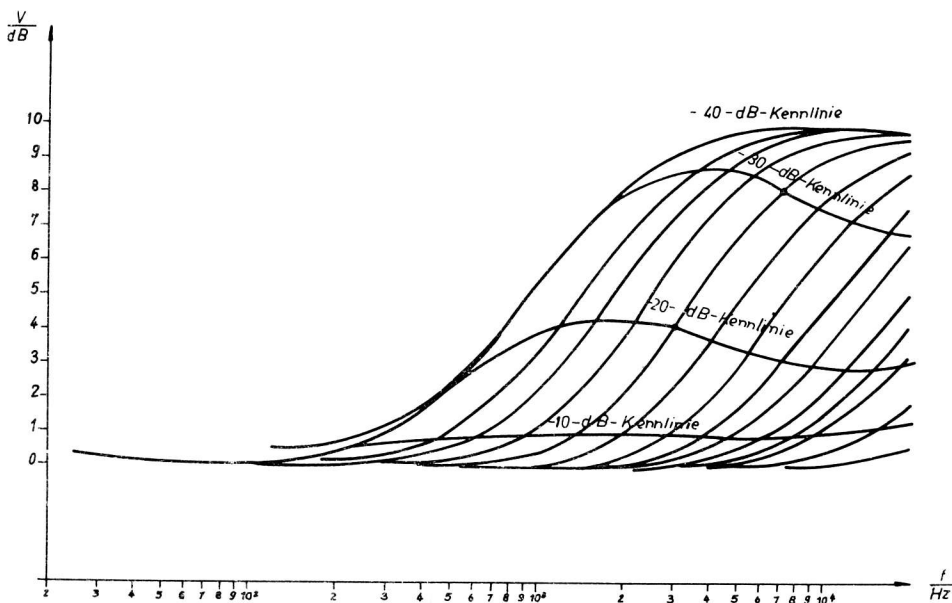


Bild 1: RVS-Kennlinienfeld

In Bild 1 ist das Kompressionskennlinienfeld eines RVS nach dem Dolby-B-Verfahren dargestellt. Für tiefe Frequenzen beträgt die Verstärkung 0 dB und für hohe maximal 10 dB. Die Filterkennlinie kann je nach Eingangssignal parallel verschoben werden, so daß z. B. eine Verstärkung von +3 dB sowohl für 600 Hz als auch 20 kHz eingestellt werden kann, wie auch für alle dazwischenliegenden Frequenzen. Außerdem sind in Bild 1 die zugehörigen Regelkennlinien eingezeichnet. Demnach stellt sich bei einem Eingangssignal von -20 dB und einer Frequenz von 3 kHz die Kennlinie mit 3 dB-Anhebung bei 2,4 kHz ein. Die gleiche Anhebung würde sich für ein Eingangssignal mit -30 dB und einer Frequenz von 7 kHz sowie für -10 dB und 1,4 kHz einstellen.

Für alle Eingangssignale ≤ -40 dB gilt stets die Kennlinie mit kleinster Grenzfrequenz. Dadurch wird gewährleistet, daß bei Wiedergabe ein genügend großer Rausch-Abstand zur Auswertung und Einstellung der Expanderkennlinie möglich ist, bevor die Regelung einsetzt. Es muß ja unbedingt verhindert werden, daß durch Bandrauschen die Entschlüsselung des aufgezeichneten Signals verfälscht wird.

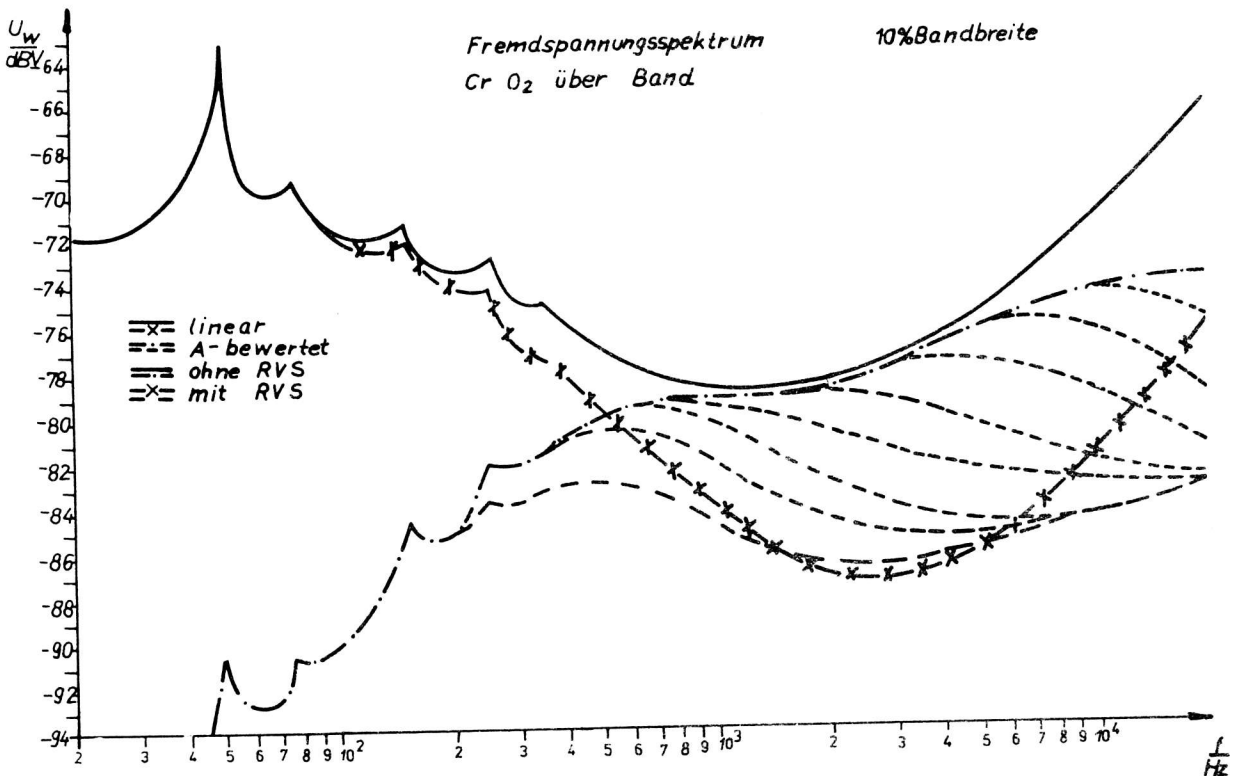


Bild 2: Spektrale Verteilung von Störgeräuschen mit und ohne RVS

Wie gut dieses RVS den praktischen Erfordernissen angepaßt ist, erkennt man aus Bild 2. Dort ist die spektrale Verteilung des Wiedergaberausens (U_w) dargestellt. Abgesehen von den singulären Störungen von 50 Hz und entsprechender Oberwellen, durchläuft die Verteilung ein Minimum bei ca. 2 kHz. Die über das menschliche Gehör wahrgenommenen Störungen sind jedoch stark frequenzabhängig, so daß zur meßtechnischen Erfassung dieser Tatsache noch eine Frequenzbewertung vorgenommen werden muß. Für Konsumgüter verwendet man dazu die standardisierte A-Kurve. Die bewertete spektrale Verteilung ist ebenfalls in Bild 2 eingezeichnet. Man erkennt, daß die größte subjektive Störung bei hohen Frequenzen auftritt und somit ein RVS vor allem in diesem Frequenzbereich wirken sollte. Das Dolby-B-System berücksichtigt diese Tatsache, so daß optimale Rauschverminderung erzielt wird. Die Verbesserung durch Einsatz eines Dolby-B-RVS ist in Bild 2 deutlich zu erkennen.

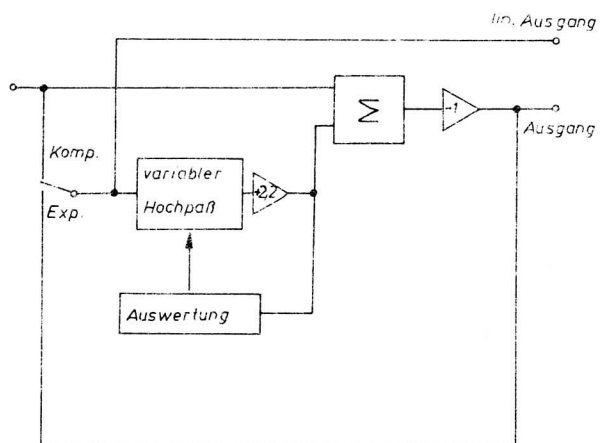


Bild 3: Prinzipieller Aufbau der RVS-Schaltung

Der Ausgang, der am Eingang des variablen Hochpaß angreift, kann vorteilhaft als Anschluß für einen Kopfhörerverstärker, Aussteuerungsanzeige und ähnliches genutzt werden, da er bei Kompression das unbeeinflusste Signal, bei Expansion jedoch das expandierte Signal, also in beiden Fällen theoretisch frequenzlineare Signale führt.

2.2. Schaltungsbeschreibung

Das komplette Schaltbild für ein RVS ähnlich dem Dolby-B-Prinzip zeigt Bild 4. Die Schaltung verwendet den 4fach-Operationsverstärker B 4761 D ($V\ 1/1 \dots V\ 1/4$), wodurch eine hohe Ansteuerbarkeit der Anordnung gewährleistet wird, um auch Metallkassetten mit Aussteuerungsreserven verarbeiten zu können.

Der erste Operationsverstärker $V\ 1/1$ wird als Eingangsverstärker verwendet. Er kann sowohl als invertierender Verstärker (Eingang +E) als auch als nichtinvertierender Verstärker betrieben werden. Die Umschaltung erfolgt durch S_1 . Durch Änderung der Widerstände R_1, R_2, R_7, R_8, R_9 kann die Verstärkung in weiten Grenzen den Gegebenheiten angepaßt werden. Mit der vorliegenden Dimensionierung ergibt sich für den Eingang +E 10,6 dB für -E 4 dB Verstärkung. Der Eingangsverstärker sollte so beschaltet werden, daß 600 mV am Ausgang einem Kurzschlußfluß von 200 nWb/m auf dem Magnetband entsprechen und die Verstärkung bei Verwendung des Einganges +E nicht kleiner als 10 dB wird.

Das Ausgangssignal wird über das T-Glied R_{19}, R_{21}, R_{23} dem Summationsverstärker $V\ 1/2$ zugeführt. Die Verstärker $V\ 1/1$ und $V\ 1/2$ bilden den Hauptkanal der Schaltung. Über R_{20}, R_{24}, R_{25} wird im Summationsverstärker das Signal des Nebenkanals addiert, so daß am Ausgang A die invertierte Summe anliegt.

Mit den als NF-Schalter arbeitenden Feldeffekttransistoren V_2 und V_3 kann entweder das Ausgangssignal des Summationsverstärkers $V\ 1/2$ oder der Eingangsverstärker $V\ 1/1$ dem variablen Filter zugeführt und somit die Umschaltung zwischen Expansion und Kompression realisiert werden. Die Umschaltung erfolgt durch komplementäre Steuersignale S_1, S_2 . Für $S_1 = -10\text{ V}$ und $S_2 = +10\text{ V}$ erfolgt Kompression; für Expansion müssen die Spannungen an S_1 und S_2 vertauscht werden. Werden die Eingänge S_1, S_2 offen gelassen, so ist über R_{14} und R_{33} Expansion fest eingestellt.

Den variablen Hochpaß bilden die Bauelemente C_3, C_4, C_5 sowie R_6, R_{10} und der Feldeffekttransistor $V\ 4/1$, der als steuerbarer Widerstand arbeitet. C_3, C_4 bilden gleichzeitig einen kapazitiven Spannungsteiler, um Verzerrungen durch zu hohe NF-Spannung am Feldeffekttransistor zu vermeiden. C_6 verhindert, daß der Offsetstrom des Operationsverstärkers durch den Feldeffekttransistor fließt. Auf Grund des veränderlichen Transistorwiderstandes würde dadurch eine Modulation der Ausgangsgleich-

In den Bildern 3 und 4 ist der prinzipielle Aufbau eines Dolby-B-RVS dargestellt. Mit

$F(p, U)$ als Hochpaßfunktion,
 U_E als Eingangsspannung,
 U_A als Ausgangsspannung

erhält man bei Kompression die Ausgangsspannung zu

$$U_A = -(U_E + U_E \cdot F(p, U)) = -U_E (1 + F(p, U))$$

und die Expansion ergibt mit

$$-U_A = U_E + U_A \cdot F(p, U)$$

$$U_A = -\frac{U_E}{1 + F(p, U)}$$

genau die komplementäre Charakteristik.

Zur Umschaltung zwischen Kompression und Expansion wird lediglich ein Umschalter benötigt. Das RVS kann einfach durch Abtrennen des Nebenkanals mit dem variablen Hochpaß abgeschaltet werden, dann wirkt nur noch der Hauptkanal als linearer Verstärker.

Diode V 8/1 vom Ausgangsgleichstrom des Operationsverstärkers V 1/4 durchflossen wird und somit für eine konstante Vorspannung für die Gleichrichterdiode V 8/2 sorgt. Dadurch können auch kleinsignal Wechsellspannungen gleichgerichtet werden. Die Diode V 8/2 bewirkt in Verbindung mit R22, C10 eine Quasispitzenwertgleichrichtung. Die Entladung von C10 erfolgt über R22, R39.

Der Feldeffekttransistor V 4/1 als variabler Widerstand im Hochpaß benötigt eine stabile Gatevorspannung, die den erforderlichen Arbeitspunkt einstellt. Aus diesem Grunde wird ein Doppeltransistor für V 4 eingesetzt, wobei V 4/2 zur Erzeugung der Vorspannung dient. Dazu wird über R26 ein geringer Drainstrom eingespeist, so daß sich wegen $U_{GD} = 0 \text{ V}$ als Drain-Source-Spannung nahezu die Schwellspannung einregelt. Mit der einstellbaren Teilerkette R27, R31, R35 kann die Source-Spannung geringfügig verändert werden. Die Drain-Spannung wird über den Operationsverstärker V 1/4, der für diese Gleichspannung die Verstärkung +1 aufweist, sowie R39, R22, R17 dem Stelltransistor V 4/1 zugeführt. Durch diese Schaltungstechnik wird eine weitgehende Temperaturkompensation erreicht, sowie exemplarbedingte Streuungen der Schwellspannung ausgeregelt, so daß mit R27 nur noch geringfügige Toleranzen ausgeglichen werden müssen.

Der Operationsverstärker V 1/4 regelt sich so ein, daß die Gleichspannung an der Anode von V 8/1 genau der am nichtinvertierenden Eingang anliegenden Vorspannung entspricht. Der Gleichspannung überlagert ist die verstärkte Wechsellspannung. Da das RC-Glied R39, R22, C10 als Tiefpaß wirkt, kann die Wechsellspannung keine direkte Wirkung auf die Steuerung von V 4/1 besitzen, sondern nur über die Gleichrichterdiode V 8/2. Andererseits erfolgt die Entladung von C10 über R22, R39 auf das gleiche Potential. Auch hierbei stört die überlagerte Wechsellspannung nicht, da der Mittelwert der Wechsellspannung Null ist.

R17, C7 bilden eine zweite Zeitkonstante für die Regelspannung des variablen Hochpasses. Diese bewirkt, daß bei kleinen Pegel- oder Frequenzänderungen sich die Filterkennlinie nur relativ langsam verschiebt, für große positive Pegel- bzw. Frequenzsprünge ist jedoch das Zeitglied mit V 6 überbrückt, so daß ein schnelles Einregeln möglich ist. Durch diese Maßnahme wird einerseits eine Anpassung des RVS an die Physiologie des Gehörs (Nachwirkzeit) erreicht, andererseits eine hörbare Dynamikverfälschung des komprimierten Signals vermieden, so daß es durchaus möglich ist, auf eine exakte Expandierung zu verzichten, ohne daß dadurch vordergründig ein Fehler bemerkt wird.

Die Abschaltung des RVS erfolgt durch Anlegen einer Spannung von 0 V an den Steuereingang D. Dadurch wird der Arbeitspunkt des Feldeffekttransistors V 4/1 im variablen Hochpaß so verschoben, daß der Hochpaß, wie sonst nur bei Signalen mit hohen Pegeln und Frequenzen, keinen Anteil zum Ausgangssignal liefert.

Die Einstellung der Schaltungsanordnung sollte bei Expansion erfolgen, da diese Betriebsart empfindlicher hinsichtlich Parameterstreuungen ist. Dazu wird zunächst ein Band mit Dolby-Pegelton (400 Hz, 200 nwb/m) wiedergegeben und die Wiedergabeverstärkung so eingestellt, daß am linearen Ausgang A_{lin} 600 mV stehen.

Der Einsteller R27 wird so geregelt, daß sich bei Wiedergabe eines Bandes mit einer Frequenz von 2,0 kHz und einem Pegel von -15,4 dB bezogen auf den Dolby-Pegel nach der Expansion genau eine Spannung von -20 dB ergibt.

Literatur:

- / 1/ Rainer Jobst, Lüder Gleichmann: Der Einsatz des Dolby-B-Stretchers im Bandhallgerät. radio fernsehen elektronik, Berlin 23 (1974) 7, S. 215-224
- / 2/ Rainer Jobst, Lüder Gleichmann: Prinzip und Wirkungsweise des Dolby-B-Stretchers. radio fernsehen elektronik, Berlin 22 (1973) 18, S. 606-608
- / 3/ Hans D. Manns: Das Dolby-B-Verfahren. radio fernsehen elektronik, Berlin 22 (1973) 13, S. 413-415
- / 4/ H. Friedel: Der Dloby-Stretcher im Kassettengerät. Radio Elektronikschau, Wien 47 (1971) 10, S. 584-587
- / 5/ Funktechnische Arbeitsblätter: Rauschunterdrückung bei Tonübertragung. Funkschau, Franzis-Verlag GmbH 50 (1978) 4, S. 145-146
- / 6/ Dr. A. Glaab: Beschreibung der kombinierten "Dolby-" und DNL-Schaltung des Cassetten-Recorders CN 730 HiFi. das elektron, Linz (1974) 14/16, S. 263-266
- / 7/ Ing. Günter Petersdorff: Der Dolby-Stretcher für Tonaufnahme und -wiedergabe. Funkschau, Franzis-Verlag GmbH 50 (1978) 19, S. 659-661
- / 8/ BASF-Test-Tape with Dolby-B-Equalisation: Beschreibung zum Dolby-B-Bezugsband.
- / 9/ Dolby-B-Noise Processor NE 545. Signetics 5/77 Datenbuch
- /10/ MMKROCXEMA K 174 XA 3. Technische Bedingungen O.348. 338 TY
- /11/ Dolby, Ray Milton: Verfahren und Schaltungsanordnung zur Audiostörgeräuschminderung. Auslegeschrift DT 1954 328



vob applikationszentrum elektronik berlin
im vob kombinat mikroelektronik

DDR- 1035 Berlin, Mainzer Straße 25

Telefon: 5 80 05 21, Telex: 011 2981; 011 3055
