

mikroelektronik

elektronik-bauelemente



APPLIKATIVE INFORMATION

IWT

04/88

APPLIKATIVE INFORMATION

– für Anwender der Mikroelektronik –

h i n w e i s e

1. Alle Beiträge in den Heften der "Applikativen Information" dienen der Anregung bei Schaltungs- und Geräteentwicklungen bzw. beim Finden von Rationalisierungslösungen und vor allem dem Erfahrungsaustausch. Es können keine Verbindlichkeiten des VEB Applikationszentrum Elektronik Berlin zur Bereitstellung der in den Beiträgen vorgestellten elektronischen Bauelemente abgeleitet werden.

Grundlage dafür sind die Listen für elektronische Bauelemente und Bausteine, die über die Bauelemente-Verantwortlichen der Betriebe beim VEB Applikationszentrum Elektronik Berlin angefordert werden können.

2. Reproduktionen in irgendeiner Form durch Druck, Kopienherstellung, Microfiche u. a. sind nur nach vorheriger schriftlicher Zustimmung des Herausgebers gestattet. Auszüge, Referate und Besprechungen müssen die volle Quellenangabe enthalten.



inhalt ai

04/88

Anwenderspezifische integrierte Schaltkreise, Teil 2

	Seite
Anwenderspezifische integrierte Schaltkreise - eine Hauptlinie der Höchstintegration	3
Anwenderinformation Standardzellensystem U 1500/U 1520	11
Anwenderinformation Gate-Array-System U 5200	47
Anwendungshinweise zum Einsatz von JK-Master-Slave-Flipflops im Gate-Array-System U 5200	68





APPLIKATIVE INFORMATION

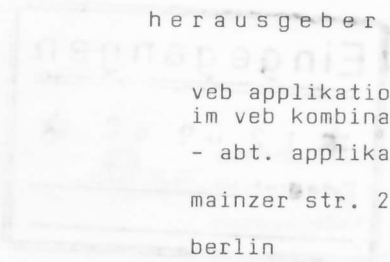
8840

18 18 d

hinweise

herausgeber

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik
- abt. applikative information mikroelektronik -
mainzer str. 25
berlin
1035



Dr. sc. techn. Peter Winkler
Fachdirektor Erzeugnisentwicklung

VEB Forschungszentrum Mikroelektronik Dresden
im Kombinat VEB Carl Zeiss JENA

Anwenderspezifische integrierte Schaltkreise - eine Hauptlinie der Höchstintegration

1. Einleitung

Die Erhöhung des Integrationsgrades integrierter Schaltkreise von niedrig integrierten Schaltkreisen der 60er Jahre bis zu höchstintegrierten Schaltkreisen der 80er Jahre wurde maßgeblich durch Standardschaltkreise bestimmt. Standardschaltkreise werden auf Grund ihres multivalenten Einsatzes in großen Stückzahlen produziert und bieten wegen ihres Massenproduktionscharakters die günstigsten Voraussetzungen für minimale Herstellungskosten. Speicherschaltkreise und eine Reihe von universellen Mikroprozessoren erfüllen diese Anforderungen in nahezu idealer Weise. Die seit den 60er Jahren erreichte kontinuierliche Verringerung des Faktors Kosten/Funktionselement bei wachsendem Integrationsgrad wird deshalb maßgeblich durch Standardschaltkreise getragen. Die Verringerung des Faktors Kosten/Funktionselement wurde dabei trotz der mit wachsendem Integrationsgrad überproportional steigenden F/E-Kosten für die Erzeugnis- und Technologieentwicklung insbesondere für die Erzielung optimaler funktioneller Eigenschaften bei minimaler Chipgröße erreicht.

Die Konzentration der Anwendung von Technologien für höchstintegrierte Schaltkreise auf Standardschaltkreise begrenzt allerdings die Anwendungsbreite enorm, da sich für sehr viele Anwendungen optimale Systemeigenschaften nicht mit höchstintegrierten Standardschaltkreisen erzielen lassen und die Entwicklung von auf diese Anwendung zugeschnittenen Schaltkreisen mit der gleichen Methodik wie für Standardschaltkreise aus Aufwands- und Kostengründen nur dann möglich ist, wenn große Stückzahlen benötigt werden.

Als Grundvoraussetzung für eine breite Anwendung von Technologien der Höchstintegration war deshalb eine neue Entwicklungsmethodik für höchstintegrierte Schaltkreise notwendig, die eine ökonomische Herstellung für geringe Stückzahlen ermöglicht und nur einen geringen F/E-Aufwand beim

ai 9(1988) H. 4

Bauelementehersteller erfordert. Diese neue Entwicklungsmethodik wurde in Form von Gate-Arrays gefunden und Ende der 70er Jahre erstmalig in Großrechnern erfolgreich erprobt /1/, /2/.

Innerhalb weniger Jahre hat sich daraus eine breite Erzeugnislinie entwickelt, für die sich der Sammelbegriff "Anwenderspezifische integrierte Schaltkreise" (ASIC = application specific integrated circuits) durchgesetzt hat.

2. Anwenderspezifische integrierte Schaltkreise

Anwenderspezifische integrierte Schaltkreise repräsentieren im Vergleich zu Standardschaltkreisen eine völlig neue qualitative Stufe der Applikation.

Bei Standardschaltkreisen wie Mikroprozessoren erhält der Anwender einen Schaltkreis mit vorgegebenen, definierten Eigenschaften. Die Applikation dieser Schaltkreise hat deshalb den Charakter der Ausnutzung dieser vorgegebenen Eigenschaften. Demgegenüber ist bei einem anwenderspezifischen integrierten Schaltkreis der Anwender maßgeblich an der Entwicklung des Schaltkreises beteiligt und der Schaltkreis muß deshalb bereits während des Herstellungsprozesses angepaßt für den jeweiligen Anwendungsfall produziert werden.

Die Applikation erhält für den Geräteentwickler eine neue Dimension; anstelle der Applikation von Schaltkreisen tritt die Applikation von Technologien. Damit erhält der Anwender die Möglichkeit, selbständig "Geräteentwicklungen in Silizium" durchzuführen.

In Abhängigkeit von

- den technischen Anforderungen (Komplexität, Kenndaten)
- den benötigten Stückzahlen
- dem erforderlichen Zeitpunkt bis zur Bereitstellung funktionsfähiger Muster

können die Anwender auf unterschiedliche Klassen anwenderspezifischer integrierter Schaltkreise zurückgreifen (Bild 1).

Anwenderspezifische integrierte Schaltkreise haben nunmehr eine solche Leistungsfähigkeit erreicht, daß es in großer Breite möglich wird, von der Integration von Funktionen zur Integration von Systemen überzugehen. Die Mikroelektronik der 90er Jahre wird deshalb qualitativ und quantitativ vorrangig durch die Systemintegration in Verbindung mit dem massenhaften Einsatz von höchstintegrierten Schaltkreisen mit Nichtstandardcharakter bestimmt.

1	Programmierbare Logikschaltkreise (PLD)
2	Gate-Arrays
3	Standardzellen-Schaltkreise
4	Kundenspezifische Schaltkreise

Bild 1: Klassifizierung anwenderspezifischer integrierter Schaltkreise

Die Gründe für diese Entwicklung sind vielschichtig:

1. Die technologischen Voraussetzungen für die Systemintegration sind mit der Verfügbarkeit von leistungsfähigen CMOS-Technologien gegeben. Da CMOS-Technologien die bestimmenden Technologien für den absehbaren Prognosezeitraum für die Höchstintegration darstellen, partizipieren anwenderspezifische integrierte Schaltkreise von den in Verbindung mit Halbleiterspeichern erreichten Fortschritten in der Technologieentwicklung. Mit Verringerung der minimalen Strukturabmessungen verbessern sich die dynamischen Kennwerte von CMOS-Schaltungen (Bild 2) und gleichen sich den mit bipolarer Schaltungstechnik erzielten Werten an. Damit wird unter Beibehaltung der Hauptvorteile der CMOS-Technik, maximaler Integrationsgrad bei minimaler Verlustleistung und gutes Geschwindigkeits-Verlustleistungs-Produkt, für CMOS-Technologien der Anwendungsbereich von Hochgeschwindigkeitsanwendungen erschlossen.

Der Anteil von anwenderspezifischen integrierten Schaltkreisen in CMOS-Technologien wächst international deshalb ständig (Bild 3).

Zusätzliche Anwendungsmöglichkeiten auf den Gebieten

- Hochgeschwindigkeitsanwendungen
- analog/digitale Systemintegration

werden durch die Kombination bipolarer Transistoren mit CMOS-Schaltungen (BICMOS-Technologien) erschlossen /4/.

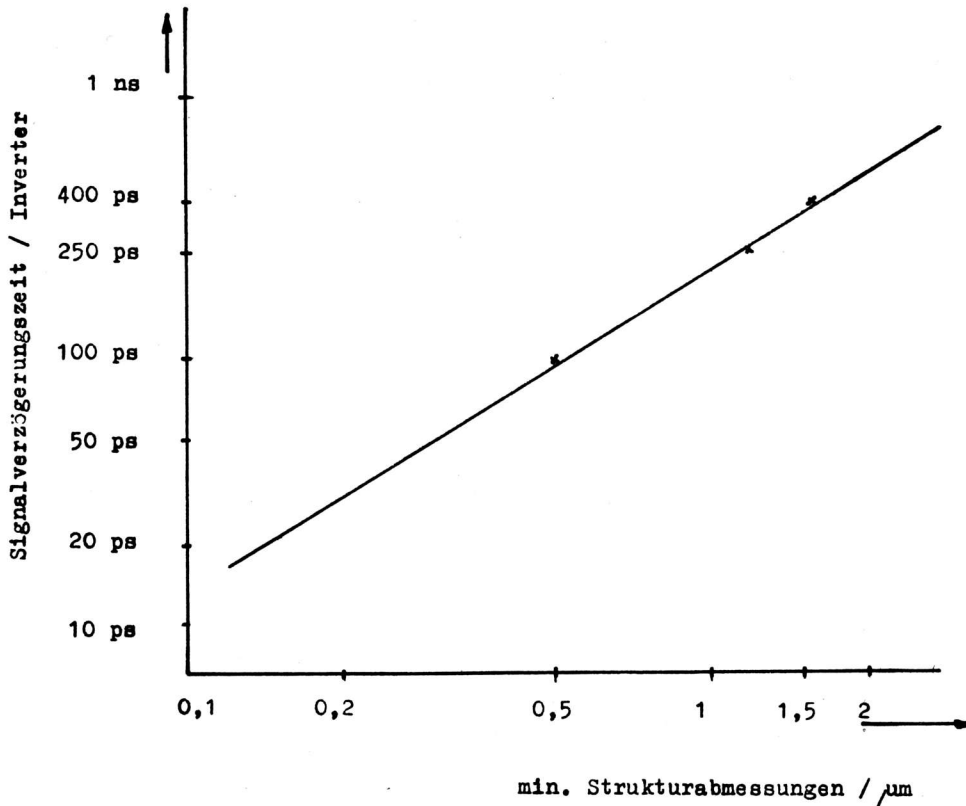


Bild 2: Abhängigkeit der Signalverzögerungszeit von den minimalen Strukturabmessungen

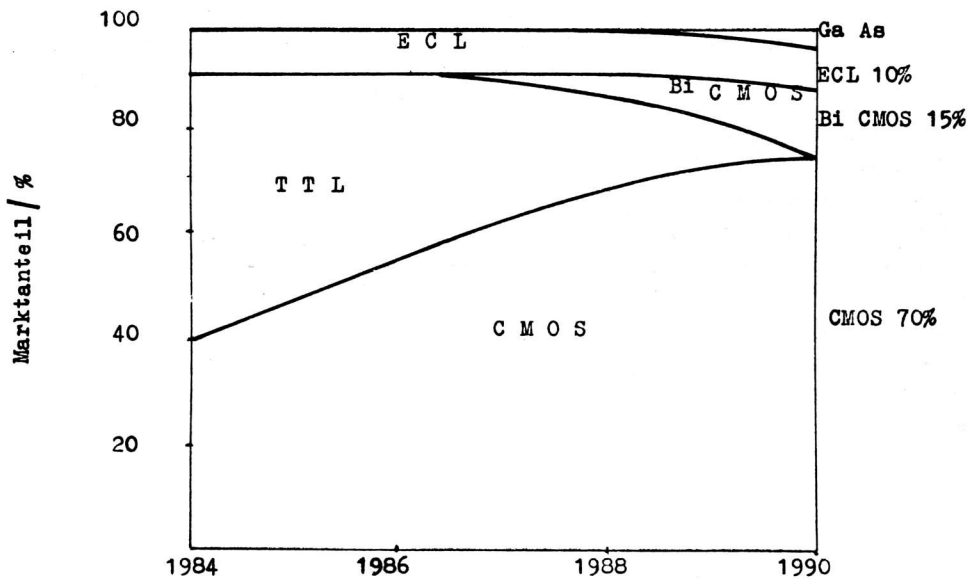


Bild 3: Marktanteile für Technologien anwenderspezifischer integrierter Schaltkreise (internat. Stand) /3/

2. Die hohe Beherrschung und die gute Produzierbarkeit von CMOS-Technologien ermöglicht bereits heute die Herstellung von anwenderspezifischen CMOS-Schaltkreisen mit Chipflächen $>100 \text{ mm}^2$. Damit wird die Minimierung der Chipfläche nicht mehr eine unumgängliche Voraussetzung für die ökonomische Herstellung anwenderspezifischer integrierter Schaltkreise.

3. In viel stärkerem Maße - als durch die Erhöhung der Geschwindigkeit auf Gatterebene - wird die Geschwindigkeit auf Systemebene durch innovative Lösungen auf Ebene des Systementwurfs bestimmt.

4. Die Einbeziehung der Geräteentwickler in die Schaltkreisentwicklung bei anwenderspezifischen Schaltkreisen hat sich bewährt. Es liegen positive Erfahrungen in der ökonomischen Produktion von Schaltkreisen mit geringen Stückzahlen und bei der Erreichung kurzer Entwicklungszeiten vor.

Minimale Entwurfs- und Präparationszeiten und Ökonomie für geringe Stückzahlen sind wichtige Randbedingungen für anwenderspezifische integrierte Schaltkreise und bleiben auch zukünftig Grundvoraussetzungen für die Systemintegration.

5. Es wurden markante Fortschritte der Rechnerunterstützung und Entwurfsautomatisierung für die Entwicklung anwenderspezifischer integrierter Schaltkreise erreicht.

6. Die Aufwendungen für die Entwicklung von Standardschaltkreisen (Speicher, Mikroprozessoren) wachsen ständig und führen dazu, daß diese Erzeugnislinien sich in wachsendem Maße im NSW auf wenige Firmen konzentrieren. Dieser Konzentrationsprozeß verstärkt die Orientierung vieler Firmen auf anwenderspezifische integrierte Schaltkreise und zwingt gleichzeitig zu einem hohen Entwicklungstempo.

Von den Marktforschungsinstituten Dataquest und ICE wird eingeschätzt, daß international auf anwenderspezifische integrierte Schaltkreise

- 1990 25 % des Umsatzes integrierter Schaltkreise
- bzw. 50 % des Umsatzes bei Logikschaltkreisen

entfallen.

1987 erwartet man, daß erstmalig mehr Logikgatter mit Gate-Arrays als in Form von Standard-Logikschaltkreisen produziert werden.

Die Zahl von ASIC-Entwicklungen/Jahr wird sich von 5 000 im Jahre 1985 auf 90 000 im Jahre 1990 entwickeln. Allein bei IBM wurden seit 1980 15 000 anwenderspezifische integrierte Schaltkreise entwickelt /5/.

3. Stand der Anwendung anwenderspezifischer integrierter Schaltkreise in der DDR

Im Kombinat VEB Carl Zeiss JENA wurde die grundsätzliche Bedeutung der Erzeugnislinie anwenderspezifischer integrierter Schaltkreise frühzeitig erkannt.

Die Grundorientierung bestand dabei darin, durchgängige Lösungen einzuführen, die sich durch eine hohe Anwendungsfreundlichkeit auszeichnen und auch für Erstanwender eine

hohe Sicherheit für fehlerfreie Erstentwürfe bieten. Damit sollte ein sicherer Einstieg für eine große Zahl von Anwendern aus der Geräteindustrie der DDR geschaffen werden, von dem aus anspruchsvollere Lösungen bearbeitet werden können.

Für diese erste Etappe anwenderspezifischer integrierter Schaltkreise wurde

- das Gate-Array-System U 5200
- das Standardzellenentwurfssystem U 1500

in Verbindung mit durchgängigen Programmsystemen für Entwurf und Testprogrammentwicklung geschaffen. Die Testprogrammgenerierung für das Gate-Array U 5200 erfolgt ebenfalls automatisch. Damit wurde erstmalig in der DDR ein Programmsystem für die automatische Testprogrammentwicklung verfügbar. Ein Vergleich mit international angebotenen Entwurfssystemen für anwenderspezifische integrierte Schaltkreise zeigt, daß sich die Integration der Testprogrammerzzeugung in die Entwurfssoftware noch nicht allgemein durchgesetzt hat und erst in den letzten zwei Jahren zunehmend angeboten wird.

Die Anwendung einer in der Produktion beherrschten CMOS-Technologie mit minimalen Strukturabmessungen von 4 μm (CSGT 2) war Grundlage für eine Produktion dieser Schaltkreise mit hoher Ausbeute.

Zum 30. 9. 1987, ein halbes Jahr nach Entwicklungsabschluß für das System U 1500 und ein Jahr nach Entwicklungsabschluß für das System U 5200, liegen Ergebnisse zum Entwurf von

38 Gate-Arrays des Systems U 5200 und
12 Standardzellen-Schaltkreisen des Systems U 1500

vor.

Ein großer Teil der Schaltkreise wurde bereits präpariert bzw. für die Produktion freigegeben.

Diese Zahlen dokumentieren, daß beide Systeme von den Anwendern der DDR akzeptiert werden. Im Vergleich zum internationalen Stand wird jedoch deutlich, daß die potentiellen Nutzungsmöglichkeiten und die Anwendungsbreite bei weitem nicht ausreichen und deshalb entschiedene Anstrengungen notwendig sind, die Anwendung zu verbreitern. Die in diesem Heft enthaltenen Fachartikel sollen dazu auch einen Beitrag leisten.

Im Kombinat VEB Carl Zeiss JENA wurden - durch den Aufbau einer auf die Produktion dieser beiden ASIC-Systeme zugeschnittenen Fertigungslinie im VEB Forschungszentrum Mikroelektronik Dresden - die Voraussetzungen für eine breite Anwendung beider Systeme und die Realisierung der erforderlichen kurzen Präparationszeiten geschaffen.

Durch Verkauf der Softwaresysteme an verschiedene Anwender-Entwurfszentren wurde weiter die materiell-technische Basis für den Entwurf in der DDR wesentlich verbreitert.

Mit der Entwicklung einer neuen CMOS-Basis-Technologie mit

- minimalen Strukturabmessungen von 1,5 μm und
- Zweilagennmetallisierung

deren Eignung für höchstintegrierte Speicherschaltkreise (256-Kbit-DRAM, 64-Kbit-SRAM, schneller 4-Kbit SRAM) und für anwenderspezifische Schaltkreise erfolgreich erprobt wurde, wurde die Voraussetzung für die nächste Generation anwenderspezifischer integrierter Schaltkreise geschaffen /6/.

Unter Nutzung dieser neuen CMOS-Basistechnologie werden im Kombinat VEB Carl Zeiss JENA

- ein neues Gate-Array-System U 5300 und
- ein neues Standardzellen-System U 1600

entwickelt.

Erste konzipierende Arbeiten für noch leistungsfähigere ASIC-Systeme für die Systemintegration wurden begonnen. Damit wird in Übereinstimmung mit der Hauptlinie der internationalen Entwicklung die Erzeugnislinie anwenderspezifischer höchstintegrierter CMOS-Schaltkreise als Hauptlinie der Höchstintegration ausgebaut. Die Konzentration auf die Anwendung von CMOS-Technologien, deren Leistungsfähigkeit in Verbindung mit der weiteren Verringerung der Strukturabmessungen und funktioneller Weiterentwicklungen ständig erhöht wird, eröffnet der Geräteindustrie vielfältige Möglichkeiten innovativer Lösungen der Integration komplexer Systeme in praktisch allen Bereichen der Volkswirtschaft der DDR.

Literatur

- /1/ Gustafson, R. N.: IBM 3081 processor kit: design considerations and design process
IBM J. Res. Development, New York 26(1982)1, S. 12
- /2/ Armstrong, R. A.: Applying CAD to gate arrays speeds 32-bit minicomputer design
Electronics, New York 54(1981)1, S. 167 - 173
- /3/ Ichinose, K. u. a.: ASIC Technology in Toshiba
Toshiba Review, Tokyo (1987)160, S. 31

- /4/ Taniguchi, K. u. a.: Competition of technologies - VLSI shifts in the application
Proceedings 12. Internationaler Kongreß Mikroelektronik
November 1986 München, S. 12
- /5/ Runyon, S.: The great ASIC wave gathers force
Electronics, New York 60(1987)16, S. 58 - 59
- /6/ Okonomische Strategie des XI. Parteitages wird erfolgreich entwickelt
Neues Deutschland. B-Ausg., Berlin 42(1987-03/04-10)
= 233, S. 1

Dipl.-Ing. Bernd Buerger
Dipl.-Ing. Klaus Kliemank

VEB Forschungszentrum Mikroelektronik Dresden
im Kombinat VEB Carl Zeiss JENA

Anwenderinformation

Standardzellensystem U 1500 / U 1520

0. Einleitung

Dieser Beitrag stellt ein weiteres Verfahren des VEB Forschungszentrum Mikroelektronik (ZMD) im Kombinat VEB Carl Zeiss Jena zur Entwicklung anwenderspezifischer digitaler Schaltkreise durch den Anwender selbst, das "Standardzellensystem U 1500/U 1520" der Anwenderindustrie detailliert vor. Dieses System ermöglicht, wie auch die beiden anderen vom VEB ZMD entwickelten und zur Nutzung angebotenen ASIC-Verfahren "Gate-Array-System U 5200" und "Einchipmikrorechner U 8047", die Entwicklung leistungsfähiger hochintegrierter CMOS-Schaltkreise in relativ kurzer Zeit, ohne dass der mit diesen Systemen arbeitende Entwicklungsingenieur spezielle Kenntnisse des Schaltkreisentwurfs sowie der Halbleitertechnologie haben müsste.

Die Ausführungen sind als ausführliche Kundenberatung zum "Standardzellensystem U 1500/U 1520" gedacht. Die Punkte 2, 4 und 5 sind für Interessenten gedacht, die tiefer eindringen wollen. Da der Anwender ohne Kenntnis des Entwurfssystems Vorarbeiten zu "seinem" Standardzellenschaltkreis erbringen kann, die einen sofortigen Einstieg sowie eine effektive Nutzung des Entwurfssystems ermöglichen - es seien hier der standardzellengerechte Entwurf des Logikplanes sowie dessen Vorbereitung für Simulation und NBS-Aufnahme, Erstellung von Eingangsfolgen für die Absichtssimulation, Früeffolgenerierung, Timingsätze für die Bestätigungssimulation genannt - sind die genannten Punkte dieser Problematik gewidmet.

Die Ausarbeitungen erfolgten unter dem Aspekt der in den Kundenberatungen häufig angesprochenen Fragen und Probleme, sofern eine Verallgemeinerung sinnvoll erschien.

Wir möchten abschliessend darauf hinweisen, dass natürlich auch die Möglichkeit einer individuellen Konsultation besteht. Für technische Beratungen steht Ihnen dazu unsere Abt. EAE (Telefon 588 369) und zu kommerziellen Fragen sowie der Vertragsgestaltung unsere Abt. V (Telefon 593 3319) zur Verfügung.

ai 8(1988) H. 4

1. Beschreibung des Standardzellensystems U 1500/U 1520

1.1. Systemgrundgedanke

Standardzellen-Verfahren arbeiten auf der Basis vorentwickelter und sorgfaeltig ausgetesteter Zellen, von denen jede einzelne, datenblattartig, durch Angabe von Schaltzeichen, logischer Funktion, Gatter-aequivalent, (Aufruf-)Namen, elektrischem und dynamischen Verhalten, geometrische Abmessungen dokumentiert ist und nach dem "black-box"-Prinzip genutzt werden kann. Die Layoutdaten jeder Zelle sind im zentralen Nachweisspeicher des Entwurfssystem abgelegt und koennen mittels ihres Namens aufgerufen werden. Die einzelnen Standardzellen koennen entsprechend oft verwendet werden.

Standardzellen haben regelmaessig gerasterte Anschluesse, die in die Verdrahtungskanaele, in denen dann die Verbindung der Zellen in mehreren Ebenen vorgenommen wird, hineinragen. Die Anordnung der Standardzellen auf dem Chip - die Plazierung - erfolgt in Form von Zeilen bzw. Reihen. Plazierung und Trassierung erfolgen automatisch durch das Entwurfssystem.

Da im Gegensatz zu den Gate-Array-Systemen bei den Standardzellensystemen alle Ebenen anwendungsspezifische Daten enthalten, ist hier eine Vorpraeparation des Chips nicht moeglich.

Im "Standardzellensystem U 1500/U 1520" stehen ueber 40 digitale Standardzellen der verschiedensten Logikgatter, Inverter, D-Flip-Flops, RS-Flip-Flops, Adder, E/A-Stufen sowie Sonderstufen in den leistungsfaeihigen CMOS-Technologien CSGT2N (U 1500) bzw. CSGT2S (U 1520) den Anwendern zur Nutzung zur Verfuegung. Die Standardzellen sind im "Standardzellenkatalog U 1500/U 1520" fixiert; sie gestatten in Verbindung mit einem leistungsfaeihigen und komfortablen Entwurfssystem sowie einer breiten Gehaeusevielfalt bei variabler Chipflaeche einen weitestgehend funktions- und anwendungsbezogenen Schaltkreisentwurf bei voller Ausschoepfung der Dynamik (Takt).

1.2. Technische Information zum Standardzellensystem U 1500/U 1520

1.2.1. Elektrische Daten

1.2.1.1. Allgemeine Betriebsbedingungen

(Alle Spannungen sind auf Masse bezogen)

Kenngroesse	Symbol	Wert		Einheit
		min.	max.	
Betriebsspannung	U_{CC}	4,75	5,25	V
L-Eingangsspannung	U_{IL}	- 0,3	0,8	V
H-Eingangsspannung	U_{IH}	2,4	$U_{CC} + 0,3$	V
Umgebungstemperatur	ϑ_a	0	70	°C

1.2.1.2. Allgemeine Kennwerte

Kenngrösse	Symbol	Wert		Einheit	Bemerkung
		min.	max.		
Ruhestromverbrauch	I_{CCR}	-	400	μA	1)
L-Leckstrom (reine Eingänge)	I_{LI}	-	10	μA	2)
Eingangsleckstrom (bidirektionale Stufe)	I_{M1}	-	10	μA	2)3)
Leckstrom (Tristate-Ausgang)	I_{M2}	-	10	μA	2)3)
L-Ausgangsspannung	U_{OL}	-	0,4	V	4)
H-Ausgangsspannung	U_{OH}	2,4	-	V	5)
Eingangskapazität	C_I	-	10	pF	

Anmerkungen:

- 1) bei $U_{CC} = 5,25$ V
- 2) Summenleckströme aller Ein- oder Ausgänge
- 3) Gestaltung der Schaltung so, dass diese Stufen von aussen in den geforderten Zustand geschaltet werden können
- 4) Belastung mit $I_{OL} = 2$ mA
- 5) Belastung mit $I_{OH} = -0,4$ mA

1.2.1.3. Spezielle Betriebsbedingungen und Kennwerte

Die Festlegung der Eingangstaktfrequenz und der maximaler Stromaufnahme unter Messbedingungen erfolgt anwendungsspezifisch und wird zwischen dem Anwender und dem VEB ZMD in den Technischen Liefer- und Abnahmebedingungen (TLAB) vereinbart (s. Pkt. 3.4.).

1.2.1.4. Grenzwerte

Kenngrösse	Symbol	Wert		Einheit
		min.	max.	
Betriebsspannung	U_{CC}	-0,5	7,0	V
Spannung an allen Anschlüssen	U_I, U_O	-0,5	7,0	V
Ausgangsstrom	I_O	-	5	mA
Verlustleistung	P_{tot}	-	500	mW
Umgebungstemperatur	\sqrt{a}	0	70	$^{\circ}C$

1.2.2. Gehäuesetyp und Chipgrösse

Für die mit dem System U 1500/U 1520 entworfenen Schaltkreise steht, in Abhängigkeit von den 4 standardisierten möglichen Chipgrössen, folgendes Gehäusesortiment zur Verfügung.

Gehaeusetyp	standardisierte Chipgroessen
DIP 16 (Plast)	3,2 mm x 4,1 mm
DIP 18 (Plast)	3,2 mm x 4,1 mm
DIP 24 (Plast)	3,2 mm x 4,1 mm
DIP 28 (Plast)	3,2 mm x 4,1 mm
DIP 40 (Plast)	4,0 mm x 5,0 mm
PCC 64 (Plast)	6,0 mm x 6,0 mm, 7,5 mm x 7,5 mm
QFP 68 (Keramik)	6,0 mm x 6,0 mm, 7,5 mm x 7,5 mm

Die Verkappung der Gate-Arrays erfolgte bisher in 64poligen Plast-Chip-Carriern PCC 64. Bis 1990 wird dieses Gehaeuse vollstaendig durch QFP 68-Gehaeuse abgeloeset.

Die Pinbelegung fuer Betriebsspannung und Masse liegt fuer jedes Gehaeuse fest; alle anderen Pins sind frei belegbar.

1.2.3. Varianten der Herstellungstechnologie

Vorliegendes Standardzellensystem kann in den CMOS-Technologien CS6T2N oder CS6T2S entworfen und gefertigt werden, was in der Typbezeichnung zum Ausdruck kommt. Die Schaltkreise in CS6T2N-Technologie werden mit U 1500 (zuzueglich Kunden-Nr.) und die in CS6T2S mit U 1520 (zuzueglich Kunden-Nr.) bezeichnet. Die Technologien unterscheiden sich in der Zahl der zu praeparierenden Ebenen, sowie im Rastermasz der Zellen, d. h. in der erreichbaren Packungsdichte.

1.2.4. Bestandteile des Standardzellensystems

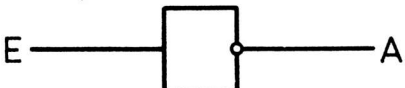
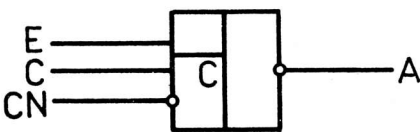
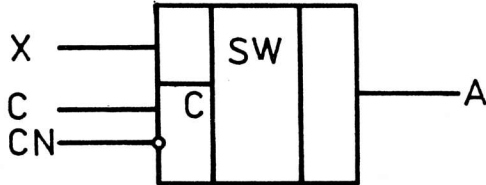
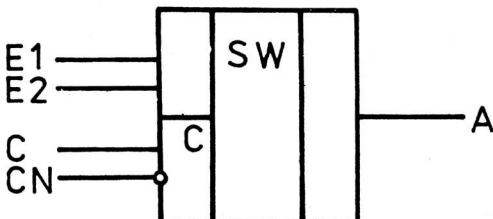
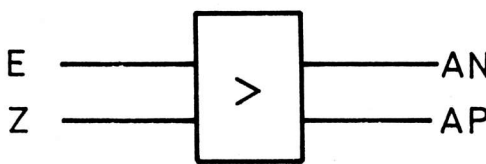
Das Standardzellensystem U 1500/U 1520 besteht aus den Komponenten:

- Standardzellenkatalog U 1500/U 1520 mit ueber 40 Standardzellen in CMOS-Technologie mit zwei technologischen Varianten (s. Uebersicht Punkt 1.2.5.),
- durchgaengiges Entwurfssystem "DESDV" (Durchgaengiges Entwurfssystem mit Datenverwaltung), dokumentiert im Entwurfshandbuch.

Das Entwurfssystem "DESDV" besteht aus den Komponenten

- . "NBS-84": Netz- bzw. Schaltungsbeschreibungssprache
- . "KOSIM": Absichts- und Bestaetigungssimulation
- . "STAMA-85": Layoutsynthese
- . "DV": Rahmenprogramm fuer Datenverwaltung und Datenschutz
- . unterstuetzende Programmkomponenten; z. B. Parametergenerierung durch "FARGEN", Timingsatz-Erstellung durch "DYPAT", "VERGLEICH" zur Unterstuetzung der Auswertung von Simulationsergebnissen usw.
- Organisationsprojekt und Vertragssystem
- Gehaeuse-Sortiment sowie vier standardisierte Chipgroeszen

1.2.5. Zusammenstellung der verfügbaren Standardzellen

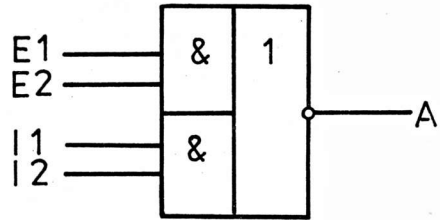
Typ/ STAZ-Name	Reihenfolge der Anschlüsse	Schaltzeichen/ logische Funktion
<u>Negator</u>		
		
NEG1	E-A	$A = \bar{E}$
NEG2 (nur in CSGT2N)	E-A	$A = E$
<hr/>		
		
NGT	E-C-CN-A	$A = \bar{E}$ für $C = H$ A hochohmig für $C = L$
<hr/>		
<u>Transmissionsgate</u>		
		
TG	X-C-CN-A	$A = X$ für $C = H$ A hochohmig für $C = L$
<hr/>		
<u>Doppeltransmissionsgate</u>		
		
TGM	E-E2-C-CN-A	$A = E1$ für $C = H$ $A = E2$ für $C = L$
<hr/>		
<u>Tristate-Ansteuerstufe</u>		
		
TRIS	E-Z-AN-AP	$AP = AN = E$ für $Z = L$ $AP = H, AN = L$ für $Z = H$

Typ/
STAZ-Name

Reihenfolge
der Anschlüsse

Schaltbild/
logische Funktion

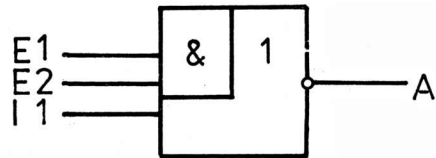
AND/NOR-Gatter



AN024

E1-E2-I1-I2-A

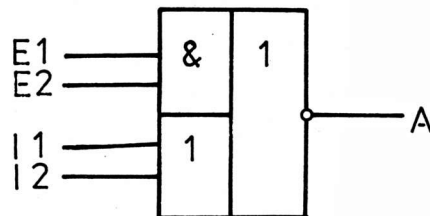
$$A = \overline{(E1 * E2) \vee (I1 * I2)}$$



AN03

E1-E2-I1-A

$$A = \overline{(E1 * E2) \vee I1}$$

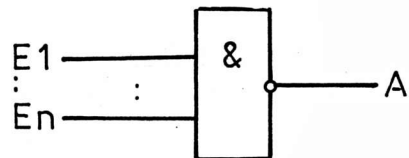


AN04

E1-E2-I1-I2-A

$$A = \overline{(E1 * E2) \vee I1 \vee I2}$$

NAND-Gatter



NA2

E1-E2-A

$$A = \overline{E1 * E2}$$

NA3

E1-E2-E3-A

$$A = \overline{E1 * E2 * E3}$$

NA4

E1-E2-E3-E4-A

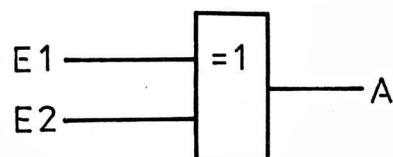
$$A = \overline{E1 * E2 * E3 * E4}$$

NA6

E1-E2-E3-E4-E5-E6-A

$$A = \overline{E1 * E2 * E3 * E4 * E5 * E6}$$

Antivalenz



EXOR

E1-E2-A

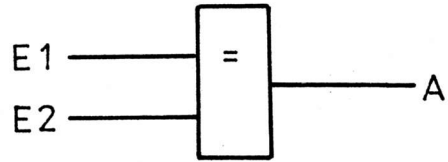
$$A = (E1 * \overline{E2}) \vee (\overline{E1} * E2)$$

Typ/
STAZ-Name

Reihenfolge
der Anschlüsse

Schaltzeichen/
logische Funktion

Äquivalenz

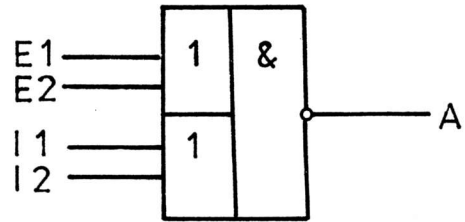


EXNOR

E1-E2-A

$$A = (E1 * E2) \vee (\overline{E1} * \overline{E2})$$

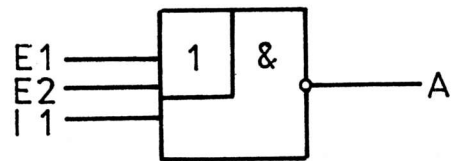
ODER/NAND-Gatter



ONA24

E1-E2-I1-I2-A

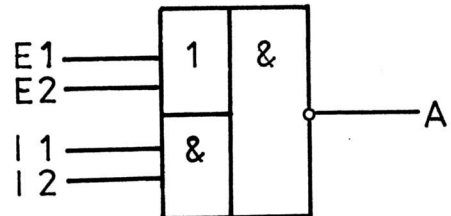
$$A = \overline{(E1 \vee E2) * (I1 \vee I2)}$$



ONA3

E1-E2-I1-A

$$A = \overline{(E1 \vee E2) * I1}$$

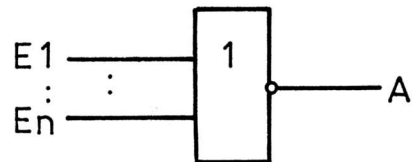


ONA4

E1-E2-I1-I2-A

$$A = \overline{(E1 \vee E2) * I1 * I2}$$

NOR-Gatter



N02

E1-E2-A

$$A = \overline{E1 \vee E2}$$

N03

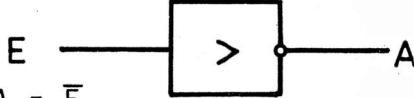
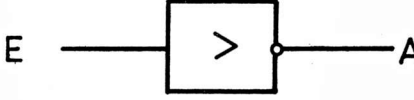
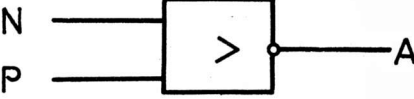
E1-E2-E3-A

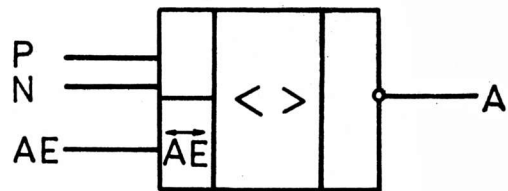
$$A = \overline{E1 \vee E2 \vee E3}$$

N04

E1-E2-E3-E4-A

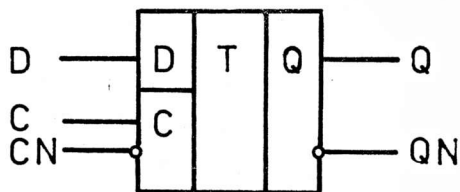
$$A = \overline{E1 \vee E2 \vee E3 \vee E4}$$

Typ/ STAZ-Name	Reihenfolge der Anschlüsse	Schaltzeichen/ logische Funktion
<u>Eingangsstufen</u>		
ES1	E-A	 $A = \bar{E}$
ES3	E-A	$A = \bar{E}$
ESH	E-A	$A = \bar{E}$ (bei offenen Eing. \rightarrow A = H)
ESL	E-A	$A = \bar{E}$ (bei offenen Eing. \rightarrow A = L)
ES2 (nur in CSGT2S)	E-A	$A = E$
<u>Ausgangsstufen</u>		
AS1	E-A	 $A = \bar{E}$
TS	N-P-A	 $A = \bar{N} = \bar{P}$ A hochohmig für N = L & P = H (Ansteuerung durch TRIS)
<u>Bidirektionales Interface</u>		
BD	N-P-AE-A	bestehend aus TS und ES1
BDL	N-P-AE-A	bestehend aus TS und ESL
BDH	N-P-AE-A	bestehend aus TS und ESH



Typ/ STAZ-Name	Reihenfolge der Anschlüsse	Schaltzeichen/ logische Funktion
-------------------	-------------------------------	-------------------------------------

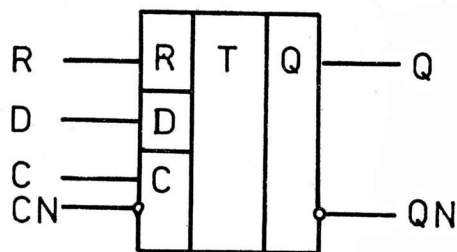
D-Flip-Flop



DFF

D-C-CN-Q-QN

$$Q^{n+1} = D^n \quad (C: H \rightarrow L)$$



DFFR

D-C-CN-R-Q-QN

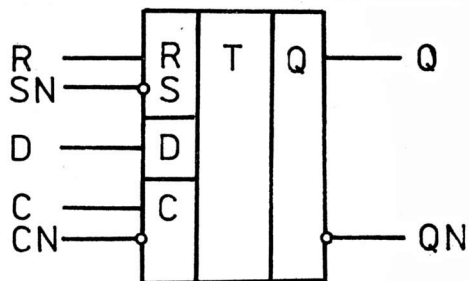
$$Q^{n+1} = D^n \quad (C: H \rightarrow L)$$

DFFR1

D-C-CN-R-Q-QN

$$R = H: Q = L$$

(nur in CSGT2N)



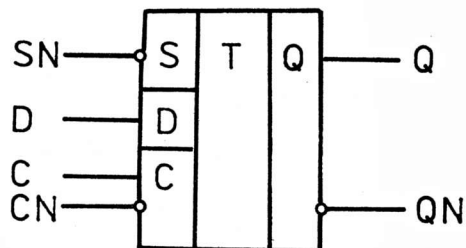
DFFRS

D-C-CN-R-SN-Q-QN

$$Q^{n+1} = D^n \quad (C: H \rightarrow L)$$

$$R = H: Q = L$$

$$SN = L: Q = H$$



DFFS

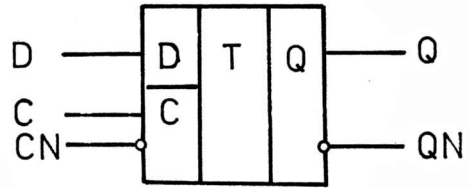
D-C-CN-SN-Q-QN

$$Q^{n+1} = D^n \quad (C; H \rightarrow L)$$

$$SN = L: Q = H$$

Typ/ STAZ-Name	Reihenfolge der Anschlüsse	Schaltzeichen/ logische Funktion
-------------------	-------------------------------	-------------------------------------

Latch



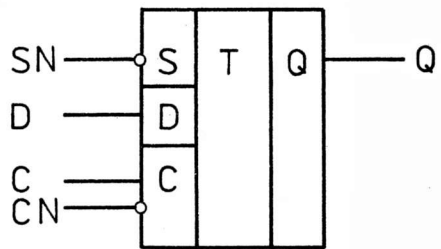
LFF D-C-CN-Q-QN

Q = D für C = H

LFF1
(nur in CSGT2S)

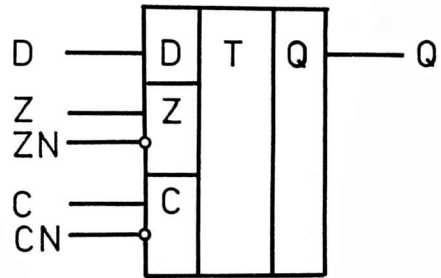
D-C-CN-Q-QN

Q = D für C = H



LFFS D-C-CN-SN-Q

Q = D für C = H
SN = L: Q = H

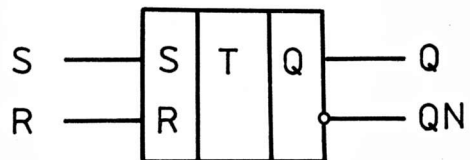


LFFTS D-C-CN-Z-ZN-Q

Q = D für C = H
Z = L: Q hochohmig
Z = H: Q aktiv

(nur in CSGT2N)

R-S-Flip-Flop

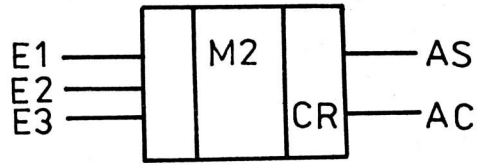


RSNO R-S-Q-QN

S = H: Q = H
R = H: Q = L

Typ/ STAZ-Name	Reihenfolge der Anschlüsse	Schaltzeichen/ logische Funktion
RSNA	RN-SN-Q-QN	SN = L: Q = H RN = L: Q = L

Adder



AD (nur in CSGT2S)	E1-E2-E3-AC-AS	Addition modulo 2
-----------------------	----------------	-------------------

Sonstige

DURK		Durchführungszelle klein
DURG		Durchführungszelle groß
SUBK		Substratkontakt klein
SUBG		Substratkontakt groß
TRIG	E-A	Trigger

2. Applikative Hinweise zu Einsatz und Handhabung des Standardzellen-systems U 1500/U 1520

2.1. Gate-Array- oder Standardzellen-Schaltkreis?

Im folgenden sind zur Information und Entscheidungsfindung die ASIC-Systeme "Gate-Array-System U 5200" und "Standardzellensystem U 1500/ U 1520" gegenübergestellt.

Vergleichskriterium	Gate-Array-Syst. U 5200	Standardzellensystem U 1500/U 1520
Anzahl der integrierbaren Gatter bzw. Transistoren	Master U 5201: -max. 12000 Transistoren (d.h. 3000 Gatteräquivalente mit LSSD-Strukturen) -feste Aufteilung: .2000 Gatteräquivalente fuer Flip-Flop =102 FF .1000 Gatteräquivalente fuer Logik -Aufteilung feststehend .durchschnittl. Masterauslastung ca. 90% -Zahl der Transistoren feststehend (Untergrund)	-max. 10000 Transistoren (d.h. 2500 Gatteräquivalente) bei Chipflaeche 7,5 mm x 7,5 mm -freie Wahl der zu integrierenden Strukturen -bei Gleichverteilung etwa 1000 Standardzellen integrierbar -kein Gatteraufwand fuer LSSD-Test erforderlich, dadurch ist integrierbarer Funktionsumfang groesser als bei U 5200
Chipflaeche	-feststehend fuer Master U 5201, d.h. fuer alle U 5200-Typen gleich	-4 verschiedene standardisierte Chipflaechen moeglich
Zahl der moeglichen Funktionselemente	100 Makros, unterteilt in -Hardwaremakros: .Logik-Gatter, Inverter .JK-Master-Slave FF .E/A-Stufen -Softwaremakros als Unterscheidung auf NBS-Ebene .Dekoder .Arithmetiksaltungen .Zaehler, Schieberegister, .Teiler	-43 Standardzellen, bestehend aus . Gatter, Inverter . Adder . D-FF . RS-FF . Latch . E/A/Stufen . Sonderstufen (z.B. Schalter) . Software-Makros in Vorbereitung
Layout des Funktionselementes	-Layout der Makros unterschiedlich bei feststehendem Untergrund	-Layout jeder Standardzelle feststehend und im Datenverwaltungssystem abgelegt
Gehaeuse	PCC64	DIP 16, DIP 18, DIP 24 DIP 28, DIP 40 PCC 64 QFP 68
Zahl der anwendungsspezifischen Ebenen	3	Je nach Standardzelle und Technologie: - bis zu 9 Ebenen (CSGT2N) - bis zu 12 Ebenen (CSGT2S)
Vorfertigung bzw. Vorpraeparation moeglich	ja	nein

Vergleichskriterium	Gate-Array-Syst. U 5200	Standardzellensystem U 1500/U 1520
Technische Daten:		
Betriebsspannung	5 V \pm 5 %	5 V \pm 5 %
typ. Gatterlaufzeit	5 ns	5 ns
typ. Eingangstakt	1 ... 4 MHz	4 MHz
TTL-Kompatibilitaet	ja, Eingaenge bedingt	ja, Eingaenge bedingt
Technologie	CSGT2S	CSGT2S (U1520) CSGT2N (U1500)
Schaltungs- simulation	in Teilschaltungen bzw. Funktionsbloecken moegl.	aus Aufwandsgruenden nur in Gesamtheit sinn- voll
Testung der BE	- automatische Ge- nerierung des Testpro- gramms nach LSSD- verfahren - klass. Funktionstest wird durch LSSD-Test er- setzt; Pruefung saemtli- cher interner Verbindun- gen auf richtige Umsetzung in den Chip - durch LSSD keine Testung rein kombinatorischer Schaltung moeglich	- Funktionstest auf der Basis von Prueffolgen - Prueffolgenerstellung durch Anwender selbst
Einbauschema/ Plazierung	- Plazierung automatisch (Handplazierung innerhalb einer Reihe moeglich) - Durch "Wichten" koennen Vorzugslagen von Struk- turen beruecksichtigt werden	- Plazierung (ohne Wichtung) automatisch - Handplazierung zur Dynamik-Verbesserung moeglich
Eingangssignale	- taktsynchron, d. h. Restriktion fuer externe Signale	- (beliebig) viele Takt- signale moeglich - keine Forderungen an Eingangssignale
Aufwandsverhaeltnis (Entwicklungskosten, Zeit)	1	2
Preis des anwen- dungsspezifischen Bauelementes	198,-M	je nach Chipgroesse, Gehaeuse usw. variabel zwischen 30...300,- M
oekonom. guenstige Stueckzahl	max. 10 000 Stueck/Jahr	1 000...100 000 Stueck/Jahr

Aus der Gegenueberstellung erkennt man, dass jedes der beiden Systeme Vor- und Nachteile hat, d.h. jedes System erschliesst bestimmte Einsatzbereiche. Das Standardzellensystem U 1500/U 1520 ist

universeller, bietet ein breites Gehaeusesortiment an und realisiert durch kuerzere Verbindungsleitungen zwischen den einzelnen Standardzellen ein besseres dynamisches Verhalten; es stellt allerdings an den Entwurf zeit- und kostenmaeszig hoehere Anforderungen und ist erst ab einer Jahresstueckzahl von mehr als 10 000 Stueck oekonomisch. Eine Entscheidung ueber das gewaehlte System wird der Anwender im wesentlichen von seinen Forderungen und den Systembedingungen ableiten.

2.2. Entwurf des Logikplanes fuer einen Standardzellen-Schaltkreis

2.2.1. Allgemeines

Die Umsetzung einer Aufgabenstellung in einem Logikplan, der durch einen STAZ-Schaltkreis realisiert werden soll, hat mit der herkoemmlichen Schaltungsentwicklung und deren Umsetzung in eine Leiterkarte viele Gemeinsamkeiten. So war man bisher an ein vorhandenes bzw. zugelassenes Sortiment von Logik-Schaltkreisen -dokumentiert in Datenblaettern - gebunden. Beispielsweise existiert in keinem Logik-Schaltkreis-Sortiment ein NAND-Gatter mit 11 Eingangen; wurde ein derartiges benoetigt, musste es mit mehreren anderen Gattern realisiert werden.

Auch bei der Konstruktion der Leiterkarte gab es Randbedingungen: man denke nur an Schaltkreise, die mehrere Gatter (z. B. DL 000) enthalten, bei denen man mit schoener Regelmoeszigkeit immer an der Stelle eines brauchte, wo gerade keines frei war, dafuer mussten dann an einer anderen Stelle Gatter ungenutzt gelassen werden. Auch nach aussen - also an der Steckerleiste der Leiterkarte - war man Systembedingungen unterworfen, was beispielsweise in den Forderungen fuer die Belegung von Stromversorgungs- und bestimmten Signalleitungen zum Ausdruck kommt.

Was beim Entwurf eines ASIC-Schaltkreises (hier STAZ-SK) eine gaenzlich neue Herangehensweise, sogar ein Umdenken bedeutet, ist, dass "Bastelloesungen", z. B. Realisierung von Vorzugsstellungen der Flip-Flops bei Einschalten der Versorgungsspannung durch Beschalten eines Ausganges mit einem Widerstand (Unsymmetrie), Einsatz von Widerstaenden und Kondensatoren usw., nicht mehr moeglich sind. Auch bei Schaltungspruefung, Inbetriebnahme, Fehlersuche usw. sind neue Verfahren vonnoeten. War es bisher nicht ueblich oder auch nicht moeglich, vor dem Leiterkartenentwurf die Schaltung logisch und dynamisch zu simulieren, was meist ein spaeteres "Nachbessern" zur Folge hatte, ist beim Entwurf eines STAZ-Schaltkreises eine Schaltungssimulation unbedingt erforderlich.

2.2.2. Wichtige Hinweise fuer den Schaltungsentwurf

Die Erfahrung lehrt, dass man sich viel Arbeit und Zeit sparen kann, wenn von Anfang an mit dem "Standardzellenkatalog U 1500/U 1520" gearbeitet wird und der Logikplan anhand des letzteren entworfen wird; eingeschlossen ist dabei auch die durchgaengige Verwendung der Symbole und Bezeichnungen (einschliesslich Ein- und Ausgaenge) jeder einzelnen Standardzelle. Grundsuetzlich sind nur die im "Standardzellenkatalog U 1500/U 1520" angebotenen Standardzellen zulaessig; dabei ist zu beachten, dass einige Standardzellen nur in Technologievariante CSGT2N bzw. CSGT2S realisiert werden koennen.

Jede Standardzelle laeszt sich (nahezu) beliebig oft verwenden, eine obere Begrenzung ergibt sich eigentlich nur durch vorgesehene Chipflaeche des Standardzellen-Schaltkreises. Es sollte fuer die Aufstellung des Logikplanes ausschliesslich auf die Schaltungsfunktion und nicht auf saemtliche Schaltungsdetails geachtet werden

(Prinzip: "Von aussen nach innen"). Bei Erstellung des Logikplanes ist ferner zu beachten, dass die Standardzellen keine offenen Eingänge haben dürfen; sofern diese auftreten, sind sie an ein festes Potential zu legen.

2.2.3. Handhabung der Flip-Flops

Enthält der Logikplan Flip-Flops, was in den meisten Anwendungen der Fall sein dürfte, sind sie durch ein externes Signal (z.B. RESET) rücksetzbar zu gestalten, da die Schaltung ansonsten nicht simuliert und getestet werden kann. Die verwendeten Flip-Flops sind generell (von aussen) zu takten, es ist dabei zu sichern, dass die Standardzellen-Flip-Flops sowohl einen negierten als auch einen unnegierten Takt erhalten, die zueinander innerhalb eines bestimmten Zeitfensters liegen müssen. Es ist deshalb, aus dynamischen Gründen möglichst nahe an der Flip-Flop-Standardzelle, eine entsprechende Inverter-Standardzelle vorzusehen (Anmerkung: eine derartig beschaltete Flip-Flop-Standardzelle wird als "erweitertes Flip-Flop" bezeichnet).

Es ist nicht gestattet, JK-Flip-Flops (nicht im Standardzellenkatalog enthalten!) mit Gatter-Standardzellen zu realisieren.

2.2.4. Ein- und Ausgangsstufen

Jedes Steuersignal, das als Eingangssignal in die Schaltung "hineingeht", ist mit einer der angebotenen Eingangsstufen zu versehen. Man unterscheidet Eingangsstufen, die sich unbeschaltet auf H-Potential (sog. "H-Halter") und solche, die sich auf L-Pegel einstellen (sog. "L-Halter"). Die Ausgangs-Steuersignale sind über Ausgangsstufen zu führen. Zur Verfügung stehen Ausgangs-Standardzellen mit Gegentakt- und Tristate-Verhalten.

2.2.5. Transmissions-Standardzellen

Diese Transmissions-Standardzellen sind von einem internen Takt gesteuerte Schalter. Dieser Takt kann beliebig gewählt werden, er muss nicht unbedingt mit dem "System"-Takt identisch sein. Mit diesen Standardzellen lassen sich beispielsweise interne Busstrukturen realisieren.

2.2.6. Synchrone oder asynchrone Logik?

Der noch wenig erfahrene Entwickler digitaler Systeme ist möglicherweise geneigt, auch bei sequentiellen Schaltungen (z. B. Zählern) der asynchronen Arbeitsweise den Vorzug zu geben, da die Schaltung auf den ersten Blick so schön einfach aussieht; möglicherweise animiert die Beschreibung und das Anschlussbild der Flip-Flop-Standardzelle auch dazu. Das Standardzellensystem U 1500/ U 1520 lässt dies auch prinzipiell zu, jedoch sollte beachtet werden, dass sich hierbei die Arbeitsgeschwindigkeit (Dynamik, Takt) als auch die Testbarkeit der Standardzellen-Schaltkreise - da intern vom Tester nicht erfassbare Zwischenzustände auftreten können - verschlechtert. Es sei deshalb empfohlen, die Schaltungen weitestgehend synchron zu realisieren, was allerdings bei grösseren Zähler- bzw. Registerstrukturen einen beträchtlichen Mehraufwand bedeuten kann. Die optimale Lösung dürfte eine asynchrone Zusammenschaltung synchron arbeitender Schaltungsblöcke - wie es beispielsweise beim Zusammenschalten von DL 093 realisiert wird - sein, da hier die spezifischen Nachteile der beiden Arbeitsweisen weitestgehend beseitigt werden.

Bei Einsatz rein kombinatorischer Logik muss die Gatterlaufzeit (typisch 5 ns) beachtet werden.

Es gilt die Regel: Der Standardzellen-Schaltkreis mit sequentiellen Strukturen muss - von "ausen" betrachtet - synchron arbeiten.

2.2.7. Verzögerungsketten

Es ist nicht gestattet, Verzögerungsketten durch Hintereinanderschaltung von Gatter-Standardzellen zu realisieren.

2.2.8. Wahl der Technologievariante

Ausser den Standardzellen NEG2 (Negator), LFFTS und DFFR1 (Latch), die nur in der Technologie CSGT2N und den Standardzellen LFF1 (Latch) und AD (Adder), die nur in CSGT2S verfuegbar sind, koennen alle Standardzellen in beiden Technologievarianten genutzt werden. Die Unterschiede zwischen den beiden Varianten bestehen in der Zahl der anwendungsspezifischen Ebenen - bei der CSGT2N sind dies neun und bei der CSGT2S zwolff derartige Ebenen - sowie in der aktiven Chipflaeche der jeweiligen Standardzelle. Die dynamischen Parameter der beiden Technologievarianten weichen standardzellenspezifisch voneinander ab, lassen jedoch keinen Schluss auf dynamische Vorteile einer der beiden Varianten zu. Die CSGT2S gestattet eine groessere Packungsdichte.

2.2.9. Anzahl der Anschluesse sowie Anschlussbelegung

Fuer Betriebsspannungs- und Masseanschluss werden 2 Anschlusspins benoetigt, die fuer das gewaehlte Gehaeuse festliegen.

Bei Verwendung von Flip-Flops werden fuer "Ruecksetzen" und "Takt" 2 weitere frei waehlbare Anschluesse benoetigt.

Sollen Ausgangsstufen extern abgeschaltet (Tristate-Verhalten) werden koennen, sind weitere - ebenfalls waehlbare - Anschluesse vorzusehen.

Auch zu Pruefzwecken koennen - falls gewuenscht oder erforderlich - Anschluesse herausgefuehrt werden.

Bei der Anschlusskonzeption sollte jedoch stets beachtet werden, dass die Chipflaeche die in Betracht kommenden Gehaeuse bestimmt und der Bauelementepreis des Standardzellen-Schaltkreises auch vom Gehaeuse abhaengt.

2.2.10. Bondinselbelegung des Standardzellen-Chips

Im Laufe des Entwurfsprozesses (d.h. nach der Absichtssimulation) erfolgt die automatische Plazierung der Standardzellen auf dem Chip. Da ausser den (feststehenden) Anschluesen fuer Betriebsspannungs- und Masseleitungen die anderen Pins frei waehlbar sind, muss der Anwender die Belegung der Bondinseln auf dem Chip angeben. Es sei darauf hingewiesen, dass die Bondinselbezeichnung nicht unbedingt mit der Bezeichnung der Anschlusspins der Standardzellen-Schaltkreise uebereinstimmen muss. Dies ist dadurch bedingt, dass standardisierte Bondinselringe (die von der erforderlichen Chipflaeche abhaengen) fuer mehrere Gehaeusetypen verwendet werden. So wird beispielsweise der Bondinselring BIR28 (d.h. 28 Bondinseln) ausser fuer 28-polige Gehaeuse auch fuer 16-, 18- und 24-polige verwendet, wodurch zwangslaeufig einige Bondinseln frei bleiben. Diese freibleibenden (d.h. nicht belegbaren) Bondinseln kann sich der Anwender aber nicht aussuchen, sondern werden vom VEB ZMD unter bestimmten Gegebenheiten (d.h. Kreuzungsfreiheit und kurze Bonddraechte) vergeben. Die Kenntnis der Bondinselbezeichnung

ist besonders dann von Wichtigkeit, wenn der Standardzellen-Schaltkreis eine bestimmte Anschlussbelegung haben musz. Der dargestellte Sachverhalt ist in nachfolgenden Tabellen zusammengestellt:

Tabelle 1: Zuordnung von Chipflaeche, Bondinselring und Gehaeuse

aktive Chip- flaeche (mm ²)	Chip- flaeche (gesamt) (mm ²)	Chip- groesze mm x mm	Bond- insel- Ring	Masse- BI	Betriebs- spannung- Bondinsel	Gehaeuse
9,1	13,12	3,2x4,1	BIR28	1	14	DIP 16 DIP 18 DIP 24 DIP 28
14,96	20	4 x 5	BIR48	1	24	DIP 40
29,16	36	6 x 6	BIR64	1	33	PCC 64 QFP 68
47,61	56,25	7,5x7,5	BIR68	1	35	PCC 64 QFP 68

Anmerkung: Unter aktiver Chipflaeche versteht man die aufsummierten Chipflaechen der Logik-Standardzellen, also ohne E/A-Standardzellen und Randverdrahtungskanaele (d.h. Verdrahtungsraum zwischen E/A-Stufen zu Bondinseln und zu Logikgattern).

Tabelle 2 : Zuordnung der Bondinseln zu den Anschlusspins fuer die verschiedenen DIP-Gehaeuse mit BIR28

BI-Nr.	Pin-Nr.			
	DIP 16	DIP 18	DIP 24	DIP 28
1	1	1	1	1
2	-	-	-	2
3	2	2	2	3
4	3	3	3	4
5	-	4	4	5
6	-	-	5	6
7	4	5	6	7
8	-	-	7	8
9	5	-	8	9
10	-	6	9	10
11	6	7	10	11
12	7	8	11	12
13	-	-	-	13
14	8	9	12	14
15	9	10	13	15
16	-	-	-	16
17	10	11	14	17
18	11	12	15	18
19	-	13	16	19
20	12	-	17	20
21	-	-	18	21
22	13	14	19	22
23	-	-	20	23

BI-Nr.	Pin-Nr.			
	DIP 16	DIP 18	DIP 24	DIP 28
24	-	15	21	24
25	14	16	22	25
26	15	17	23	26
27	-	-	-	27
28	16	18	24	28

Das Arbeiten mit den Tabellen soll durch ein Beispiel demonstriert werden:

Die errechnete bzw. abgeschätzte Chipflaeche moege ca. 9mm^2 betragen, man wird also zunaechst die Chipgroesze $3,2\text{mm} \times 4,1\text{mm}$ anstreben, sofern nicht mehr als 28 Anschluesse erforderlich sind. Es soll ein 18-poliges DIP-Gehaeuse eingesetzt werden, wobei das Ausgangssignal der Logikschaltung ueber das Pin 12 herausgefuehrt werden soll. Das Pin 12 entspricht der Bondinsel 18 (siehe Tabelle 2), weiterhin liegen der Masseanschluss (Pin 1, d.h. Bondinsel 1) und Betriebsspannungsanschluss (Pin 9, d.h. Bondinsel 14) fest. Nicht belegt werden duerfen die Bondinseln 2, 6, 8, 13, 16, 20, 21, 23, 27.

2.3. Arbeit mit dem Standardzellenkatalog U 1500/U 1520

Die unter Pkt. 1.2.5. als Uebersicht zusammengestellten Standardzellen werden im "Standardzellenkatalog U 1500/U 1520" ausfuehrlich dokumentiert; hierzu wird fuer jede Standardzelle angegeben (siehe Beispiel fuer die Standardzelle "AN024")

- Standardzellentyp bzw. -name:

Es wird die Art der Standardzelle (d.h. Art der Gatter, Flip-Flops usw.) angegeben, was ein laengeres Suchen im Standardzellenkatalog ueberfluessig macht; die Kennzeichnung erfolgt ueber einen Namen, durch den die Standardzelle aus dem zentralen Datenspeicher aufgerufen wird.

- Standardgerechtes Schaltbild:

Diese Angabe erlaubt bereits visuell die Auswahl der Standardzelle und unterstuetzt die Erstellung eines standardgerechten Logikplans fuer den zu entwerfenden Standardzellen-Schaltkreis sowie eine spaetere Dokumentation desselben.

- Logikgleichung und verbale Beschreibung:

Die Logikgleichung gibt die logische Verknuepfung von Aus- und Eingangen der Standardzelle bei Positivlogik an.

- Technologievariante:

Kennzeichnung der Technologie, in der die jeweilige Standardzelle genutzt werden kann.

- Gatteraequivalent:

Die Angabe des Gatteraequivalents kennzeichnet die Komplexitaet einer Standardzelle; ein Gatteraequivalent entspricht dabei 4 Transistoren.

Durch Aufsummierung der Gatteraequivalente der verwendeten Standardzellen laeszt sich die Anzahl der Transistoren errechnen und - unter der Maszgabe von ca. 200 integrierten Transistoren pro mm^2 - die benoetigte Chipflaeche des zu entwerfenden Standardzellen-Schaltkreises grob ausrechnen.

- Anschlussbelegung:
Diese Angabe wird benoetigt fuer eine (zur Verbesserung der dynamischen Parameter) erforderliche Umplazierung per Hand (sog. Handplazierung) sowie fuer die Grafik-Arbeit mit dem Entwurfssystem.
Die Anschlussbelegung ist als Symbolebene im symbolischen Layout enthalten.
- Reihenfolge der Anschuesse:
Diese Angabe ist fuer die Erstellung des NBS-Textes und die Funktionsprueeffolgen wichtig.
- Groesze:
Angegeben wird die Breite und Hoehe jeder Standardzelle in Vielfachen des Rasters, dabei betraegt ein Raster fuer die CSGT2N 16,um und fuer die CSGT2S 14,um.
Diese Angabe wird fuer die Handplazierung benoetigt.
- Statische Parameter:
Es wird die Eingangskapazitaet jedes Einganges sowie die zugelassene max. kapazitive Belastung (etwa im Sinne eines fan-out) fuer den Ausgang (bzw. Ausgaenge) angegeben, woraus (ohne Verdrahtung!) die Lastkapazitaet jedes Standardzellenausgangs abgeschaezt werden kann, was fuer die Erstellung des Logikplanes von Bedeutung ist. Der angegebene Wert gilt fuer eine typische Eingangsfrequenz von 4 MHz; ist die Taktfrequenz geringer, duerfen mehr Eingaenge an den jeweiligen Standardzellenausgang angeschlossen werden; jedoch nicht mehr als insgesamt 50.
- Dynamische Parameter:
Zur Abschaetzung des Zeitverhaltens, speziell des moeglichen Eingangstaktes, werden wichtige Anstiegs-, Abfall- und Haltezeiten angegeben. Jede diese Zeiten setzt sich aus einem konstanten und einem variablen Teil zusammen. In den variablen Teil geht dominierend die Lastkapazitaet, also die Summe der den Ausgang belastenden Eingangskapazitaeten sowie Trassierungskapazitaeten ein. Allgemein gilt: Je groeszer die den einzelnen Ausgang belastende Kapazitaet ist, desto groeszer wird die zu erwartende Verzoegerungszeit.

3. Nutzung des Standardzellensystems U 1500/U 1520

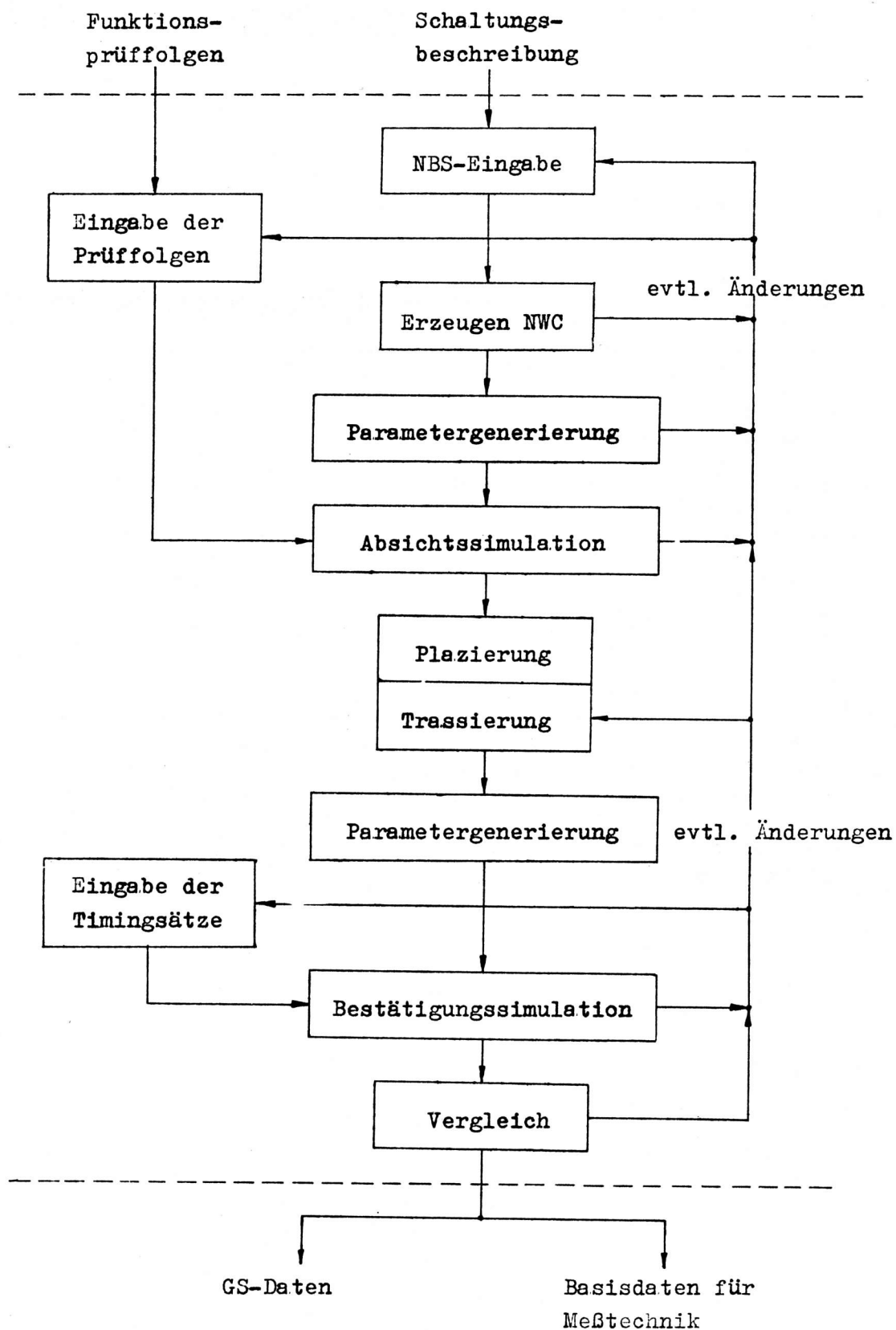
3.1. Nutzungsformen

Um eine breite Nutzung des Entwurfssystems zu gewaehrleisten werden prinzipiell zwei Nutzungsformen fuer die Anwender zugelassen:

- Nutzung des Entwurfszentrums im VEB ZMD, in dem das System implementiert ist
- Nutzung des Entwurfssystems in einem Anwenderentwurfzentrum.

Die Musterfertigung und Produktion der Standardzellenschaltkreise erfolgt gegenwaertig generell im VEB ZMD.

Beispiel aus dem Standardzellenkatalog



3.2. Technologisch-organisatorischer Ablauf der Standardzellen-Schaltkreisentwicklung und arbeitsteilige Beziehungen VEB ZMD - Anwender

Grundsätzlich ist allen Standardzellen-Schaltkreisen gemeinsam, dass sie mit einem Entwurfssystem, das eine abgeschlossene und erprobte Entwicklung darstellt, und unter Nutzung einer erprobten Technologie entwickelt und gefertigt werden. Das ermöglicht den Verzicht auf typspezifische K-Entwicklungsstufen fuer die Schaltkreise.

Dem angepasst ist das Verfahren der Standardisierung, dass als verbindliche Unterlagen zu den Standardzellenschaltkreisen den Fachbereichsstandard TGL 43876 (gilt fuer alle Standardzellenschaltkreise dieses Systems) und die zwischen dem Anwender und ZMD abzustimmende TLAB (Technische Liefer- und Abnahmebedingung) vorsieht.

Der technologisch-organisatorische Ablauf der Standardzellen-Schaltkreisentwicklung und -bereitstellung ist fuer beide Nutzungsformen weitgehend identisch, so dass die Erlaeuterungen anhand des Entwurfes im VEB ZMD gefuehrt werden.

Nach technischen und kommerziellen Beratungen zwischen dem Kunden und ZMD werden die arbeitsteiligen Beziehungen beider Partner, zu-naechst fuer die Entwicklung und Musterfertigung, vertraglich geregelt.

Nach Anleitung durch einen Kundeningenieur entwirft der Anwender "seinen" Schaltkreis mit folgenden wesentlichen Teilschritten:

- NBS-Eingabe der Logik
 - Logiksimulation (Absichtssimulation)
 - Layoutgenerierung
 - Layoutanalyse und Testpatternsimulation
 - Layoutverifikation (Bestaetigungssimulation)
- (siehe hierzu Bild 1).

Nach Abschluss dieser Arbeiten liegt der Standardzellenschaltkreis als fertig entworfenener Schaltkreis in Form von Dateien vor.

Der Anwender ist nunmehr, nach Vorliegen der Bestaetigungssimulation (die saemtliche parasitaeren Elemente beruecksichtigt), in der Lage abzuschuetzen, ob der mit dem Standardzellenentwurfsverfahren entworfene Schaltkreis seinen Anforderungen genuegt. Ist dies der Fall, so wird protokollarisch die Weiterbearbeitung des Entwurfs bis zu Bauelementen festgelegt.

Im VEB ZMD erfolgt anschliessend die Weiterbearbeitung mit folgenden wesentlichen Teilschritten:

- Datenaufbereitung
- Schablonenherstellung
- Musterpraeparation (Aufbau aller technologischen Ebenen)
- Messtechnische Auswertung der Praeparation
- Gehaeusemontage
- Zuverlaessigkeitsnachweis (falls erforderlich)

Der Anwender hat im Prozess der Bauelementeherstellung ggf. noch anteilige Arbeiten in den Teilschritten Inbetriebnahme sowie Bauelementemessungen und bei der Bereitstellung der Belastungsplatten fuer die Zuverlaessigkeitsuntersuchungen zu erbringen.

Nach der Uebergabe der vereinbarten Menge an Musterbauelementen schliesst sich beim Anwender eine Einsatzerprobung an, in deren

positivem Ergebnis vom Anwender die vom VEB ZMD erstellte TLAB unterzeichnet wird. Damit liegen dann saemtliche Bezugsunterlagen fuer die Serienbauelemente vor und der Anwender kann seine Bestellungen ausloesen.

Die Nutzung eines externen Anwenderentwurfszentrums stellt prinzipiell nur eine Verlagerung der Entwurfsarbeiten dar, wobei der fertig entworfene Schaltkreis als Datei dem VEB ZMD zur Weiterbearbeitung uebergeben wird.


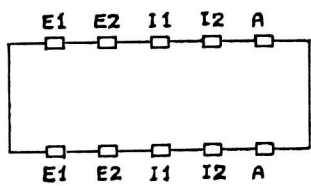
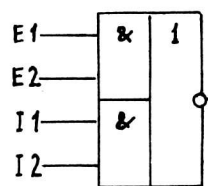
VEB Forschungszentrum Mikroelektronik Dresden 	STANDARDZELLENKATALOG U 1500/U 1520 AND 24 Standardzellenname	CS6T2S CS6T2N Technologie																																	
Funktion $A = (E1 * E2) \vee (I1 * I2)$ Beschreibung Kombinatorische Schaltung, verknuepft die Ausgaenge zweier AND-Gatte durch die NOR-Funktion Reihenfolge der Anschlusse E1-E2-I1-I2-A Anschlussbelegung 	Schaltsymbol: 																																		
Gatteraequivalent 2 Groesse	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td></td> <td style="text-align: center;">CS6T2S</td> <td style="text-align: center;">CS6T2N</td> </tr> <tr> <td>Hoehe</td> <td style="text-align: center;">7 Raster</td> <td style="text-align: center;">8 Raster</td> </tr> <tr> <td>Breite</td> <td style="text-align: center;">5 Raster</td> <td style="text-align: center;">5 Raster</td> </tr> </table>			CS6T2S	CS6T2N	Hoehe	7 Raster	8 Raster	Breite	5 Raster	5 Raster																								
	CS6T2S	CS6T2N																																	
Hoehe	7 Raster	8 Raster																																	
Breite	5 Raster	5 Raster																																	
Statische Parameter	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>Anschluss</th> <th>CS6T2S</th> <th>CS6T2N</th> <th>Einheit</th> </tr> </thead> <tbody> <tr> <td>E1, E2, I1, I2</td> <td style="text-align: center;">0.25</td> <td style="text-align: center;">0.31</td> <td style="text-align: center;">pF</td> </tr> <tr> <td>A</td> <td style="text-align: center;">7.00</td> <td style="text-align: center;">6.00</td> <td style="text-align: center;">pF</td> </tr> </tbody> </table>			Anschluss	CS6T2S	CS6T2N	Einheit	E1, E2, I1, I2	0.25	0.31	pF	A	7.00	6.00	pF																				
Anschluss	CS6T2S	CS6T2N	Einheit																																
E1, E2, I1, I2	0.25	0.31	pF																																
A	7.00	6.00	pF																																
Dynamische Parameter	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>Parameter</th> <th>Symbol</th> <th>Port</th> <th>CS6T2S</th> <th>CS6T2N</th> <th>Einheit</th> </tr> </thead> <tbody> <tr> <td>Verzoegerung fuer HL-Flanke</td> <td>TVHL</td> <td>A</td> <td style="text-align: center;">3.90 + 5.00/pF</td> <td style="text-align: center;">3.00 + 3.50/pF</td> <td style="text-align: center;">ns</td> </tr> <tr> <td>Verzoegerung fuer LH-Flanke</td> <td>TVLH</td> <td>A</td> <td style="text-align: center;">4.50 + 5.00/pF</td> <td style="text-align: center;">6.60 + 6.30/pF</td> <td style="text-align: center;">ns</td> </tr> <tr> <td>Abstiegsverzoegerung fuer HL-Flanke</td> <td>TAHL</td> <td>A</td> <td style="text-align: center;">5.30 + 9.00/pF</td> <td style="text-align: center;">5.50 + 7.00/pF</td> <td style="text-align: center;">ns</td> </tr> <tr> <td>Abstiegsverzoegerung fuer LH-Flanke</td> <td>TALH</td> <td>A</td> <td style="text-align: center;">2.40 + 12.00/pF</td> <td style="text-align: center;">9.30 + 13.50/pF</td> <td style="text-align: center;">ns</td> </tr> </tbody> </table>					Parameter	Symbol	Port	CS6T2S	CS6T2N	Einheit	Verzoegerung fuer HL-Flanke	TVHL	A	3.90 + 5.00/pF	3.00 + 3.50/pF	ns	Verzoegerung fuer LH-Flanke	TVLH	A	4.50 + 5.00/pF	6.60 + 6.30/pF	ns	Abstiegsverzoegerung fuer HL-Flanke	TAHL	A	5.30 + 9.00/pF	5.50 + 7.00/pF	ns	Abstiegsverzoegerung fuer LH-Flanke	TALH	A	2.40 + 12.00/pF	9.30 + 13.50/pF	ns
Parameter	Symbol	Port	CS6T2S	CS6T2N	Einheit																														
Verzoegerung fuer HL-Flanke	TVHL	A	3.90 + 5.00/pF	3.00 + 3.50/pF	ns																														
Verzoegerung fuer LH-Flanke	TVLH	A	4.50 + 5.00/pF	6.60 + 6.30/pF	ns																														
Abstiegsverzoegerung fuer HL-Flanke	TAHL	A	5.30 + 9.00/pF	5.50 + 7.00/pF	ns																														
Abstiegsverzoegerung fuer LH-Flanke	TALH	A	2.40 + 12.00/pF	9.30 + 13.50/pF	ns																														

Bild 1: Entwurfsablauf fuer einen Standardzellen-Schaltkreis

3.3. Vertragsbeziehungen

Entsprechend der Benutzungsform des Entwurfssystems gestalten sich die Vertragsbeziehungen in der Phase des Schaltkreisentwurfes und der Musterpraeparation.

Zwischen Anwender bzw. Anwenderentwurfzentrum und dem VEB ZMD wird die Form der Arbeitsteilung unter Aufschlüsselung aller Teilleistungen, Termine und Uebergaben (z. B. Daten, Freigaben, Musterbauelemente) vertraglich festgelegt. Dieser Vertrag ist so angelegt, dass der Anwender nach dem Schaltkreisentwurf die Entwicklung bei Bedarf abbrechen kann, falls sein Problem mit Standardzellen-Schaltkreisen nicht gelöst werden kann. Die Verrechnung dieses Vertrages erfolgt nach Aufwand, d. h. die fuer einen Kunden anfallenden Leistungen werden in Rechnung gestellt.

Die Vertragsbeziehungen fuer die Serienproduktion basieren auf dem Rahmenstandard und der typbezogenen TLAB und gestalten sich ueber Wirtschaftsvertraege. Fuer die Serienbauelemente wird es entsprechend der Standardzellen-Preisbildungsmethode Festpreise fuer die Bauelemente geben.

Detailliertere Angaben zu den Vertragsbeziehungen und der Preisbildung sind konsultativ bei VEB ZMD/Verkauf zu erhalten.

3.4. Standardisierung

Fuer alle Standardzellen-Bauelemente gilt der Rahmenstandard TGL 43 876. Er regelt saemtliche kunden- und schaltkreisunabhaengigen Merkmale der STAZ-Schaltkreise, z. B. elektrische Eigenschaften, Gehaeuse und zugehoerige Bondinselbelegung, Bezeichnungssystem, Pruef- und Abnahmeregeln sowie Messschaltungen.

Ergaenzt wird dieser Rahmenstandard durch eine TLAB, die die Spezifikation eines jeden Typs festlegt:

- NBS-Beschreibung
- Bondinsel- und Anschlussbelegung
- Simulationsprotokoll der Bestaetigungssimulation, Simulationsfrequenz, Timingsaetze der Simulation
- Messprogramm und Stromaufnahme mit Messbedingungen
- Festlegung des Gehaeuses
- Festlegung der Herstellungstechnologie
- Aussage zum Pruefzuverlaessigkeitsnachweis

3.5. Nachweis der Pruefzuverlaessigkeit

Systemspezifisch geregelt worden ist neben der Standardisierung auch das Verfahren des Zuverlaessigkeitsnachweises. Um vertretbare oekonomische und organisatorische Aufwaende fuer alle STAZ-Typen zu erreichen, werden fuer bestimmte Klassen von Standardzellen-Schaltkreisen sogenannte Repraesentationstypen, an denen der Zuverlaessigkeitsnachweis durchgefuehrt wird, festgelegt.

Die Auswahl der Repraesentationstypen erfolgt anhand der Kriterien: Gehaeuse, Chipflaeche und Technologievariante.

Jeder Standardzellen-Schaltkreis, der den Kriterien der sogenannten Erstreckbarkeitstabelle nicht genuegt, wird als neuer Repraesentationstyp festgelegt. In diesem Fall werden zwischen VEB ZMD und dem Anwender die Bedingungen fuer die anwenderseitige Bereitstellung der notwendigen Belastungsleiterplatten vereinbart.

4. Vorbereitende Arbeiten zum Entwurf eines Standardzellen-Schaltkreises

4.1. Untersetzung des Logikplanes in Funktionsgruppen

Sofern nicht bereits bei der Aufstellung des Logikplans geschehen, muss spaetestens jetzt eine Aufteilung desselben in sogenannte "Funktionsgruppen" erfolgen, da dies fuer die Erstellung der Funktionsprueffolgen fuer die Absichtssimulation - ggf. auch Fehlersuche (auch dies kann gelegentlich vorkommen) - sowie die Testung des Standardzellen-Schaltkreises unabdingbar ist.

Hieraus ergeben sich natuerlich fuer die Wahl der Funktionsgruppen einige Praemissen:

- Jede Funktionsgruppe sollte als globaler Komplex, z.B. "Zaehler", "Dekoder", "Taktsteuerung" usw. betrachtet und behandelt werden, wobei man am besten vom physikalischen bzw. "elektrischen" Verstaendnis aus herangeht.
- Die einzelnen Funktionsgruppen muessen in sich abgeschlossen und ueberschaubar sein.
- Man muss sich unbedingt Klarheit ueber das Signalspiel zwischen den einzelnen Funktionsgruppen verschaffen, d.h. es muss bekannt und beschreibbar sein, was an den Ausgaengen einer jeden Funktionsgruppe "passiert", wenn an deren Eingaenge definierte Signale (d.h. H-Pegel, L-Pegel, L/H- bzw. H/L-Flanken sowie bestimmte Zeitbedingungen) angelegt werden.

Nur aus der genannten Kenntnis der Funktion ist eine realistische Aufstellung der Funktionsprueffolgen sowie ein organisches Wachsen des Testsatzes moeglich.

Merke: Die Qualitaet des Simulationsergebnisses haengt ausschliesslich von der Qualitaet der Funktionsprueffolgen ab.

Jede derartige Funktionsgruppe sowie die Signale (NBS: "Potentiale") an deren Schnittstellen zueinander, also alle Eingangs- und Ausgangssignale der Funktionsgruppen, sind mit Namen zu versehen. Jeder Name besteht aus einer kurzen, praegnanten Zeichenkette (wahlweise Buchstaben oder Zahlen). Die Namen muessen eindeutig sein; Doppelbelegungen bei der Schnittstellendefinition sind nicht statthaft. Die Namen sollten sinnvoll sein und ggf. Hinweise auf die Funktion erlauben, z.B. CLK fuer das Taktsignal, R bzw. RESET fuer Ruecksetzsignal, Q... bzw. QN... fuer aus Funktionsgruppen herausgefuehrte Flip-Flop-Ausgaenge, D... fuer Daten usw. Die festgelegten Namen muessen unbedingt waehrend des gesamten Entwurfsprozesses beibehalten werden.

Eine Benennung der Verbindungen innerhalb der Funktionsgruppen ist an dieser Stelle noch nicht erforderlich.

4.2. Beschreibung der Logikschaltung

4.2.1. Allgemeiner Ueberblick zur Nutzung des NBS-84-Programmsystems im Standardzellen-Entwurfssystem

Damit das Entwurfssystem "DESDV" den Logikplan "versteht", muss dieser mittels einer Netzbeschreibungssprache, hier die NBS-84, beschrieben und als sogenannter "NBS-Text" eingegeben werden.

Die NBS-84 ist eine spezielle Programmiersprache fuer die Schaltungsbeschreibung, die dafuer eine bestimmte Syntax fordert.

Der NBS-Text ist vergleichbar einer Stueckliste des herkoemmlichen Schaltungsentwurfs, allerdings sind neben der Auflistung aller Bauelemente, sprich Standardzellen, zusaetzliche Informationen zur "Anschlussbelegung" derselben anzugeben.

Innerhalb des Entwurfssystems werden ausgewaehlte Programmkomponenten des NBS-84-Programmsystems zum Editieren und Aufloesen der Schaltungsbeschreibung genutzt. Prinzipiell ist es moeglich, die umzusetzende Schaltung als durchgaengigen NBS-Text in der vorgeschriebenen Syntax zu erfassen. Fuer die Rationalisierung der Eingabe sowie einer guten Uebersichtlichkeit ist es aber dienlich, den NBS-Text sinnvoll zu strukturieren. Eine NBS-Strukturierung muss nicht zwingend auf der bereits vorhandenen Gliederung der Gesamtschaltung in Funktionsgruppen basieren, vielmehr ist eine rein formale Herangehensweise zu empfehlen.

Die NBS-Beschreibung der gesamten Schaltung wird mit einem sinnvollen Namen versehen, mit dessen Hilfe der gesamte Text fuer die weitere Bearbeitung jederzeit aufrufbar ist. Das beschriebene Gebilde wird NBS-maeszig als Hauptschaltung beschrieben, die Randbeschreibung, d.h. die Benennung aller Ein- und Ausgaenge der Hauptschaltung, ist somit identisch mit der Randbeschreibung (Pinbelegung) des zu entwerfenden Standardzellen-Schaltkreises.

An den Abschluss jeder NBS-Eingabe schliesst sich automatisch eine Ueberpruefung auf Einhaltung der vorgeschriebenen Syntax an. Ist die Gesamtschaltung syntaktisch richtig erfasst, wird aus dem NBS-Text durch Abarbeiten des folgenden Entwurfsschrittes "NBS-Aufloesen" ebenfalls automatisch ein sogenannter Netzwerkcode (NWC) generiert. Dieser NWC besteht aus einer einfachen Auflistung aller verwendeten Standardzellen, versehen mit praezisen Angaben zur Anschlussbelegung. Die Kenntnis dieses Ablaufes ist fuer den Anwender wichtig, da nach Aufloesen des NBS-Textes alle vorher gewaehlten Strukturierungen nicht mehr beruecksichtigt werden und alle folgenden Entwurfsschritte mit dem NWC arbeiten.

4.2.2. Hinweise zur Strukturierung des NBS-Textes

Wie bereits empfohlen, ist es sinnvoll, die Schaltungsbeschreibung NBS-maeszig zu strukturieren. Die Hauptschaltung wird dazu hierarchisch in Unterschaltungen (US) gegliedert, im Text der Hauptschaltung werden die Unterschaltungen lediglich mit einem entsprechenden Namen aufgerufen. Im weiteren NBS-Text werden dann alle Unterschaltungen mit derselben Bezeichnung vereinbart, d. h. es werden Anzahl und Zusammenstellung der jeweils verwendeten Standardzellen beschrieben. Jede Unterschaltung kann ebenso Unterschaltungen aufrufen usw. Das Ergebnis dieser Strukturierung ist ein "Hierarchiebaum", wobei jeder "Ast" mit einer Standardzelle abgeschlossen werden muss. Der Aufbau des Hierarchiebaums wird im wesentlichen bestimmt durch die Strukturierungen, die einer besseren Uebersichtlichkeit dienen, und durch die Anzahl der zu definierenden Wiederholstrukturen sowie der Zugriffe auf selbige. Wiederholstrukturen koennen beispielsweise mehrfach benoetigte Zaehler, erweiterte Flip-Flops usw. sein. Die Unterschaltung "Wiederholstruktur" sollte so gewaehlt werden, dass sie sinnvoll, uebersehbar und damit gut handhabbar ist. Zu gross gewaehlte Wiederholstrukturen werden leicht unuebersichtlich und unhandlich.

Merke: Die Wiederholstrukturen so waehlen, dass moeglichst oft auf sie zugegriffen werden kann, sie werden an dem Hierarchiebaum so "tief" wie moeglich vereinbart, da in Schaltungen nur auf Strukturen einer "niederen" Hierarchieebene zugegriffen werden kann.

Die einzelnen Untersaltungen koennen ueber frei waehlbare Namen aufgerufen werden, der Aufrufname muss lediglich auch im Vereinbarungsteil fuer die Bezeichnung der entsprechenden Untersaltung verwendet werden. Fuer jede Untersaltung ist eine Randbeschreibung erforderlich, der syntaktische Aufbau der Vereinbarung einer Untersaltung ist praktisch mit dem Textaufbau der Hauptsaltung identisch.

Bei der Gliederung der Hauptsaltung in Untersaltungen ist ferner zu beachten, dass die Namen der Potentiale, die bei der schrittweisen Simulation bewertet werden sollen, bereits direkt im Text der Hauptsaltung verwendet werden, beispielsweise als Ein- bzw. Ausgaenge von Untersaltungen. Diese Forderung muss gestellt werden, da alle im Text von Untersaltungen verwendeten Potentialnamen automatisch um Angaben ueber den "Platz" innerhalb der Hierarchie ergaenzt und damit unter dem vorab festgelegten Namen von anschliessenden Programmkomponenten nicht mehr "gefunden" werden.

In Bild 2 ist ein derartiger Hierarchiebaum angegeben.

In der 2. Hierarchieebene teilt sich die Hauptsaltung HS in die Untersaltungen "E", "Z", "D" und "A"; wobei "A" eine Standardzelle ist. Die Untersaltungen "E" und "D" bestehen in der 3. Hierarchieebene lediglich aus Standardzellen, waehrend "Z" neben Standardzellen eine weitere Untersaltung "EFF" aufruft. Diese Untersaltung koennte eine Wiederholstruktur sein, die in "Z" mehrfach aufgerufen wird. EFF besteht, eine 4. Hierarchieebene benoetigend, ausschliesslich aus Standardzellen.

Man beachte, dass jeder Ast mit Standardzellen (hier schraffiert) abschliesst.

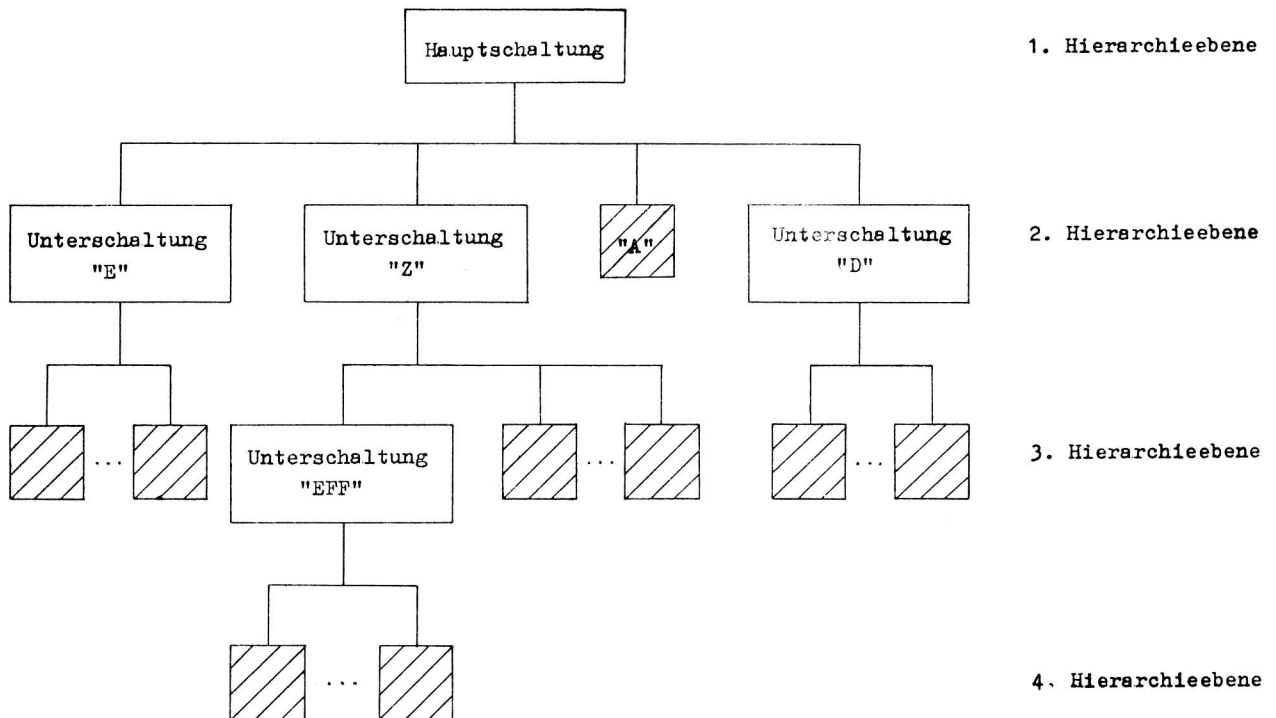


Bild 2: Beispiel fuer einen Hierarchiebaum

4.2.3. Bezeichnung und Zugriff der Potentiale

Die verschiedenen Unterschaltungen stehen miteinander ueber Signale - "Potentiale" genannt - in Verbindung. Diese Potentiale sind in geeigneter Weise zu definieren, d.h. mit Namen zu versehen. Soweit bei den Schnittstellen zwischen den Funktionsgruppen Potentialnamen definiert wurden, werden diese natuerlich beibehalten. Es ist unbedingt zu beachten, dass jeder Potentialname innerhalb einer Haupt- bzw. Unterschaltung nur einmal auftritt. In verschiedenen Schaltungen darf der gleiche Name wiederholt verwendet werden.

Die NBS-84-Syntax gewaehrleistet durch entsprechende Festlegungen fuer die Gestaltung von Schaltungsvereinbarungen und Aufrufen von Schaltungen oder Standardzellen selbst die Moeglichkeit der Verwendung von gleichen Potentialen in verschiedenen Schaltungen bzw. Hierarchieebenen. Die Identitaet von Potentialen haengt bei Verwendung derselben in mehreren Schaltungen oder Hierarchieebenen lediglich von der Position in der Potentialauflistung in Vereinbarung und Aufruf ab, nicht aber von dem gewaehlten Potentialnamen. Bei einem Zugriff auf Potentiale innerhalb einer Schaltung ist dies einfach durch Verwendung des gleichen Potentialnamens moeglich. Potentiale fuer anwendungsspezifische Globalverbindungen sind in der Hierarchieebene so weit oben wie moeglich zu vereinbaren. Die Ausfuehrungen werden illustriert durch ein ausfuehrliches Beispiel im Punkt 5.

Sofern Ausgaenge der Standardzellen nicht beschaltet (also offen) sind, muessen sie trotzdem bezeichnet werden.

4.2.4. Analogie zur konventionellen Schaltungstechnik

Zieht man den Vergleich zwischen konventionellem Schaltungsentwurf und Entwurf eines Standardzellen-Schaltkreises, so findet man auch hier viele uebereinstimmende Merkmale. Es wurde bereits darauf verwiesen, dass die NBS-Beschreibung einer Schaltung mit einer "Stueckliste" der verwendeten Standardzellen vergleichbar ist.

Sehr viele Forderungen, die durch die Anwendung der NBS-84 dem Anwender des Standardzellen-Entwurfssystems gestellt werden, muesste auch der Entwickler eines Moduls erfuellen. Werden beispielsweise synchrone Binaerzaehler benoetigt, dann wird wohl kein Schaltungsentwickler diese Zaehler aus einzelnen Flip-Flops aufbauen, sondern sofort DL 093 o. ae. einsetzen. Die Stueckliste enthaelt dann lediglich die Anzahl verwendeter DL 093, ohne dasz Angaben ueber die interne Funktion, d. h. Anzahl der enthaltenen Flip-Flops, Gatter usw., und ueber die Pinbelegung gemacht werden.

Ebenso enthaelt der NBS-Text einer Hauptschaltung die Stueckliste der verwendeten Strukturen, ergaenzt durch Angaben zur Anschlussbelegung, da keine standardmaeszigen, sondern lediglich anwenderspezifische Festlegungen existieren.

Der standardmaeszigen Bezeichnung der Anschuesse des DL093 (also A, B ... fuer die Eingaenge, QA, QB ... fuer die Ausgaenge)) entsprechen in der NBS die Randverbindungen der Unterschaltungen.

Werden mehrere DL 093 eingesetzt (oder andere IS mit gleichen Pinbezeichnungen), ist die Bezeichnung QA natuerlich allein nicht aussagekraeftig, sondern muss durch Angaben, die den genannten Schaltkreis spezifizieren, ergaenzt werden (z. B. QA1, QA2, ...).

Vergleicht man die Simulation eines STAZ-Schaltkreismodells mit der Testung eines Moduls, so kann man wiederum eine Uebereinstimmung in der Herangehensweise feststellen. Auf einer Leiterkarte koennen le-

diglich die Signale an den Schaltkreis-Pins getestet werden. Ebenso koennen bei der Simulation eines STAZ-Schaltkreismodells nur die Potentiale direkt bewertet werden, die namentlich im NBS-Text der Hauptschaltung enthalten sind, also Ein- oder Ausgaenge von vereinbarten Unterschaltungen sind. Auf die interne Schaltkreis- oder "Unterschaltungsfunktion" laesst sich nur schlussfolgern, sie direkt zu ueberpruefen ist nicht moeglich.

4.2.5. Eingabe der NBS-Texte

Der NBS-Text ist vor Beginn weiterer Entwurfsschritte in seiner Gesamtheit zu erfassen. Dabei ist anhand der gewaehlten Hierarchie vorzugehen. Vorteilhaft ist es, einzelne komplexe Strukturen (= Unterschaltungen) schrittweise einzugeben und nach jeder Teileingabe die Richtigkeit der Syntax zu ueberpruefen. Damit erhoehrt sich wesentlich die Handhabbarkeit des NBS-84-Editors. Ein Zusammenfuegen der Teil-NBS-Beschreibungen ist erst vor dem NBS-Aufloesen erforderlich.

4.3. Erstellung der Funktionsprueffolgen

4.3.1. Allgemeines

Im Abschnitt 2. wurde bereits darauf hingewiesen, dass die Funktionstuechtigkeit eines Standardzellen-Schaltkreises im wesentlichen von der ausschöpfenden Simulation des Schaltkreismodells abhaengig ist. Durch entsprechende Sorgfalt bei der Erarbeitung der Funktionsprueffolgen fuer die Simulation kann der Anwender selbst die Qualitaet seines Standardzellen-Schaltkreises unmittelbar beeinflussen.

Die Entwurfstechnologie, festgelegt durch das Entwurfssystem, beinhaltet die zweimalige Simulation des Schaltkreismodells mit dem Programmsystem "KOSIM". Die Absichtssimulation nach der NBS-maeszigen Erfassung der Schaltung dient der Ueberpruefung der gewuenschten Schaltkreisfunktion bei Einbeziehung vorlaeufiger Verzoegerungszeiten, die aus der jeweiligen Zusammenschaltung von Ein- und Ausgaengen der Standardzellen resultieren. Hinweise fuer eventuell erforderliche Schaltungsaenderungen werden an geeigneter Stelle durch das Programmsystem in Form von "Warnungen" gegeben. Nach erfolgreicher Absichtssimulation wird das Simulationsergebnis als Soll-Verhalten des Schaltkreises den folgenden Entwurfsschritten zugrunde gelegt.

Nach erfolgter Layoutsynthese (mittels "STAMA85") wird die Bestaetigungssimulation realisiert. Dafuer ist die Spezifizierung der Funktionsprueffolgen erforderlich, wobei Anforderungen der Mesztechnik bereits beruecksichtigt werden muessen. Dem Anwender stehen dafuer innerhalb des Entwurfssystems unterstuetzende Programmkomponenten zur Verfuegung.

Nach der Bestaetigungssimulation wird faktisch ueberprueft, ob die Zeitbedingungen, die fuer die jeweiligen Funktionen der Schaltung vorgegeben sind, auch bei Beruecksichtigung der schaltkreisinternen Verdrahtung eingehalten werden. In Verbindung mit dem automatisch in der Abarbeitung folgenden Programm "VERGLEICH" gewaehrleistet "KOSIM", dass der Entwerfende Hinweise dazu erhaelt, ob und wie Veraenderungen vorzunehmen sind.

Nach allen Veraenderungen werden Bestaetigungssimulation und Vergleich wiederholt, bis Soll- und Ist-Verhalten des Schaltkreismodells uebereinstimmen. Diese Uebereinstimmung bewirkt automatisch

den Start des Teilprogramms "PATKOS", welches die spezifizierten Funktionsprueffolgen entsprechend den Vorgaben ("TIMING") umsetzt. Anschliessend wird der Testsatz in das erforderliche Tester-Format konvertiert. Die dabei gewonnenen Testpattern sind Grundlage fuer die Testung des Standardzellen-Schaltkreises durch die Messtechnik.

4.3.2. Erstellung der Funktionsprueffolgen fuer die Absichtssimulation

Waehrend es fuer die NBS-Erfassung der Schaltung nicht unbedingt erforderlich ist, die Gliederung in Funktionsgruppen der Strukturierung des NBS-Textes zugrunde zu legen, wird vorteilhaft "funktionsgruppenweise" auf Funktionstuechtigkeit ueberprueft. Denn obwohl nach der NBS-Eingabe die Schaltung erfasst ist, also insgesamt simuliert (oder angesteuert) wird, ist es in den meisten Faellen wenig sinnvoll, das Schaltkreismodell sofort auf die komplexe Schaltkreisfunktion zu ueberpruefen.

Als Ergebnis der empfohlenen Aufspaltung der Gesamtschaltung in Funktionsgruppen liegen die Definition der Schnittstellen, die Namen der dort auftretenden Signalleitungen und Festlegungen zu dem zu realisierenden Signalspiel vor. Davon ausgehend werden die Funktionsprueffolgen derart aufgestellt, dass die den Schaltkreis-Eingangen folgende Funktionsgruppe vollstaendig simuliert wird. Um eine Aussage ueber Funktionstuechtigkeit und Fehlerfreiheit dieses Schaltungskomplexes machen zu koennen, sind dessen "Ausgaenge" auf Uebereinstimmung mit den vorher "erwarteten" Simulationsergebnissen zu pruefen. Das wird durch eine entsprechend einzugebende Ausgabe-spezifikation, d. h. durch Angabe der Namen der auszuwertenden Potentiale (= Signale), fuer das automatisch erzeugte Simulationsprotokoll ermoeoglicht.

Das Signalspiel in bzw. zwischen den uebrigen Funktionsgruppen wird dabei nicht beachtet, vorteilhaft ist aber, dass fuer die bewerteten Potentiale bereits die kapazitive Belastung durch nachfolgende Stufen beruecksichtigt wird. Ist das Simulationsergebnis positiv, werden die Prueffolgen schrittweise ergaenzt, um nachfolgende Funktionsgruppen vollstaendig simulieren zu koennen. Die entsprechende Veraenderung der Ausgabespezifikationen gestattet es, jeweils Aussagen ueber Funktionstuechtigkeit und Fehlerfreiheit der betreffenden Funktionsgruppe zu machen.

Nach Hinzunahme der letzten Funktionsgruppe liegt bei positivem Ergebnis ein "organisch" gewachsener Funktionsprueffolgensatz und ein Simulationsprotokoll fuer den gesamten Schaltkreis vor. Es liegt auf der Hand, dass durch diese Herangehensweise solche Fehler wie das Auslassen einzelner Schaltzustaende, die unvollstaendige Simulation von einzelnen Schaltungsdetails usw. ausschliessbar sind. Problematisch ist aber, wenn sich Rueckfuehrungen zwischen Funktionsgruppen erforderlich machen. Bei der zeitweiligen Definition solcher Rueckfuehrungen als Eingange ist deshalb mit grosser Sorgfalt vorzugehen.

4.3.3. Vorbereitung der Bestaetigungssimulation

Hat die Absichtssimulation mit den gewaehlten Funktionsprueffolgen zu einem positiven Ergebnis gefuehrt, dokumentiert das erzeugte Simulationsprotokoll das Soll-Verhalten des zu realisierenden Standardzellen-Schaltkreises. Damit koennen der NWC der Schaltung fuer die Layoutsynthese und die Funktionsprueffolgen als Wahrheitskriterium fuer die Pruefung auf Uebereinstimmung des Soll- und Ist-Verhaltens freigegeben werden.

Um den Anforderungen der Messtechnik zu genuegen, ist es allerdings erforderlich, die vorhandenen Funktionsprueffolgen anhand bestimmter Vorgaben um verschiedene Formatangaben zu ergaenzen. Fuer alle Eingaenge sind Art und Zeitablauf der anzulegenden Signale (clocks) zu beschreiben, fuer die Ausgaenge sind guenstige Abfrage- (Test-) Zeitpunkte festzulegen. Bidirektionale Stufen sind sowohl als Eingaenge als auch als Ausgaenge zu beschreiben. Weiterhin ist es moeglich, Ein- oder Ausgaenge auszublenden.

Um den Pruefablauf variieren zu koennen, hat der Entwerfende die Moeglichkeit, alle Ein- und Ausgaenge mehrmals verschiedenartig zu beschreiben. Jeweils eine vollstaendige eindeutige Beschreibung aller Ein- und Ausgaenge wird als Timingsatz bezeichnet.

Fuer die Eingabe der Timingsaetze enthaelt das Entwurfssystem ein Dialogprogramm "DYPAT", welches mit dem Kommando "TIMING" aufgerufen werden kann. Ausserdem sind unterstuetzende Programmkomponenten eingebunden, die die Zuordnung von Timingsaetzen zu den einzelnen Simulationsabschnitten ermoeglichen.

Sind die vorbereitenden Arbeiten abgeschlossen, wird die Bestaetigungssimulation ausgefuehrt, wonach sich, vom Entwurfssystem organisiert, der automatische Vergleich (Programm "VERGLEICH") von Soll- und Ist-Verhalten des Standardzellen-Schaltkreismodells anschliesst. Ist das Vergleichsergebnis negativ, werden Hinweise gegeben, wie erforderliche Veraenderungen in den vorangegangenen Entwurfsschritten eingearbeitet werden muessen. Danach sind alle folgenden Programmkomponenten einschliesslich "VERGLEICH" erneut abzarbeiten.

Diese iterative Verfahrensweise ist solange fortzusetzen, bis Soll- und Ist-Verhalten des Schaltkreismodells uebereinstimmen. Damit ist der Entwurf fuer den Anwender abgeschlossen und saemtliche Daten koennen zur weiteren Bearbeitung freigegeben werden.

5. Ausfuehrliches Beispiel zum Arbeiten mit dem Standardzellensystem U 1500/U 1520

5.1. Zielstellung

In den folgenden Abschnitten sollen an einem Beispiel die bisherigen Ausfuehrungen naeher erlaeutert werden. Dabei soll anhand der vorgeschlagenen Herangehensweise fuer den Standardzellen-Schaltkreiserwurf verfahren werden. Selbstverstaendlich kann das gewaehlte Objekt nicht die volle Groesse eines Semikunden-Schaltkreises haben, um den Rahmen dieser Anwenderinformation nicht zu sprengen. Aus diesem Grund soll auf eine Abschaetzung von erforderlicher Chipgroesse, entsprechendem Bondinselring, Gehaeuse usw. verzichtet werden, da die dazu in vorangegangenen Abschnitten gegebenen Hinweise fuer den konkreten Anwendungsfall ausreichend sein duerften. Ausgehend von der auf funktionellen Zusammenhaengen beruhenden Strukturierung des gewaehlten Objektes werden verschiedene Moeglichkeiten der Umsetzung der Schaltung in "NBS-84" diskutiert, desweiteren wird die Vorbereitung der Absichtssimulation exemplarisch erlaeutert.

5.2. Aufgabenstellung

Ausgangspunkt sei eine komplexe Schaltung entsprechend des in Bild 3 dargestellten Blockschaltbildes, die als Standardzellen-Schaltkreis realisiert werden moege.

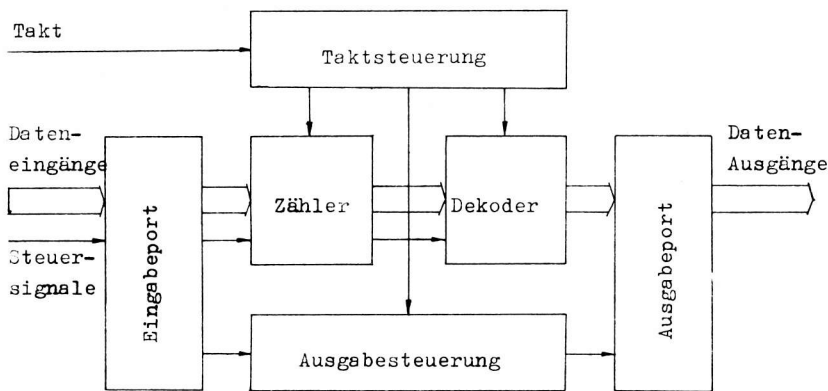


Bild 3: Blockschaltbild

Nach schrittweiser Umsetzung der Funktionsblöcke in konkrete Schaltungen auf Grundlage des Standardzellen-Kataloges liegen für die Schnittstellen Anzahl und Art der verbindenden Signalleitungen und Restriktionen für das Signalspiel vor. Die weitere Vorgehensweise soll ganz speziell für die Funktionsgruppen "EINGABEBORT" und "ZÄHLER" erläutert werden. Für diese Funktionsgruppen wäre die in Bild 4 dargestellte Schaltung denkbar.

Zunächst werden sämtliche Signalleitungen, die Ein- bzw. Ausgänge der Funktionsgruppen sind, mit einem signifikanten Namen versehen (R1...R3, S1...S3, Q1...Q3, QN1...QN3). Dabei darf jeder Name nur einmal verwendet werden. Vorteilhaft werden Bezeichnungen gewählt, die auf das entsprechende Signal bereits hinweisen. Eine zusätzliche unterschiedliche Kennzeichnung der Ein- oder Ausgänge erhöht die Übersichtlichkeit.

Mit einer derartigen durchgängigen Bezeichnung sind alle Schnittstellen eindeutig definiert, in Vorbereitung der Simulation können nunmehr die zeitlichen Abläufe aller bezeichneten Signale formuliert werden.

Eine Benennung aller anderen Verbindungen und der verwendeten Standardzellen ist zu diesem Zeitpunkt noch nicht unbedingt erforderlich. Im Bild 4 sind alle Verbindungen und Standardzellen bereits bezeichnet, um in den weiteren Ausführungen darauf Bezug nehmen zu können.

5.3. Umsetzung der Schaltung in "NBS-84"

Prinzipiell ist es möglich, eine Funktionsgruppe als eine Unterschaltung umzusetzen. Das hat den Vorteil, dass die Potentialnamen, welche die Schnittstellen beschreiben, im Text der Hauptschaltung als Ein- bzw. Ausgänge der Unterschaltung erfasst werden. Die einzelnen Unterschaltungen können auf Wiederholstrukturen durchgemustert werden, um eine weitere Strukturierung vornehmen zu können und die Erfassung der NBS zu erleichtern.

Für jede Netzbeschreibung muss die gleiche Syntax angewendet werden. Zunächst wird jeder Schaltungstext mit dem entsprechenden Namen und der Angabe der NBS-Ebene gekennzeichnet, z. B. entspricht "BSP/L" einer Schaltung "BSP" in der Logikebene. In der Kopfzeile der Schaltungsbeschreibung erfolgt ebenfalls die Festlegung aller Ein- bzw. Ausgänge. Für den Aufruf einer Unterschaltung oder einer Standardzelle ist stets die folgende Form einzuhalten:

! Unterschaltungen (2. Hierarchieebene)

```
S: EP/L           E: LD,DATO,DAT1,DAT2#
                   A: R1,R2,R3,S1,S2,S3
1  DATO-LDN-R1-S1=RS
2  DAT1-LDN-R2-S2=RS
3  DAT2-LDN-R3-S3=RS
E5 LD-LDN=ESH
S: ZA/L           E: S1,S2,S3,R1,R2,R3,RES,CL#
                   A: Q1,Q2,Q3,QN1,QN2,QN3
A13 CL-C1=NEG1
A14 CL-Q1-C2=NA2
A15 CL-Q1-Q2-C3=NA3
1  RES-R1-S1-C1-Q1-QN1=EFF
2  RES-R2-S2-C2-Q2-QN2=EFF
3  RES-R3-S3-C3-Q3-QN3=EFF
```

! Unterschaltungen (3. Hierarchieebene)

```
S: RS/L           E: DAT,LD#
                   A: R,S
E2 DAT-D=ES1
A1  D-DN=NEG1
A4  D-LD-R=NA2
A5  DN-LD-S=NA2
S: EFF/L          E: RES,R,S,C#
                   A: Q,QN
A10 RES-R-RN=NO2
A16 C-CN=NEG1
A19 Q-QN=NEG1
FF1 DQ-C-CN-R-S-Q-DQ=DFFRS
```

Obwohl die gewaehlte Strukturierung die Gliederung in Funktionsgruppen beruecksichtigt und nicht alle Vereinfachungsmoeglichkeiten genutzt werden, ist es offensichtlich, dasz eine geeignete Strukturierung der NBS den Aufwand fuer die Schaltungsbeschreibung gegenueber einem durchgaengigen NBS-Text erheblich senkt. In Bild 5 wird die gewaehlte Strukturierung durch einen entsprechenden "Hierarchiebaum" verdeutlicht.

Unter Umstaenden ist es auch moeglich, dasz sich die Netzbeschreibung durch gaenzliche Loesung von funktionellen Zusammenhaengen weiter verkuerzen laesst. An dem gewaehlten Beispiel kann diese Tatsache sehr gut veranschaulicht werden. Die Wiederholstruktur wird da fuer so "grosz wie moeglich" gefasst und als einzige Unterschaltung "EZ" beschrieben. Zu beachten ist dabei, dasz saemtliche Potentiale, die bei der Simulation bewertet werden sollen, als Ausgaenge der Unterschaltung vereinbart werden, auch wenn sie keine Verbindung zu anderen Schaltungsteilen herstellen (R1...R3, S1...S3).

! Hauptschaltung

```
S: BSP/L           E: DATO,DAT1,DAT2,RESET,CLOCK,LD,MODE#
                   A: A1,A2,A3,A4,A5,A6,A7,A8
E1 RESET-RES=ESH
E5 LD-LDN=ESH
A13 CL-C1=NEG1
A14 CL-Q1-C2=NA2
A15 CL-Q1-Q2-C3=NA3
US1 RES-LDN-DATO-C1-R1-S1-Q1-QN1=EZ
US2 RES-LDN-DAT1-C2-R2-S2-Q2-QN2=EZ
US3 RES-LDN-DAT2-C3-R3-S3-Q3-QN3=EZ
```

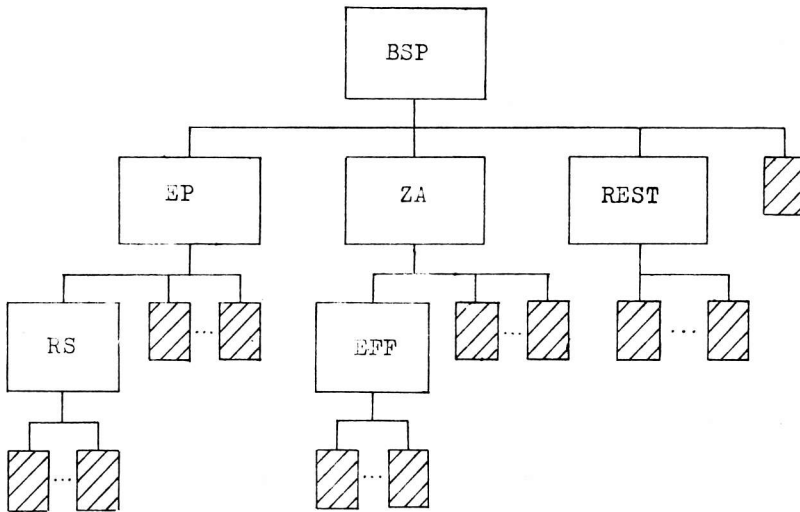



Bild 5: Hierarchiebaum

! Unterschaltung

S: EZ/L E: RES,LD,DAT,C#
 A: R,S,Q,QN

E2 DAT-D=ESH
 A1 D-DN=NEG1
 A4 D-LD-R=NA2
 A5 DN-LD-S=NA2
 A10 RES-R-RN=NO2
 A16 C-CN=NEG1
 A19 Q-QN=NEG1
 FF1 DQ-C-CN-RN-S-Q-DQ=DFFRS

Eine weitere Erleichterung fuer die NBS-Erfassung des Logikplans wird durch spezielle Schreibweisen des "NBS-84"-Editors ermoeeglicht, beispielsweise bei der Nutzung von indizierten, Feld- oder Vektorschreibweisen. Das Prinzip soll am Beispiel der Unterschaltung "EP" angedeutet werden:

S: EP/L E: DAT(3),LDN#
 A: R(3),S(3)

I: N=1:3
 M(N) DAT(N)-LDN-R(N)-S(N)=RS
 E5 LD-LDN=ESH

Hinweise zu den Moeglichkeiten und der Syntax derartiger Schreibweisen findet der Anwender in detaillierteren "NBS-84"-Beschreibungen.

5.4. Vorbereitung der Simulation

Ist der NBS-Text insgesamt erfasst, kann der Anwender seine Vorbereitungen damit abschliessen, dasz er Ausgabespezifikationen und Funktionsprueeffolgen fuer die Simulation mittels "KOSIM" erarbeitet. Das Programmsystem "KOSIM" besitzt verschiedene Elemente wie Impuls-, Takt- und Tabellengeneratoren, fuer die ein bestimmtes Format eingehalten werden musz. Die Nutzung dieser "KOSIM"-eigenen Elemente kann

unabhaengig von allen Formatvorgaben durch die Definition aller an den Schnittstellen zwischen den Funktionsgruppen auftretenden Signale vorbereitet werden. Das bedeutet, dasz alle autretenden Pegel, Pegelwechsel und deren Zeitpunkte erfasst werden. Ausgehend von der empfohlenen Herangehensweise erfolgt die Simulation fuer dieses Beispiel in zwei Etappen. Fuer die erste Teilsimulation werden die Potentiale DAT0...DAT2, RESET, LD als Eingaenge belegt; RESN, R1...R3, S1...S3 sind als Ausgaenge zu bewerten. Alle genannten Potentiale sind im Simulationsprotokoll zu erfassen, damit sind auch die Restriktionen fuer die Ausgabespezifikationen gesetzt. Die Eingaenge sind mit allen erforderlichen Funktionsprueffolgen zu belegen, moegliche Eingangsbelegungen zeigt der folgende Abschnitt einer Datei, die einen Tabellengenerator beschreibt:

! RESET	LD	DAT2	DAT1	DAT0	
0	1	1	1	1	! Eingaengsbelegung
1000					! Dauer der Eingaengsbelegung
1	0	0	0	0	
1000					
1	0	0	0	1	
1000					
1	0	0	1	0	
1000					
:	:	:	:	:	

Unter der Voraussetzung, dasz die vorliegenden Funktionsprueffolgen eine ausschoeffende Simulation von "EINGABEPORT" gewaehrleisten, wird der Prueffolgensatz um zusaetzliche Eingaengsbelegungen ergaenzt, die auch die Simulation der Funktionsgruppe "ZAEHLER" ermoeeglichen (z. B. Festlegung eines geeigneten Taktregimes usw.). Fuer die Simulation von "ZAEHLER" (gleichzeitig wird natuerlich auch "EINGABEPORT" simuliert) sind in der Ausgabespezifikation die Potentiale Q1...Q3, QN1...QN3 zu erfassen.

Fuer weitere Funktionsgruppen wird in gleicher Weise verfahren, bis schliesslich der gesamte Schaltkreis simuliert ist.

Dresden, Oktober 1987

Dipl.-Ing. Klaus Benning
Dipl.-Ing. Thomas Wiese

VEB Forschungszentrum Mikroelektronik Dresden
im Kombinat VEB Carl Zeiss JENA

Anwenderinformation

Gate-Array-System U 5200

1. Beschreibung des Gate-Array-Systems

1.1. Systemgrundgedanke

Zur Deckung des rasch wachsenden Bedarfs an anwenderspezifischen Schaltkreisen in der Volkswirtschaft sind im Prozeß der Arbeitsteilung zwischen den schaltkreisherstellenden und -anwendenden Betrieben neue Formen der Schaltkreisentwicklung und -herstellung notwendig, denen u. a. mit der Gate-Array-Technik entsprochen wird.

Der Grundgedanke der Gate-Array-Technik besteht darin, daß eine große Anzahl von Elementarstrukturen, die untereinander nicht verbunden sind, im Silizium integriert werden. Eine derartige Anordnung heißt Master. Dieser Master kann in großen Stückzahlen, völlig anwenderunabhängig präpariert werden. Er wird erst durch das Aufbringen anwenderspezifischer Verdrahtungen zu einem funktionsfähigen Semikunden-Schaltkreis - Gate-Array genannt.

Für den Schaltkreisherstellungsprozeß bedeutet das, daß der Bauelemente-Hersteller ca. 2/3 der Schaltkreispräparation in einem einheitlichen Prozeß fertigen kann. Es bleiben also nur noch wenige Bearbeitungsschritte, die anwenderspezifisch auf den Master aufzubringen sind.

Diese neue Form der Schaltkreisentwicklung, die im Wesentlichen nur aus dem Entwurf der Verdrahtung besteht, ermöglicht eine drastische Verkürzung der Entwicklungszeiten für den Anwender. Um dies zu erreichen sind durch den Bauelemente-Hersteller umfangreiche Vorarbeiten in der Schaffung des Systems zu leisten. Die wesentlichsten Bestandteile des Gate-Array-Systems sind:

- Master
- auf die Master abgestimmter Makrozellenkatalog
- durchgängiges Entwurfssystem, mit dem der Anwender selbständig Schaltkreise entwerfen kann
- Organisationsprojekt und Vertragssystem.

Erst das Vorhandensein des kompletten Systems ermöglicht es dem Anwender spezifische Schaltkreise zu entwerfen und in kurzen Zeiten bereitgestellt zu bekommen.

1.2. Technische Informationen zum System U 5200

Das Gate-Array-System U 5200 aus dem VEB Forschungszentrum Mikroelektronik Dresden (ZMD) im Kombinat VEB Carl Zeiss JENA ist in einer leistungsarmen CMOS-Technologie entwickelt worden. In dieser Technologie stehen zur Anwenderverdrahtung des Gate-Arrays zwei anwenderspezifische Verdrahtungsebenen - Poli-Si₂ und Aluminium - zur Verfügung. Verbindungen zwischen diesen beiden Ebenen sind über eine zusätzliche Kontaktfensterenebene realisierbar.

Grundlage eines jeden Anwenderentwurfes bildet gegenwärtig der Master U 5201. Er ist gekennzeichnet durch ein Gesamtgatteräquivalent¹⁾ von ca. 3 000 Gattern, die sich wie folgt verteilen:

- 1 020 Logik-Gatteräquivalente
- 102 JK-Master-Slave-Flip-Flops
- 53 Interface-Stufen.

Gegenwärtig wird auf eine Masterauslastung von ca. 80 % (gilt für Logik-Gatter und Flip-Flops) orientiert. Höher ausgelastete Master sind mittels des automatischen Entwurfssystems und auf Grund der Mastergestaltung mit hoher Wahrscheinlichkeit nicht verdrahtbar.

Bild 1 zeigt die räumliche Verteilung der Masterbestandteile auf dem Chip. Aus Bild 1 ist die zeilenförmige Anordnung der Felder für die Logik und die Flip-Flops aus den vorhandenen Transistoren ersichtlich.

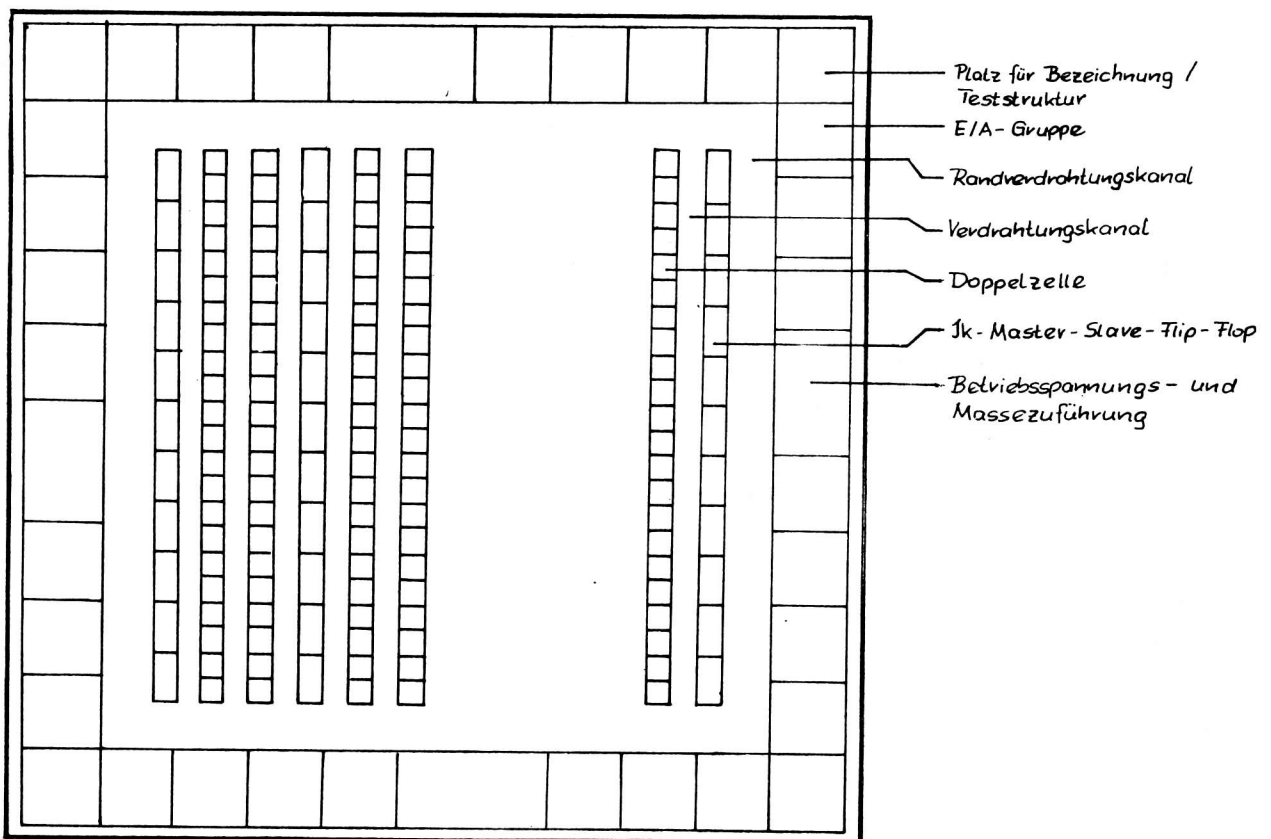


Bild 1: Prinzipieller Masteraufbau

¹⁾ Gatteräquivalent: Bezugsgröße für ein Gatteräquivalent ist ein Gatter mit vier MOS-Transistoren; z. B. 2fach NAND oder 2fach NOR.

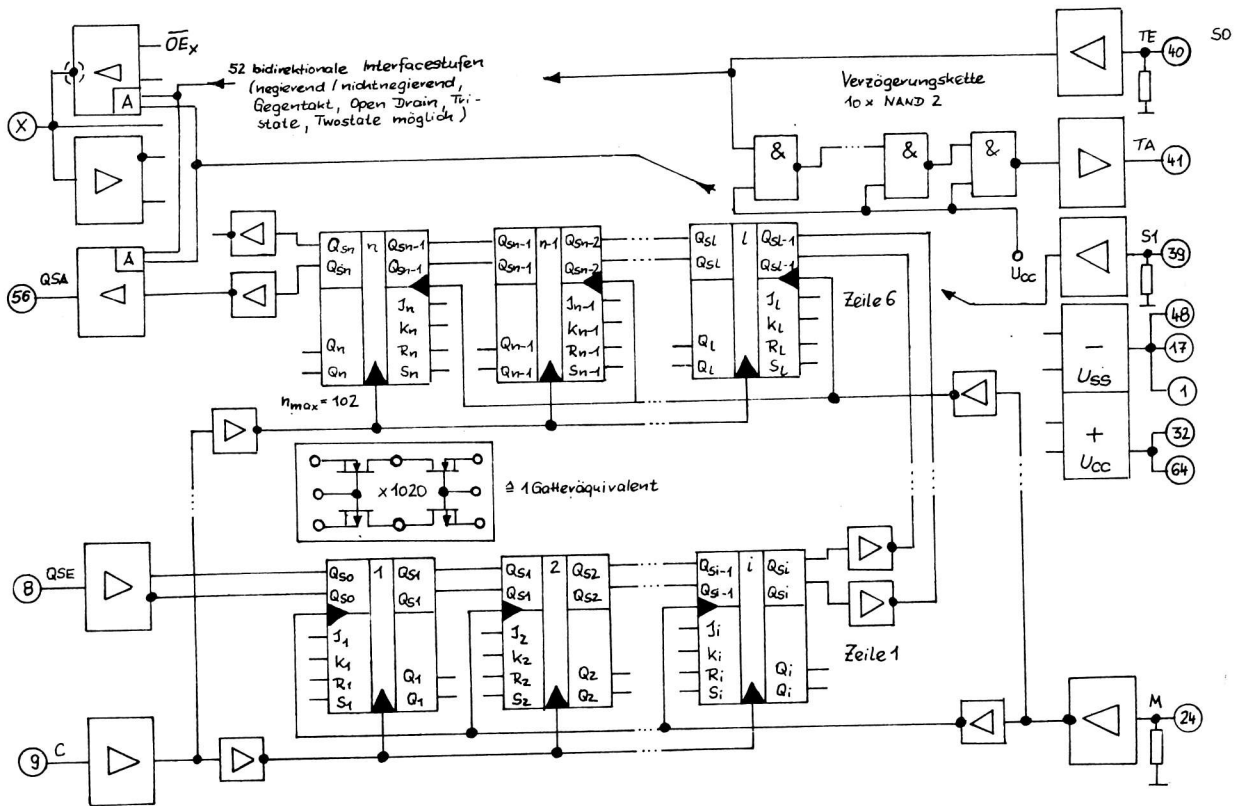


Bild 2: Blockschaltbild des Masters U 5201 im PCC 64

Zwischen jeweils zwei Reihen von Doppelzellen zur Platzierung der Logik befindet sich eine Zeile zur Platzierung von 20 Flip-Flops. Die Doppelzellen können während des Logikentwurfes wahlfrei mit Zellen aus dem Makrokatalog belegt werden. Die Flip-Flop-Zeilen sind im Gegensatz dazu bereits festgelegt und durch den Anwenderentwurf nicht veränderbar; können aber im Rahmen der laut Makrozellenkatalog zugelassenen Funktionen benutzt werden.

Eine Übersicht über die vom Anwender nutzbaren Makrozellen¹⁾ liefert Anlage 1. Sämtliche Makrozellen sind in den systemspezifischen Makrozellenkatalog (nicht Bestandteil dieser Informationsschrift) aufgelistet und durch den Transistorplan, Logiksymbol, Logikgleichung, Anschlußbelegung und dynamische Kennwerte beschrieben. Es sind hierbei zu unterscheiden, die physischen²⁾ und die Software-Makros³⁾. Beide Makroarten sind wahlfrei nutzbar. Makros stellen in jedem Fall bereits entworfene und erprobte Logikelemente dar. Der Makrokatalog unterliegt einem Änderungsdienst und ist somit im gewissen Rahmen den Bedürfnissen der Anwenderindustrie anpaßbar.

1) Makro: Makros sind vom Hersteller fertig entworfene Funktionsblöcke

2) physisches Makro: Physische Makros sind Funktionsblöcke, entworfen mittels der auf dem Makro enthaltenen Transistoren, die wahlfrei auf die für Logik reservierten Doppelzellen des Makros platziert werden können. Je physisches Makro existiert ein Layout.

3) Softwaremakro: Softwaremakros ergeben sich aus der Zusammenschaltung von physischen Makros. Es existiert kein Layout, sondern eine softwaremäßige Beschreibung, die die Zusammenschaltung der physischen Makros enthält. Die Platzierung des Softwaremakros wird vom Entwurfssystem selbstständig durchgeführt und ist nicht beeinflussbar.

Zwischen den Logik- und Flip-Flop-Zeilen sowie um die Gesamtmatrix herum sind Verdrahtungskanäle vorgesehen. Diese dienen der Schaltungsverdrahtung, d. h. der Führung der Verbindungen zwischen den einzelnen Makros. Masse-, Betriebsspannungs- und Taktführung sind vom Anwender nicht zu berücksichtigen.

An der Peripherie des Masters ist ein Ring zur Platzierung von Eingangs-, Ausgangs- und Ein-/Ausgangs-stufen angeordnet. Hier können 52 Interfacestufen wahlfrei (auf den nicht festgelegten Plätzen) angeordnet werden, eine weitere Interfacestufe ist nur als Eingang zugelassen. Anlage 1 gibt einen Überblick über die zur Verfügung stehenden Interfacebaugruppen. Alle Interfacestufen korrespondieren mit einer Bondinsel, die mit den Bauelementeanschlüssen verbunden werden. Für den Master ist ein Bondinselring vorgegeben, in dem die vom Anwender nicht frei nutzbaren Anschlüsse gekennzeichnet sind, vgl. Bild 3.

Die Verkappung der Gate-Arrays mit dem Master U 5201 erfolgte bisher in 64poligen Plast-Chip-Carriern (PCC-Gehäuse). Bis 1990 wird dieses Gehäuse vollständig durch QFP 68-Gehäuse abgelöst.

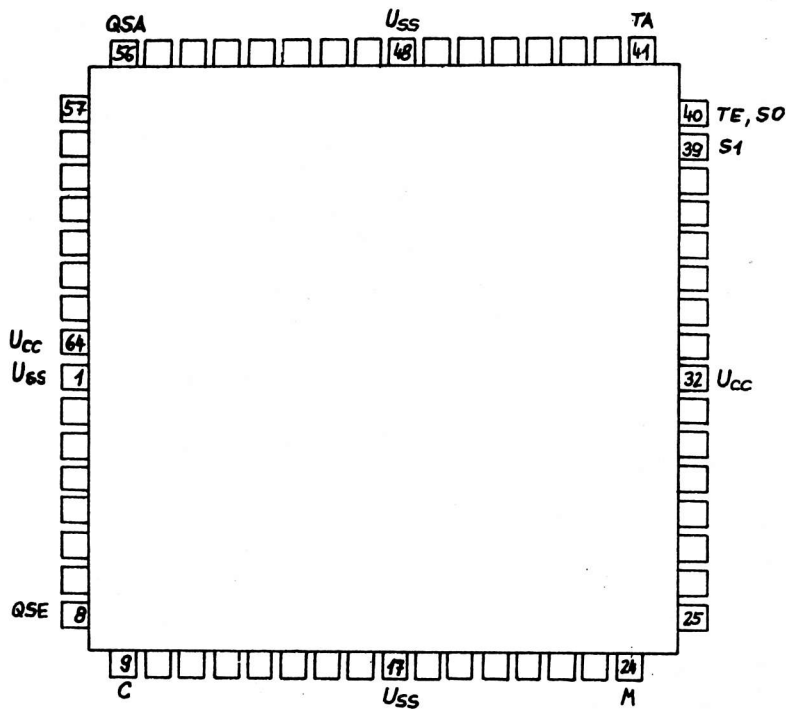


Bild 3: Anschlußbelegung für U 5201 im PCC 64

Anschlußbelegung:

	PCC 64	QFP 68
Masse	1	61
anwenderspezifische Signale	2...7	62...67
Eingang LSSD-Kette	8	68
Takteingang	9	1
anwenderspezifische Signale	10...16	2...8
Masse	17	10
anwenderspezifische Signale	18...23	11...16
Prüfmodus	24	17
anwenderspezifische Signale	25...31	18...24

Fortsetzung Anschlußbelegung:

	PCC 64	QFP 68
Betriebsspannung	32	25
anwenderspezifische Signale	33...38	27...32
Interfacesteuereingang S1	39	33
Interfacesteuereingang S0, Eingang Schiebekette	40	34
Ausgang Schiebekette	41	35
anwenderspezifische Signale	42...47	36...41
Masse	48	42
anwenderspezifische Signale	49...55	44...50
Ausgang LSSD-Kette	56	51
anwenderspezifische Signale	57...63	52...58
Betriebsspannung	64	59

(Anschl. 9, 26, 43, 60 n. c.)

Elektrische Daten

Tabelle 1: Allgemeine Betriebsbedingungen

	Symbol	Wert		Einheit
		min.	max.	
Betriebsspannung	U_{CC}	4,75	5,25	V
L-Eingangsspannung	U_{IL}	-0,3	0,8	V
H-Eingangsspannung	U_{IH}	2,0	$U_{CC} + 0,3$	V
Umgebungstemperatur	ϑ_a	0	70	°C

Die speziellen Betriebsbedingungen sind von der anwenderspezifischen Gate-Array-Verdrahtung abhängig.

Tabelle 2: Ausgewählte Kennwerte

Kenngröße	Symbol	Wert		Einheit
		min.	max.	
Ruhestromverbrauch ¹⁾	I_{CCSB}		200	μA
Eingangsleckstrom (Summenleckstrom aller reinen Eingänge) ¹⁾	I_{IS}		10	μA
Eingangsleckstrom (bidirektionale Eingänge) ¹⁾	I_{IB}		2	μA

Anm.: 1) bei $U_{CC} = 5,25 V$

Fortsetzung Tabelle 2

Kenngröße	Symbol	Wert		Einheit
		min.	max.	
L-Ausgangsspannung ¹⁾	U_{OL}		0,4	V
H-Ausgangsspannung ²⁾	U_{OH}	2,4		V
Eingangskapazität	C_I		10	pF

Anm.: ¹⁾ bei $I_0 = 2 \text{ mA}$ ²⁾ bei $U_{CC} = 4,75 \text{ V}$, $I_0 = -0,4 \text{ mA}$

Tabelle 3: Grenzwerte

- Für die Gate-Array-Bauelemente sind die MOS/CMOS-Behandlungsvorschriften einzuhalten! -

	Symbol	Wert		Einheit
		min.	max.	
Betriebsspannung	U_{CC}	-0,5	7,0	V
Eingangsspannung an allen Eingängen	U_I	-0,5	7,0	V
Ausgangsspannung	U_O	-0,5	7,0	V
Verlustleistung	P_V		0,5	W
Betriebstemperatur	θ_a	0	70	$^{\circ}\text{C}$
Lagerungstemperatur	θ_s	-55	125	$^{\circ}\text{C}$

1.3. Belegung des Masters U 5201 - Nutzung des Makrozellenkataloges

Für die Masterbelegung zum Zweck der Realisierung der Anwenderschaltung sind grundsätzlich nur die im Makrozellenkatalog enthaltenen Makros zugelassen. Alle Zellen sind im Makrozellenkatalog hinsichtlich logischer Funktion, Anschlußbelegung und Netzwerkmodell beschrieben.

1.3.1. Belegung der Logikzellen, Flip-Flops und I/O-Stufen

Grundsätzlich wird jede Zelle, jedes Flip-Flop und jede I/O-Stufe mit einem Makro belegt, entweder durch die vom Anwender ausgewählten Makros oder bei nicht benötigten Zellen durch "universelle" Füll-Makros. Letztere gewährleisten eine Beschaltung aller aktiven Gebiete des Makros und bieten z. T. weitere Unterführungen. Diese Belegungen werden vom Entwurfssystem automatisch vorgenommen, ein Anwender hat darauf keinen Einfluß.

1.4. Applikative Hinweise zur Vorbereitung des Gate-Array-Einsatzes

a) Bei der Umsetzung einer Schaltung in einen Semikunden-Schaltkreis sollte man den Entwurf sofort mittels der Systemlogik, in diesem Fall der Logik des Makrozellenkatalogs, durchführen. Man erspart sich dadurch umfangreiche Umsetzungsarbeit der Schaltung aus einem nicht auf das Gate-Array-System zugeschnittenen Logik-System, zumal eine Umsetzung oft nicht ohne Weiteres gelingt, da viele Schaltungen in asynchroner Arbeitsweise realisiert wurden. Es konnte bisher festgestellt werden, daß der Schaltungsaufwand eines Gate-Array-Entwurfes im Vergleich zu bestehenden Lösungen geringer war, wenn von Anfang an nur auf die Funktionskompatibilität der Baugruppe und nicht aller Schaltungsdetails geachtet wurde (Prinzip: Von "außen nach innen").

- b) Vom Beginn der Arbeiten am Schaltkreis ist unbedingt zu berücksichtigen, daß Gate-Array-Schaltkreise völlig synchron arbeiten, d. h. der Gate-Array-Schaltkreis wird mit einem extern bereitgestellten Takt versorgt. Dieser liegt an sämtlichen Takteingängen der JK-Master-Slave-Flip-Flops an. Eine Nutzung von Gatterverzögerungszeiten zur Erzeugung und Ableitung von Impulsen ist nicht zulässig. Sie sind nicht simulier- und meßbar.

Empfehlung: Verwenden von Schieberegistern oder Zählerstrukturen.

Nutzung von Impulsverkürzerstrukturen ist ebenfalls nicht zugelassen.

Der Aufbau von internen BUS-Strukturen ist nicht möglich. Die Vermeidung logischer und schaltungstechnischer Redundanz und vorzugsweise Verwendung von Baumstrukturen ermöglicht die Gestaltung prüffreundlicher Entwürfe.

- c) Für die Bauelemente des Systems U 5200 kommt ein neuartiges Testverfahren in der Meßtechnik zum Einsatz. Es wird hier das LSSD-Prinzip (level-scan-sensitive-design) genutzt, bei dem die Testfolgen für das Meßprogramm automatisch erzeugt werden.

Die so erstellten Meßprogramme gewährleisten eine Selektion der Bauelemente derart, daß alle entworfenen Strukturen des Bauelementes auf Vorhandensein und Funktion geprüft werden. Es erfolgt aber kein dynamischer Funktionstest unter Zugrundelegung anwendungsspezifischer Prüffolgen. Dieses Testverfahren bedingt einige Forderungen bzgl. des Schaltungsentwurfes:

- alle Gate-Arrays sind mit einem chipextern bereitgestellten Takt zu versorgen
- für den Aufbau sequentieller Schaltungen sind die im Master vorhandenen Flip-Flops zu verwenden, Speicherzustände außerhalb der Flip-Flops sind nicht zugelassen (Rückführungen innerhalb der Kombinatorik sind nicht zulässig), siehe Bild 4.

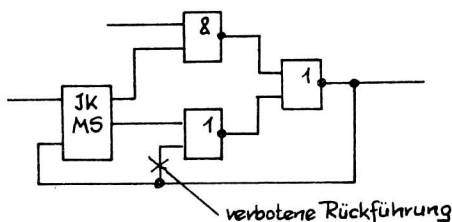


Bild 4: Beispiel für verbotene Rückführungen

- d) Die Verkappung der Bauelemente in Plast-chip-carriern und die damit verbundenen neuen Technologien für aufsetzbare Bauelemente sollten anwenderseitig schon bei der Konzeption des Gesamtgerätes beachtet werden.
- e) An die Einhaltung der Behandlungsvorschriften für MOS/CMOS-Bauelemente soll an dieser Stelle nur verwiesen werden. Die Einhaltung aller für Gate-Array-Schaltkreise geltenden Grenzwerte und Betriebsbedingungen ist zu gewährleisten.

2. Arbeitsschritte bei der Entwicklung und Fertigung von Gate-Array-Schaltkreisen

2.1. Arbeitsteiliger Prozeß der Entwicklung und Fertigung von Gate-Array-Schaltkreisen

Basierend auf dem technisch/technologischen Konzept des Gate-Arrays, bei dem der Master völlig anwenderunabhängig entworfen wurde und ebenso in großen Stückzahlen gefertigt werden kann, sind bei Semikunden-Systemen, also auch beim Gate-Array-System völlig neuartige Anwender-Hersteller-Beziehungen erforderlich, die im folgenden beschrieben werden.

In dem Maße, wie sich die Geräteentwicklung in die Schaltungsentwicklung verlagert, wird der Anwender zum Entwickler seines Schaltkreises. Ihm werden die Entwicklungshilfen zugänglich gemacht, mit denen er die Schaltungsentwicklung durchführt. Dieser Prozeß ist nicht schwieriger als ein Leiterplattenentwurf. Für das System U 5200 erhält jeder Anwender Unterlagen zum Master, Makrozellenkatalog und ein den gesamten Entwurfsprozeß beschreibendes Anwenderhandbuch. Damit ist der Anwender befähigt, den Logikentwurf zu realisieren. Dieser Logikentwurf ist der Einstieg in das Gate-Array-Entwurfssystem "Archimedes". Mittels dieses Entwurfssystems erfolgt die gesamte weitere entwurfsmäßige Bearbeitung des Schaltkreises. Die wesentlichsten Programme des Systems seien ohne nähere Erläuterung hier nur genannt:

- NBS-Eingabe
- statische und dynamische Simulationsprogramme
- Platzierung und Trassierung
- Pattdatenerzeugung
- automatische Meßprogrammgenerierung.

Im Ergebnis der Arbeiten mit "Archimedes" werden zwei Datenträger erstellt - Pattdatenträger und Testpatterndatenträger. Diese bilden die Grundlage der Musterpräparation, die durch ZMD realisiert wird. In dieser Phase erfolgt die Verdrahtung, Verkappung und Messung der Master. Anschließend erhält der Anwender die Musterbauelemente zur Praxiserprobung. Bei positivem Ausgang dieses Tests unterzeichnet der Anwender die mit den Bauelementen übergebenen Technischen Liefer- und Abnahmebedingungen des Schaltkreises, die zur Aufnahme der Serienproduktion berechtigen. Zusammenfassend kann man feststellen, daß die Arbeitsteilung wie folgt gehandhabt wird:

- Entwurfsleistungen auf der Grundlage des Systems erbringt der Anwender
- Präparationsleistungen von Bauelementen erbringt ZMD.

Technisch organisatorischer Ablauf:

Kundenberatung	ZMD	
Vertrag	ZMD/Anwender	
Logikentwurf	Anwender	
Durchführbarkeitsanalyse	ZMD	
Bereitstellung Entwurfsunterlagen/Lehrgänge	ZMD	
Logikentwicklung als Gate-Array	Anwender	} im Entwurfszentrum
Logiksimulation	Anwender	
Gate-Array Layout	Anwender	
dynamische Schaltungssimulation	Anwender	
Bestätigung der Simulation und Freigabe der Musterpräparation	Anwender	
Musterfertigung	ZMD	
Musterlieferung	ZMD	
Funktionstest der Muster	Anwender	
TLAB-Unterzeichnung	Anwender	
Produktion	ZMD	

2.2. Standardisierung, verbindliche Bauelementeunterlagen

Der Gate-Array-Bereitstellung ohne typspezifische K-Entwicklung ist das Verfahren der Standardisierung angepaßt. Für Gate-Arrays gibt es je Master einen Familienstandard, der alle typunabhängigen Parameter festlegt. Er wird ergänzt durch Technische Liefer- und Abnahmebedingungen (TLAB), die zweiseitig zwischen dem Anwender und ZMD abgeschlossen werden. In ihnen sind alle anwenderspezifischen Parameter und Angaben die den Schaltkreis spezifizieren festgeschrieben. Die TLAB wird nach der Mustererprobung des Anwenders unterzeichnet.

Bauelementebezeichnung

```

U 5201  XC  -  100
-  ---!  !!  ---
!  !!  !!  !
!  !!  !!  ----- dreistellige Kundenkennzahl, beginnend ab 100
!  !!  !!
!  !!  !----- Kennzeichen Temperaturbereich:
!  !!  !           C = 0 ... 70 °C
!  !!  ----- Kennzeichen Gehäuse: P = Plast-chip-carrier, F = Ceramic flat package
!  ! ----- Kennzeichen Mastervariante
! ----- Kennzeichen Gate-Array-System
----- Kennzeichen Unipolares Bauelement

```

3. Vorbereitende Arbeiten zur Systemnutzung3.1. Übersicht

Das Entwurfssystem "Archimedes" ist so aufgebaut, daß vom Anwender keinerlei Vorkenntnisse auf dem Gebiet des Schaltkreisentwurfes verlangt werden. Außerdem ist der Anwender in die Lage versetzt, ohne nähere Kenntnis des Entwurfssystems Vorleistungen zu erbringen, die einen nahtlosen Einstieg und eine darauffolgende effektive Nutzung des Entwurfssystems ermöglichen. Insbesondere sind dies:

1. Vorbereitung des vorhandenen Schaltungsentwurfes für die NBS-Aufnahme (NBS = Netzwerkbeschreibungssprache)
2. NBS-Aufnahme des Schaltungsentwurfes
3. Erstellung von Eingangsfolgen für die statische und dynamische Logiksimulation

Diese Arbeiten werden im folgenden auch an Hand von Beispielen näher beschrieben. Ausgangspunkt dafür ist ein auf der Basis des Makrozellenkataloges erstellter Schaltungsentwurf, wozu bereits im Punkt 1.4. Hinweise gegeben wurden.

3.2. Vorbereitung des vorhandenen Schaltungsentwurfes für die NBS-Aufnahme

Um einen vorhandenen Schaltungsentwurf mit dem Entwurfssystem bearbeiten zu können, ist als erster Schritt dieser Entwurf so zu gestalten, daß er in die vorhandene NBS umgesetzt werden kann.

Im Interesse einer Erleichterung der darauffolgenden Arbeitsschritte (insbesondere der Logiksimulation), ist eine Aufspaltung der Gesamtschaltung in kleinere übersichtliche Teilschaltungen zu empfehlen. Zur Erleichterung speziell der eventuellen Fehlersuche bei der späteren Logiksimulation, ist die Gesamtschaltung nach funktionellen Gesichtspunkten aufzuteilen, wobei unter Umständen auftretende komplexere Funktionsgruppen nochmals geteilt werden sollten.

Anschließend erfolgt eine individuelle Benennung aller Schaltungselemente, also aller Hard- und Software-Macros und aller Potentiale (Verbindungen). Der Name für ein Schaltungselement kann aus 1 ... 8 Buchstaben oder Ziffern bestehen. Für die weiteren Arbeiten erweist es sich als günstig, bei Potentialnamen nur bis zu vier Zeichen zu verwenden. Die für Macros vergebenen Namen sollen nach Möglichkeit nicht mit den Macrobezeichnungen laut Katalog übereinstimmen. Potentialnamen sollten mit wenigstens einem Buchstaben beginnen. Dies hilft Verwechslungen mit den vom System vergebenen internen Potentialnummern vermeiden. Weiterhin hat sich eine gewisse Systematik bei der Vergabe der Namen für die Orientierung in der Schaltung als sehr vorteilhaft erwiesen. So ist es z. B. möglich, bereits in den Macro- und Potentialnamen zu verdeutlichen, zu welchem Schaltungsteil diese gehören. Es erweist sich ebenfalls als günstig, Ein- und Ausgänge gesondert kenntlich zu machen. Dies kann geschehen, indem diese Namen

beispielsweise mit I und O beginnen.

An Hand des in Bild 5 gezeigten Schaltungsbeispielen sollen die erläuterten Prinzipien näher verdeutlicht werden. Es handelt sich bei der hier gezeigten Schaltung bereits um einen aus einer komplexeren Schaltung ausgeklammerten Funktionsblock. Die Aufteilung in Funktionsblöcke selbst soll hier nicht betrachtet werden, da dies von dem jeweils erstellten Schaltungsentwurf abhängig ist und deshalb sehr schlecht an einem Beispiel erläutert werden kann.

Aus den in dieser Schaltung vergebenen Namen ist leicht die Zugehörigkeit der Macros und Potentiale zu erkennen, da alle mit den Buchstaben AB beginnen. Außerdem ist bereits zumindest annähernd die Macrofunktion aus dem Namen abzulesen. So bedeutet z. B. ABFF1, daß es sich um das Flip-Flop 1 der Schaltung AB handelt.

Es sei an dieser Stelle aber darauf hingewiesen, daß die hier gemachten Vorschläge für die Benennung der Schaltungselemente keinen verbindlichen Charakter haben, sondern daß sie vom Anwender natürlich auch vollkommen willkürlich oder nach gänzlich anderen Gesichtspunkten vorgenommen werden kann. Allerdings wird sich dabei eine gewisse Systematik immer als vorteilhaft für die Arbeit mit der Schaltung erweisen.

3.3. NBS-Aufnahme des Schaltungsentwurfes

3.3.1. Teilschaltungsaufnahme

Die Umsetzung des bis zu diesem Zeitpunkt z. B. in Form eines Logikplanes vorliegenden Schaltungsentwurfes in eine für das Entwurfssystem verarbeitbare Form - also in die Netzwerkbeschreibungssprache - kann vom Anwender ebenfalls ohne Nutzung des Systemes vorbereitet werden. Erläutert werden soll dies wiederum an dem in Bild 5 gezeigten Schaltungsbeispiel.

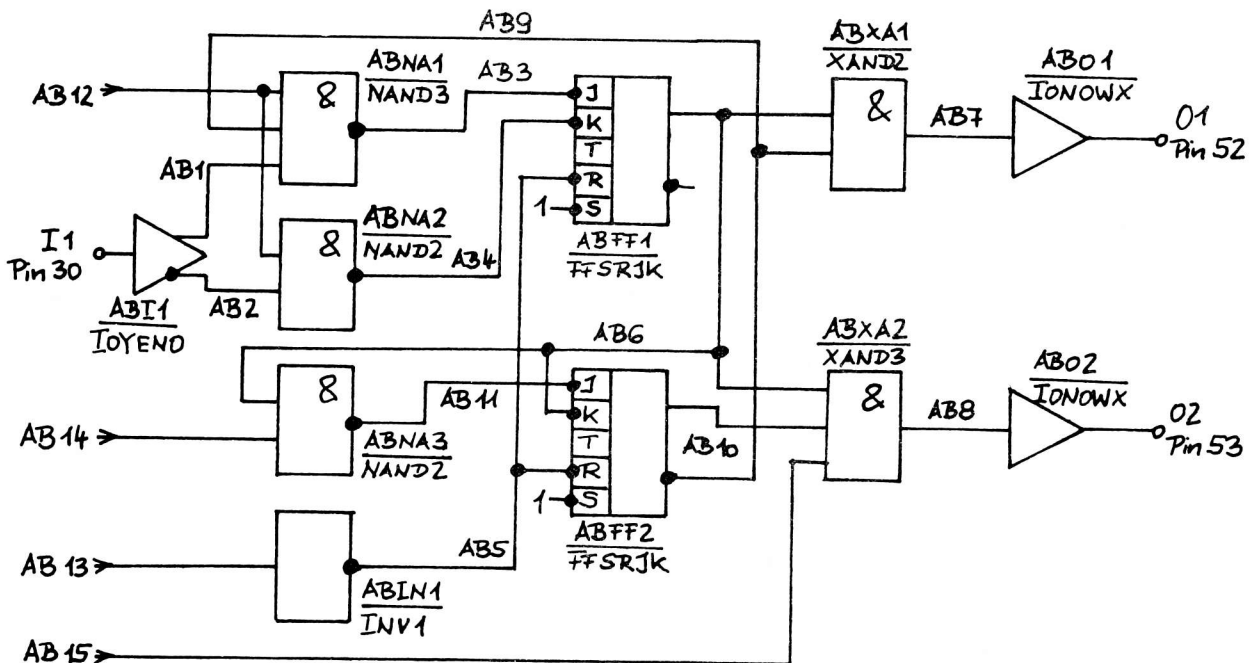


Bild 5 Teilschaltung AB

Der NBS-Text dafür hat folgendes Aussehen:

```
S: AB
E: IAB1, AB12, AB13, AB14, AB15
A: OAB1, OAB2

ABI1      IAB1-AB1-AB2=&IOYENO
ABNA1     AB12-AB9-AB1-AB3=&NAND3
ABNA2     AB12-AB2-AB4=&NAND2
ABNA3     AB6-AB14-AB11=&NAND2
ABIN1     AB13-AB5=&INV1
ABFF1     AB3-AB4-AB5-SPG-AB6- =&FFSRJK
ABFF2     AB11-AB6-AB5-SPG-AB10-AB9=&FFSRJK
ABXA1     AB9-AB6-AB7- =&XAND2
ABXA2     AB6-AB10-AB15-AB8- =&XAND3
ABO1      AB7-OAB1- =&IONOWX
ABO2      AB8-OAB2- =&IONOWX
```

In der ersten Zeile steht der Schaltungsname, der aus 1 ... 8 Zeichen bestehen kann. In der zweiten Zeile müssen alle Eingänge der Schaltung aufgeführt werden, also sowohl alle Bondinseingänge (IAB1) als auch alle Potentiale von anderen Teilschaltungen (AB12 ... AB15). Die Reihenfolge kann dabei vollkommen willkürlich gewählt werden. Mit den Ausgängen, die in Zeile 3 stehen, wird vollkommen analog verfahren. Anschließend werden zeilenweise alle in der Schaltung vorkommenden Macros aufgeführt, wobei die Reihenfolge wiederum beliebig ist. An erster Stelle in der Zeile muß der selbstgewählte Macroname stehen. Danach folgt mindestens ein oder auch mehrere Leerzeichen, wonach dann entsprechend dem im Macrokatalog angegebenen NBS - Aufrufnamen die Potentialnamen und die Macrobezeichnung angeführt werden.

Nimmt man als Beispiel das Macro ABNA1, so ist der im Katalog angegebene NBE - Aufrufname für ein NAND3 A-B-C-Y=&NAND3. Es müssen also in der Reihenfolge die drei Eingänge (AB12, AB9, AB1) und der Ausgang (AB3) eingeschrieben werden. Bei funktionell gleichwertigen Eingängen, wie sie z. B. die Macros NAND, XAND, NOR, XOR aufweisen, ist die Reihenfolge bei diesen selbst beliebig. Sie könnten also konkret bei ABNA1 durchaus auch in der Reihenfolge AB1-AB9-AB12 eingeschrieben werden.

Sind Ausgänge von Macros nicht belegt, wie das z. B. bei ABFF1, ABXA1 und ABXA2 der Fall ist, wird an dieser Stelle ein Leerzeichen eingefügt. Sollen einzelne Macroeingänge fest auf HIGH- oder LOW-Potential gelegt werden, wie z. B. bei ABFF1 und ABFF2, ist an der entsprechenden Stelle des NBS-Aufrufnamens SPG für HIGH-Potential und ERDE für LOW-Potential einzufügen. Allerdings ist speziell bei einer derartigen Flip-Flop-Belegung vorher zu prüfen, ob eine solche Eingangsbelegung nicht bereits mit den im Katalog angebotenen Macrovarianten realisiert wurde.

Nach Fertigstellung des NBS-Textes erfolgt mit Hilfe des Systemes eine Syntax-Prüfung. Dabei werden alle syntaktischen Fehler wie z. B. falscher NBS-Aufrufname, offene oder mehrfach belegte Eingänge u. ä. erkannt und ausgegeben. Nicht erkannt werden Fehler bei der Schaltungsaufnahme wie z. B. falsche Verbindungen, sofern sie keine Verletzung der NBS-Syntax zur Folge haben. Die NBS-Textdatei erhält erst nach Beseitigung aller Syntax-Fehler den Status "Syntaxgeprüft". Nur mit Textdateien mit diesem Status kann der nächste Arbeitsschritt, die Schaltungsauflösung, durchgeprüft werden. Machen sich späterhin, beispielsweise im Ergebnis der Logiksimulation, Schaltungsänderungen erforderlich, werden automatisch die Dateien, in denen diese Änderungen vorgenommen werden, wieder auf den Status "Ungeprüft" gesetzt und müssen neu syntaxgeprüft werden.

3.3.2. Gesamtschaltungsaufnahme

Sind alle Teilschaltungen in Textdateien erfaßt, kann der NBS-Text der Gesamtschaltung aufgenommen werden. Vom Prinzip her werden dabei die Teilschaltungen wie Macros behandelt. Dies soll wiederum an einem Textbeispiel erläutert werden:

S: GES
E: IAB1, ICD1, ICD2
A: OAB1, OAB2, OCD1, OCD2

TEIL 1 IAB1-AB12-AB13-AB14-AB15-OAB1-OAB2=AB
TEIL 2 ICD1-ICD2-OCD1-OCD2-AB12-AB13-AB14-AB15=CD

In der ersten Zeile steht wiederum der Schaltungsname, in diesem Falle GES. In der zweiten und dritten Zeile folgen die Ein- und Ausgänge. Hier dürfen bei der Gesamtschaltung nur noch Bondin-selein- und -ausgänge auftauchen. Anschließend werden die Teilschaltungen aufgeführt. Analog zu den Macros müssen auch die Teilschaltungen als Elemente der Gesamtschaltung einen neuen Namen erhalten, der am Anfang der Zeile stehen muß. Nach wiederum einem oder mehreren Leerzeichen folgen dann die Ein- und Ausgänge und zwar in der gleichen Reihenfolge wie in den beiden Kopfzeilen des NBS-Textes der Teilschaltung. Abgeschlossen wird die Zeile mit einem Gleichheitszeichen und dem Namen der Teilschaltung. Allerdings steht hier vor dem Namen nicht das Zeichen &, das nur zur Kennzeichnung von Macros dient.

Aus dem Genannten folgt natürlich, daß die Erstellung des NBS-Textes für die Gesamtschaltung erst nach der Aufnahme aller Teilschaltungen möglich und auch sinnvoll ist, wobei die so entstandene Gesamtschaltung durchaus wieder Teil einer komplexeren Schaltung sein kann.

3.4. Erstellung von Eingangsfolgen für die statische und dynamische Logiksimulation

Nach Erstellung und syntaktischer Prüfung aller NBS-Texte schließt sich als nächster Arbeitsschritt die statische Logiksimulation an. "Statisch" bedeutet in diesem Falle, daß nur die reinen Gatterverzögerungszeiten und keine aus der Verbindung der einzelnen Elemente resultierenden Leitungsverzögerungen in die Berechnungen eingehen. Letzteres geschieht erst nach erfolgter Platzierung und Trassierung bei der dynamischen Simulation. Da aber sowohl die statische als auch die dynamische Logiksimulation nur unter Nutzung des Entwurfssystems möglich ist, soll an dieser Stelle auch nicht näher auf den Ablauf der Simulation eingegangen werden, sondern nur auf die Arbeiten, die vom Anwender zur Vorbereitung der Simulation ohne Nutzung des Systems durchgeführt werden können.

Aufgabe der statischen Logiksimulation ist der Nachweis der fehlerfreien logischen Funktion der entwickelten Schaltung. Das ist von besonderer Bedeutung, da auf Grund der angestrebten kurzen Entwicklungszeit bei Gate-Array-Schaltkreisen und wegen der Spezifik der verwendeten Macros wohl in kaum einem Falle der Aufbau einer Brettschaltung mit Standardlogikschaltkreisen zur Überprüfung der Funktion möglich sein wird.

Die Garantie für eine logisch wirklich fehlerfreie Schaltung erhält der Anwender allerdings nur durch eine zielgerichtete Nutzung der Logiksimulation zur Fehlererkennung. Außschlaggebend dafür ist die entsprechende Wahl der Binärfolgen, die an die verschiedenen Schaltungseingänge zu legen sind. Man sollte zum einen die im echten, fehlerfreien Betriebsfall vorkommenden Eingangszustände in der zeitlich richtigen Reihenfolge anlegen und dabei die fehlerfreie Reaktion an den Ausgängen überprüfen. Dabei ist es natürlich günstig, wenn wirklich alle möglichen Varianten berücksichtigt werden können. Da das bei einer großen Zahl von Eingängen kaum mit vertretbarem Aufwand zu realisieren sein wird, bringt auch hierfür die unter 3.2. empfohlene Auftrennung der Gesamtschaltung in kleinere Teilschaltungen auf Grund der reduzierten Eingangszahl enorme Vorteile mit sich.

Anlage 1: Übersicht über die physischen und Softwaremakros

Physische Makros

Makro-Bezeichnung	Kurzbeschreibung		Zellenzahl
<u>Inverter und interne Treiber</u>			
INV1	Inverter einfach	$Y = /A$	1
INV2	Inverter doppelt	$Y = /A$	1
INV4	Inverter vierfach	$Y = /A$	1
TR3	Treiber	$Y = A$	1
<u>Grundgatter Typ 1</u>			
NAND2	2fach NAND		1
NAND3	3fach NAND		1
NAND4	4fach NAND		1
NOR2	2fach NOR		1
NOR3	3fach NOR		1
NOR4	4fach NOR		1
XAND2	2fach NAND mit Inverter		1
XAND3	3fach NAND mit Inverter		1
XAND4	4fach NAND mit Inverter		2
XOR2	2fach NOR mit Inverter		1
XOR3	3fach NOR mit Inverter		1
XOR4	4fach NOR mit Inverter		2
EXOR	$Y = A \cdot \bar{B} \vee \bar{A} \cdot B$		2
XAND	$Y = \bar{A} \cdot \bar{B} \vee A \cdot B$		2
IMPLI	$Y = \bar{A} \vee B$		1
INHIB	$Y = \bar{A} \cdot B$		1
<u>Komplexe Gatter Typ 2</u>			
NANDm mit ORn-Eingängen (ohne bzw. mit invertierendem Ausgang)			
NA202	$Y = \overline{(A \vee B) \cdot (C \vee D)}$		1
XA202	$Y = \overline{(A \vee B) \cdot (C \vee D)}, X = \bar{Y}$		2
NA302	$Y = \overline{(A \vee B) \cdot (C \vee D) \cdot (E \vee F)}$		2
XA302	$Y = \overline{(A \vee B) \cdot (C \vee D) \cdot (E \vee F)}, X = \bar{Y}$		2
NA402	$Y = \overline{(A \vee B) \cdot (C \vee D) \cdot (E \vee F) \cdot (G \vee H)}$		2

Fortsetzung Tabelle 1:

Makro-Bezeichnung	Kurzbeschreibung	Zellenzahl
NA203	$Y = \overline{(A \vee B \vee C)} * \overline{(D \vee E \vee F)}$	2
XA203	$Y = \overline{(A \vee B \vee C)} * \overline{(D \vee E \vee F)}, X = \overline{Y}$	2
NORm mit ANDn-Eingängen (ohne bzw. mit invertierendem Ausgang)		
N02A2	$Y = \overline{(A * B) \vee (C * D)}$	1
X02A2	$Y = \overline{(A * B) \vee (C * D)}, X = \overline{Y}$	2
N03A2	$Y = \overline{(A * B) \vee (C * D) \vee (E * F)}$	2
X03A2	$Y = \overline{(A * B) \vee (C * D) \vee (E * F)}, X = \overline{Y}$	2
N04A2	$Y = \overline{(A * B) \vee (C * D) \vee (E * F) \vee (G * H)}$	2
N02A3	$Y = \overline{(A * B * C) \vee (D * E * F)}$	2
X02A3	$Y = \overline{(A * B * C) \vee (D * E * F)}, X = \overline{Y}$	2
<u>Komplexe Gatter Typ 3</u>		
N02A12	$Y = \overline{A \vee (B * C)}$	1
X02A12	$Y = \overline{A \vee (B * C)}, X = \overline{Y}$	1
N03A13	$Y = \overline{A \vee (B * C) \vee (D * E * F)}$	2
X03A13	$Y = \overline{A \vee (B * C) \vee (D * E * F)}, X = \overline{Y}$	2
N04A14	$Y = \overline{A \vee (B * C) \vee (D * E * F) \vee (G * H * I * J)}$	3
X04A14	$Y = \overline{A \vee (B * C) \vee (D * E * F) \vee (G * H * I * J)}, X = \overline{Y}$	3
<u>Komplexe Gatter Typ 4</u>		
HA1	Halbadder	2
VA1	Volladder	4

Fortsetzung Tabelle 1:

Makro-Bezeichnung	Kurzbeschreibung	Zellenzahl
<u>Decoder, Multiplexer und Demultiplexer</u>		
DEC2L1	1 aus 2-Decoder, LOW-aktiv	1
DEC4L2	1 aus 4-Decoder, LOW-aktiv	3
DEC4H2	1 aus 4-Decoder, HIGH-aktiv	3
DEC8L3	1 aus 8-Decoder, LOW-aktiv	8
MUX2	2 bit-Multiplexer	2
MUX4	4 bit-Multiplexer	4
MUX8	8 bit-Multiplexer	8
DMUX2	2 bit-Demultiplexer	2
DMUX4	4 bit-Demultiplexer	5
DMUX8	8 bit-Demultiplexer	9

Makros mit mehrfach gleichen Grundfunktionen

QINV1	4 Inverter INV1	1
DINV2	2 Inverter INV2	1
DNAND2	2 NAND2	1
DNAND4	2 NAND4	2
DNOR2	2 NOR2	1
DNOR4	2 NOR4	2

Flip-Flop-Makros Typ 1

FFSRJK	J-K-Master-Slave-Flip-Flop dominant setz- und rücksetzbar
FF****	Vom FFSRJK abgeleitete Flip-Flop-Varianten, die durch makrointerne Beschaltung der Eingänge mit HIGH- bzw. LOW-Potential entstehen.

Name	Interne Belegung				Funktion
	SQ	RQ	JQ	KQ	
FFSRJH	-	-	-	H)
FFSRHK	-	-	H	-)
FFSRHH	-	-	H	H) RS-Flip-Flop
FFSRJL	-	-	-	L)
FFSRLK	-	-	L	-)
FFSRLK	-	-	L	L)
FFSRLK	-	-	L	L) T-Flip-Flop mit T ständig LOW, statisch setz- und rücksetzbar
FFSHHK	-	H	H	-)
FFSHLL	-	H	L	L) T-Flip-Flop mit T ständig LOW, statisch setzbar

Fortsetzung Tabelle 1:

Name	Interne Belegung				Funktion
	SQ	RQ	JQ	KQ	
FFHRJH	H	-	-	H	T-Flip-Flop mit T ständig LOW, statisch rücksetzbar
FFHRLl	H	-	L	L	
FFHLL	H	H	L	L	T-Flip-Flop mit T ständig LOW, statisch unbeeinflussbar

Ein-/Ausgabegruppen des Systems U 5200

Makro-Bezeichnung	Kurzbeschreibung des Makros
-------------------	-----------------------------

Eingabemakro Typ 2

IOYEND	Eingangsverstärker mit LOW-Haltetransistor, negierender und nichtnegierender Ausgang sind vorhanden
IOYOND	Eingangsverstärker mit offenem Gate, negierender und nichtnegierender Ausgang sind vorhanden
IODONO	Eingangsverstärker doppelter Treiberfähigkeit, nichtnegierender Ausgang vorhanden

Ausgabemakro Typ 3

IONORX	Gegentakt-Ausgangsverstärker mit Tristate-Steuerung, nicht negierend
IONORY	Gegentakt-Ausgangsverstärker mit Tristate-Steuerung, negierend
IONOWX	Gegentakt-Ausgangsverstärker nichtnegierend (Twostate)
IONOWY	Gegentakt-Ausgangsverstärker negierend (Twostate)
IONODX	Open-drain-Treiber nichtnegierend
IONODY	Open-drain-Treiber negierend

Eingabe-/Ausgabe-Makros Typ 4

IOYERX	Eingangsverstärker mit LOW-Haltetransistor, nichtnegierender und negierender Ausgang vorhanden, Gegentakt-Ausgangsverstärker mit Tristate-Steuerung, nichtnegierend
IOYORX	Eingangsverstärker mit offenem Gate, nichtnegierender und negierender Ausgang vorhanden, Gegentakt-Ausgangsverstärker mit Tristate-Steuerung, nichtnegierend

Fortsetzung Tabelle 1:

Makro-Bezeichnung	Kurzbeschreibung des Makros
IOYERY	Eingangsverstärker mit LOW-Haltetransistor, nichtnegierender und negierender Ausgang vorhanden, Gegentakt-Ausgangsverstärker mit Tristate-Steuerung, negierend
IOYORY	Eingangsverstärker mit offenem Gate, nichtnegierender und negierender Ausgang vorhanden, Gegentakt-Ausgangsverstärker mit Tristate-Steuerung, negierend

Softwaremakros

Makro-Bezeichnung	Kurzbeschreibung	Zellenzahl
-------------------	------------------	------------

Arithmetikschaltungen

AD4BP	kaskadierbare 4-bit-Addierschaltung für zwei Worte mit einlaufendem Übertrag (analog SN 7483)	16 GZ
AD4BP1	kaskadierbare 4-bit-Addierschaltung für zwei Worte ohne einlaufenden Übertrag	14 GZ
AS4BP	kaskadierbare 4-bit-Recheneinheit mit einlaufendem Übertrag CI und auslaufendem Übertrag CO (analog SN7483 erweitert mit SN74H87)	28 GZ
ALU4B1	4-bit-Arithmetik/Logik-Einheit (analog SN74181)	54 GZ
ALU4BP1	dto. ohne auslaufenden Serienübertrag	50 GZ
LACAR	CARRY-LOOK-AHEAD-Schaltung zur Komplettierung einer 4-bit-ALU (logische Fkt. wie SN74182)	15 GZ
ALU16B	16-bit-Arithmetik/Logik-Einheit	221 GZ
MU4BP	Multiplizierschaltung für zwei 4-bit-Worte; das Ergebniswort ist rein binär verschlüsselt	52 GZ
BCD2BIN7	2-Digit-BCD in 7-bit-Binär Decoder	26 GZ

Zähler und Teiler

FLAEIN	Zusatzschaltung zur Ereignisauswertung	2 FFZ 3 GZ
COUB	1 bit eines kaskadierbaren binären Vor-/Rückwärtszählers bzgl. Takt T, synchron setz- und rücksetzbar	1 FFZ 8 GZ

Fortsetzung Tabelle 1 :

Makro-Bezeichnung	Kurzbeschreibung	Zellenzahl
COUH	kaskadierbarer binärer 4-bit-Vor-/Rückwärtszähler bezüglich Takt T, synchron setz- und rücksetzbar (ab bit 2 eines Binärzählers verwendbar)	4 FFZ 8 GZ
COUH1	dto. für bit 1 (...4)	4 FFZ 10 GZ
COUHP	kaskadierbarer binärer 4-bit-Vor-/Rückwärtszähler bzgl. Takt T, rücksetzbar und mittels Parallel-Input synchron voreinstellbar (ab bit 2 eines Binärzählers verwendbar)	4 FFZ 19 GZ
COUHP1	dto. für bit 1 (...4)	4 FFZ 20 GZ
COUD	kaskadierbarer dekadischer Vor-/Rückwärtszähler bezüglich Takt T, synchron rücksetzbar (ab 2. Dekade verwendbar)	4 FFZ 12 GZ
COUD1	dto. für 1. Dekade	4 FFZ 15 GZ
COUDP	kaskadierbarer dekadischer Vor-/Rückwärtszähler bezüglich Takt T, rücksetzbar und mittels Parallel-Input synchron voreinstellbar (ab 2. Dekade verwendbar)	4 FFZ 23 GZ
COUDP1	dto. für 1. Dekade	4 FFZ 26 GZ
COUDVS	schneller dekadischer Vorwärtszähler bzgl. Takt T, synchron rücksetzbar und mit STOP-Funktion ausgestattet (für jede Dekade nutzbar)	4 FFZ 6 GZ
COUDVS1	dto. für die 1. Dekade, wenn die STOP-Funktion entfallen kann	4 FFZ 4 GZ
COUDRS	dekadischer Rückwärtszähler, Funktionsumfang siehe COUDVS	4 FFZ 7 GZ
COUDRS1	dto. für die 1. Dekade, siehe COUDVS1	4 FFZ 5 GZ
TEID4P	Programmierbarer dekadischer Frequenzteiler bzgl. Takt T, synchron rücksetzbar und mit STOP-Funktion; kaskadierbar (Teilerverhältnis: 1 : 10 ... 9 : 10)	4 FFZ 18 GZ
TEID4P1	Programmierbarer Frequenzteiler bzgl. LOW-Ereignissen am Eingang EI, synchron rücksetzbar und mit STOP-Funktion; kaskadierbar (Teilerverhältnis: 1 : 10 ... 9 : 10); (ähnlich SN74167)	6 FFZ 21 GZ

Fortsetzung Tabelle 1:

Makro-Bezeichnung	Kurzbeschreibung	Zellenzahl
TEI100P	Programmierbarer Frequenzteiler bzgl. LOW-Ereignissen am Eingang EI, synchron rücksetzbar und mit STOP-Funktion (Teilerverhältnis: 1 : 100 ... 99 : 100)	10 FFZ 41 GZ
TEI1000P	dto., (Teilerverhältnis 1 : 1 000 ... 999 : 1 000)	14 FFZ 59 GZ
<u>Schieberegister</u>		
SRLRZ	1 bit eines kaskadierbaren Links-/Rechts-Schieberegisters bzgl. Takt T, synchron setz- und rücksetzbar, mit den Funktionen Parallel-Input und Datenerhalt	1 FFZ 3 GZ
SRLR4	4-bit-L/R-Schieberegister mit vier Zellen SRLRZ	4 FFZ 12 GZ
<u>Segment-Decoder</u>		
DECBCS	BCD-zu-7-Segment-Decoder für die Ziffern 0 ... 9 (Hexadezimalkombinationen A ... F liefern keine standardisierten Sonderzeichen)	14 GZ
DECBCSDT	dto. mit Dunkeltastmöglichkeit der Segmente	18 GZ
DECBCSDS	dto. und zusätzlich Segmenttest	21 GZ
DECBCSAL	dto. und zusätzlich eingangsseitigem Datenpuffer	4 FFZ 26 GZ
DECHXS	Hexadezimal-zu-7-Segment-Decoder für die Ziffern 0 ... 9 sowie A, b, C, d, E, F	26 GZ
DECHXSOT	dto. mit Dunkeltastmöglichkeit der Segmente	30 GZ
DECHXSOS	dto. und zusätzlich Segmenttest	33 GZ
DECHXSAL	dto. und zusätzlich eingangsseitigem Datenpuffer	4 FFZ 38 GZ
DECDS	Zusatzschaltung zur ausgangsseitigen Komplettierung eines 7-Segmentdecoders (Dunkeltastmöglichkeit, Segmenttest)	7 GZ
DECOT	Zusatzschaltung zur ausgangsseitigen Komplettierung eines 7-Segmentdecoders	4 GZ
DECIM	Zusatzschaltung zur eingangsseitigen Komplettierung eines 7-Segmentdecoders (Speicherung der einlaufenden Signale und Informationsübernahme durch Freigabesignal STB)	4 FFZ 5 GZ

Fortsetzung Tabelle 1:

Makro-Bezeichnung	Kurzbeschreibung	Zellenzahl
LCDOUT	Ausgabeeinheit für LCD-Ansteuerung (7-fach-EXAND)	14 GZ
LCDBCSL	Decoder mit Dunkelastung und Eingangslatch (Funktion ähnlich FAIRCHILD 4543B)	4 FFZ 37 GZ
LCDHXSL	Decoder mit Dunkelastung und Eingangs- latch (Funktion ähnlich FAIRCHILD 4543B; Übertetraden werden als A, b, C, d, E, F ausgegeben)	4 FFZ 49 GZ

Dresden, 30. 11. 1987

Dipl.-Ing. Jens Wober

VEB Forschungszentrum Mikroelektronik Dresden
im Kombinat VEB Carl Zeiss JENA

Anwendungshinweise zum Einsatz von JK-Master-Slave-Flipflops im Gate-Array-System U 5200

1. Einleitung

Im Folgenden sollen Hinweise zur Arbeit mit Flip-Flops unter den Restriktionen des Gate-Array-Systems U 5200 gegeben werden. Die auf dem Master in Zeilen angeordneten JK-Master-Slave-Flip-Flops (JK-MS-FF) haben eine gemeinsame Taktleitung, deren Verdrahtung anwenderunabhängig bereits bei der Masterpräparation vorgenommen wird. Alle FF schalten somit gleichzeitig, d. h. das System arbeitet voll synchron. Da interne Leitungsrückführungen nicht gestattet sind, bilden diese FF die Grundlage für sequentielle Schaltungen.

2. Taktsystem

Der Taktpfad gelangt vom Eingangspegelwandler über den Treiber der Taktverteilung, den jeweiligen Zeilentreibern an die Flip-Flops. Daraus resultieren unterschiedliche Taktlaufzeiten, d. h. der Takt benötigt eine gewisse Einschwingzeit bis er an allen FF stabil anliegt. Diese Laufzeitunterschiede müssen bei der Berechnung der Taktfrequenz berücksichtigt werden und sind abhängig von der Auslastung des Chips und der Belegung der Chiphälften /4/. Danach ergibt sich bei einer ungleichmäßigen FF-Auslastung (untere Chiphälfte 50 %, obere 100 %) unter Worst-Case-Bedingungen eine Taktverzögerung zwischen Zeile 1 und Zeile 6 von ca. 7,5 ns. Diese Zeit t_{SW} muß bei der Berechnung der maximalen Grenzfrequenz beachtet werden und wird bei der Schaltungssimulation mit 10 ns zur Zeitdauer der High-Periode des Taktes addiert.

3. Aufbau und Funktion der JK-MS-FF

Das im Gate-Array-System U 5200 angebotene JK-MS-FF besteht aus dem Master, einem sogenannten Schiebegrave und dem Arbeitsslave (siehe Bild 1).

Der Schiebegrave spielt nur für die Schaltkreistestung eine Rolle. Er wird mittels des Modussteuer-signals M aktiviert. Da eine derartige Arbeitsweise für den Nutzer des Entwurfssystems keine Bedeutung hat, soll hier auf den Schiebegravemodus nicht weiter eingegangen werden. Das Pin 24, an welches das Signal M angelegt wird, braucht vom Anwender nicht beschaltet zu werden. Auf Grund der verwendeten I/O-Stufe mit Low-Haltetransistor liegt das Signal ständig auf Low, womit der Arbeitsmodus gewährleistet ist /2/. Dieser soll hier auch näher beschrieben werden.

Das FF arbeitet als taktzustandsgesteuertes JK-MS-FF bezüglich der Eingänge /J,/K,/S,/R sowie der Datenausgabe über Q und /Q des Arbeitsslaves. /J und /K dienen als Dateneingänge, auch als dynamische Setz- und Rücksetzeingänge bezeichnet, /R und /S als dominierende Voreinstelleingänge, auch statische Setz- und Rücksetzeingänge genannt. Letztere dürfen nicht gemeinsam Low werden.

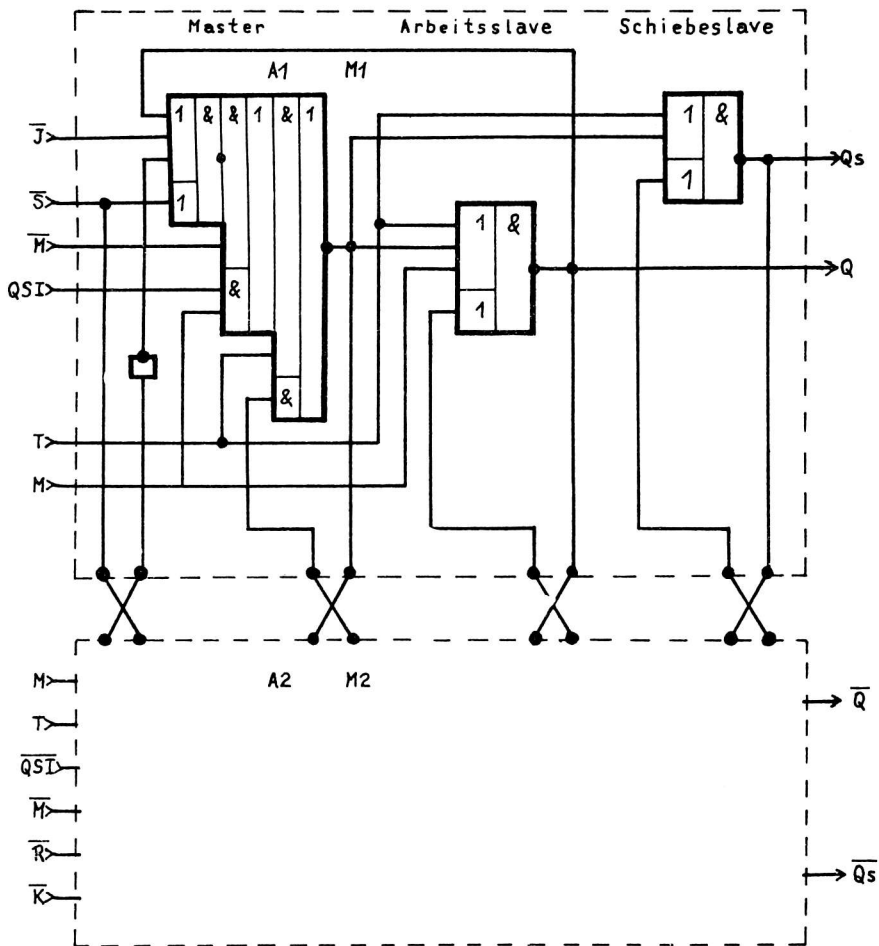
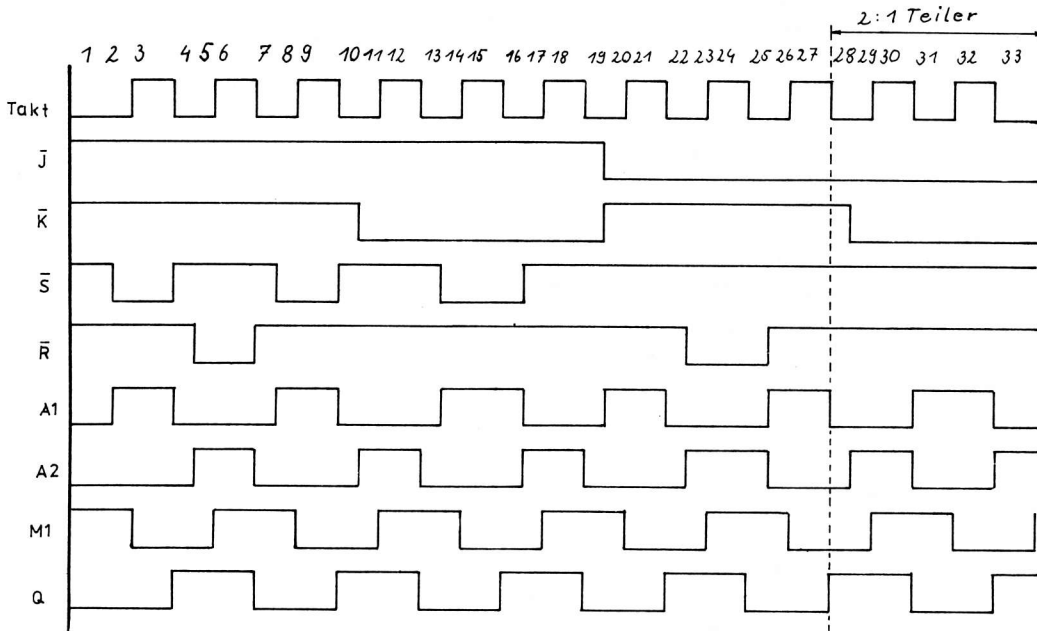


Bild 1: Vereinfachter Logikplan eines JK-MS-FF

Die Funktion des FF soll anhand des Taktdiagrammes (Bild 2) erläutert werden. Hierbei wurde der Takt so dargestellt, wie er unmittelbar in die Logik des FF eingeht. Am Taktpin liegt er negiert dazu an.

Zu Beginn des 1. Taktes liegen alle Steuereingänge /J,/K,/S,/R auf High. Am Ausgang steht ein Low. Wird der Setzeingang aktiviert, geht der Ausgang A1 der Eingangslogik nach High. A2 bleibt Low. Mit dem High-Zustand des Taktes wird der an A1 bzw. A2 anliegende Pegel vom Master übernommen und erscheint negiert an den Ausgängen M1, M2 des Masters. Mit dem Low-Zustand des Taktes erfolgt die Übernahme durch den Slave und der Ausgang Q geht nach High. Dabei wird der Master gesperrt und das FF ist gesetzt. Im 2. Takt wird das FF zurückgesetzt. Nachdem /S wieder auf High liegt und /R aktiviert wurde, geht der Ausgang A2 der Eingangslogik nach High. Wird der Takt wieder High, übernimmt der Master das Signal. Die Übernahme durch den Slave erfolgt mit dem Low-Zustand des Taktes und am Ausgang Q erscheint das Low. Im 4. Takt soll das FF mittels der Dateneingänge zurückgesetzt werden. Hierbei wird nur der Eingang /K aktiviert. Im weiteren ist der Ablauf gleich dem des 2. Taktes. Im 5. Takt wird die Dominanz des Setzens über /S gegenüber einem Reset über /K demonstriert. /K bleibt weiterhin aktiv. Dazu wird aber noch /S = L, so daß jetzt das Potential A1 nach High geht, A2 jedoch Low bleibt. Der weitere Ablauf ist dann wieder wie in den vorangegangenen Takten; Übernahme des Signals durch den Master mit dem Takt-High-Zustand und Übernahme durch den Slave und Sperrung des Masters durch den Takt-Low-Zustand. Mit dem 7. Takt erfolgt das Setzen mittels des aktivierten /J-Einganges. Im 8. Takt wird wieder ähnlich dem 5. Takt die Dominanz des Rücksetzeinganges /R demonstriert.



BiId 2: Taktdiagramm des JK-MS-FF

1 - Ausgangszustand	17 - Rückkehr in dyn. Zustand
2 - Setzen (A1, A2)	18 - - Master
3 - Übernahme Master	19 - - Slave
4 - Übernahme Slave	20 - Setzen
5 - RESET (A1, A2)	21 - - Master
6 - Übernahme Master	22 - - Slave
7 - Übernahme Slave	23 - Dom. RESET (stat.)
8 - Setzen	24 - - Master
9 - - Master	25 - - Slave
10 - - Slave	26 - Rückkehr in dyn. Zustand
11 - RESET (dyn.)	27 - - Master
12 - Setzen Master	28 - - Slave
13 - - Slave	29 - Vorbereitung Logik (A1, A2)
14 - Dom. Setzen (stat.)	30 - - Master
15 - - Master	31 - - Slave
16 - - Slave	32 - - Master
	33 - - Slave

Sind beide Dateneingänge /J und /K auf Low arbeitet das FF als 2 : 1-Teiler, wie ab Takt 10 dargestellt.

Um den dynamischen Ablauf im FF zu veranschaulichen, wird der Takt (an Taktpin) in eine Slave-Phase und eine Master-Phase unterteilt /1/ (Bild 3).

Während der Slave-Phase laufen alle Ausgleichsprozesse in der kombinatorischen Logik ab. Das bedeutet, daß in dieser Phase auch die Eingangsinformationen bereitgestellt sein müssen. Die Zeit, die dafür benötigt wird, wird mit t_{INP} bezeichnet. Störimpulse nach Ablauf dieser Zeit sind zu vermeiden, da sie aufgrund der internen Verzögerungen zu Pegelkonflikten an den FF führen können. Bereits eine bestimmte Zeit vor Öffnung des Masters mit der High/Low-Flanke am Taktpin müssen alle dynamischen Vorgänge abgeschlossen sein. Diese Zeit ergibt sich aus der Set-Up-Zeit der FF.

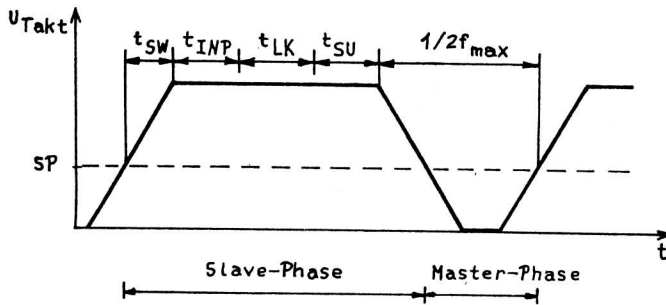


Bild 3: Einteilung der Taktperiode

Darunter versteht man im System U 5200 die Zeit, die vom Aktivwerden eines Eingangssignals (die Pegel an S, R, J, K schneiden den als Schalterpunkt definierten Wert $U_{CC}/2$) bis zum Erreichen dieses Schalterpunktes am Ausgang der Eingangslogik vergeht, d. h. es ist die Verzögerung der internen Logik der FF, die aus der Verknüpfung der Signale /J,/S,M und QSI bzw. /K,/R,M und /QSI entsteht. Bis zum Erreichen des Schalterpunktes muß am Ausgang (A1, A2) der Eingangslogik ein stabiles Signal anliegen. Im Simulationsmodell für das JK-FF wurden die Zeiten für jeden Eingang und für die Rückführung von Q und /Q errechnet.

Diese Zeiten werden bei der Worst-Case-Simulation zur Laufzeit der Signale addiert. In der Master-Phase (Takt = L am Taktpin) werden die Daten in den Master eingeschrieben. Dabei ist zu beachten, daß die Eingänge /S,/R,/J,/K lowaktiv sind. Wird der Takt wieder High, wird die Information vom Slave übernommen und steht nach einer gewissen Verzögerungszeit an den Ausgängen Q und /Q zur Verfügung. Diese Zeiten können dem Simulationsprotokoll entnommen werden. Nach Ablauf der Master-Phase und der Takteinschwingzeit t_{SW} können wieder Signalwechsel an den FF vollzogen werden. Im Bild 3 sind die wichtigsten Zeiten, aus denen sich der Taktablauf zusammensetzt so dargestellt, wie sie in die Simulation eingehen. Danach errechnet sich die maximale Taktfrequenz für einen unsymmetrischen Takt nach folgender Gleichung:

$$f = \frac{1}{t_{SW} + t_{INP} + t_{LK} + t_{SU} + 1/2 f_{max}}$$

- t_{SW}Takteinschwingzeit
- t_{INP}Zeitfenster für externe Eingaben
- t_{LK} maximale Laufzeit der Kombinatorik
- t_{SU}Set-Up-Zeit der FF
- $1/2 f_{max}$.minimale Takt-Low-Phase (50 ns)

Diese kann wie folgt vereinfacht werden:

$$f = \frac{1}{t_{Lmax} + 50 \text{ ns}}$$

Wobei t_{Lmax} die auch nach einer Kurzsimulation ermittelte maximale Laufzeit eines Signales darstellt. Die vereinfachte Formel für einen symmetrischen Takt lautet:

$$f = \frac{1}{2 t_{Lmax}}$$

4. Schaltungssimulation mit dem Gate-Array-Entwurfssystem "Archimedes"

Zur Unterstützung des Schaltungsentwurfes dient der im Entwurfssystem verfügbare Simulator. Mit diesem ist es möglich, die logische Funktion und das dynamische Verhalten der Schaltung zu überprüfen. Dem Simulationsmodell werden Worst-Case-Bedingungen zugrunde gelegt. Bei der Simulation müssen an alle Eingänge der Schaltung Signale in Form von Testfolgen oder festen Potentialen gelegt werden. Jedem Takt ist dabei ein Potentialzustand (Low, High, Tristate) zugeordnet. Vom Anwender können die Potentiale ausgewählt werden, deren Zustände während der Simulation angezeigt werden sollen. Es sind drei Formen der Simulation vorgesehen. Mit der Kurzsimulation kann man die Zustände der Potentiale nach Ablauf eines Takt-High-Zustandes ermitteln. Gleichzeitig wird die längste Laufzeit im jeweiligen Takt angezeigt. Bei der ausführlichen Simulation wird für jedes anzuzeigende Potential die Verzögerungszeit innerhalb des Taktzustandes ausgegeben. Auf die längste Laufzeit werden automatisch die anwenderunabhängigen Zeiten t_{SW} und t_{SU} addiert. Der Simulator bietet auch noch die Möglichkeit unterschiedliche Verzögerungszeiten der Low/High- oder High/Low-Flanken der Eingangsfolgen bezüglich der Low/High-Flanke des Taktes einzustellen. Unterläßt man es, wird ein Standardwert für t_{INP} von 10 ns angenommen. Nach Abschluß der Simulation wird vom Entwurfssystem eine Übersicht über das dynamische Verhalten der simulierten Schaltung erstellt. Diese enthält unter anderem die erforderliche Zeitdauer für die Takt-High-Phase und die damit erreichbaren Taktfrequenzen für einen symmetrischen Takt und für einen unsymmetrischen Takt (LOW-Phase = 50 ns).

Die dritte Möglichkeit ist die Simulation über eine ganze Taktperiode. In diesem Modus kann man sich die Frequenz (Zeitdauer der High- und der Low-Periode getrennt) selbst vorgeben. Damit ist es möglich, die Schaltung mit der beabsichtigten Frequenz zu testen. Dabei spielen die Verzögerungszeiten innerhalb der kombinatorischen Logik keine Rolle, wenn gewährleistet ist, daß während der Master-Phase keine Signalwechsel an den Eingängen der FF stattfinden. Ist die gesamte Schaltung plaziert und trassiert, kommen bei der Simulation zu den Gatterverzögerungszeiten die Laufzeiten auf den Leitungen dazu. Die danach ermittelten dynamischen Parameter bilden die Grundlage für die vom Hersteller garantierte Grenzfrequenz.

5. Zusammenfassung

Die vom Anwender entworfenen Logikschaltungen werden mittels der vom Hersteller bereitgestellten Hardwaremakros (Interfacestufen, Logikgatter und Flip-Flops) realisiert. Dazu steht dem Anwender ein umfangreicher Katalog [2] zur Verfügung, dem das logische Verhalten und die dynamischen Parameter entnommen werden können. Auf Grund der synchronen Arbeitsweise aller Flip-Flops reduziert sich das Problem des Logikentwurfes sequentieller Schaltungen auf die Berechnung der Ansteuerfunktionen für die Logikeingänge der FF unter Beachtung ihres Zustandes im vorherigen Takt. Daraus ergibt sich, daß alle Zeitabläufe in einem festen Verhältnis zum Takt stehen, sobald in ihrem Signalweg ein FF liegt. Alle externen Signale, die auf eine getaktete Struktur (Zähler, Teiler, Register) führen, müssen den Synchronbedingungen genügen, oder sind auf dem Chip zu synchronisieren. Auf einem U 5200-Chip stehen dem Anwender 102 der beschriebenen JK-Master-Slave-Flip-Flops zur Verfügung. Der Entwurf von Anwenderschaltungen, die Prüfung und Fehlersuche werden durch das Entwurfssystem "Archimedes" wesentlich gestützt, so daß der Anwender ohne größere Vorkenntnisse unter Beachtung der systemeigenen Restriktionen sehr schnell zu einem seiner Problematik angepaßten Schaltkreisentwurf kommt.

6. Beispiel

In diesem Abschnitt sollen die bereits beschriebenen Vorgänge nochmal am Beispiel eines 3-Bit-Zählers erläutert werden. Der Zähler hat den in Bild 4 dargestellten Aufbau.

Diese Schaltung zählt binär von Null bis Sieben und fängt dann von vorn wieder an. Über den Übertragungseingang CI kann der Zähler gestartet und gestoppt werden. Mittels des Einganges R ist ein Rücksetzen der Flip-Flops möglich. In den Tabellen 1...3 sind die Simulationsprotokolle der verschiede-

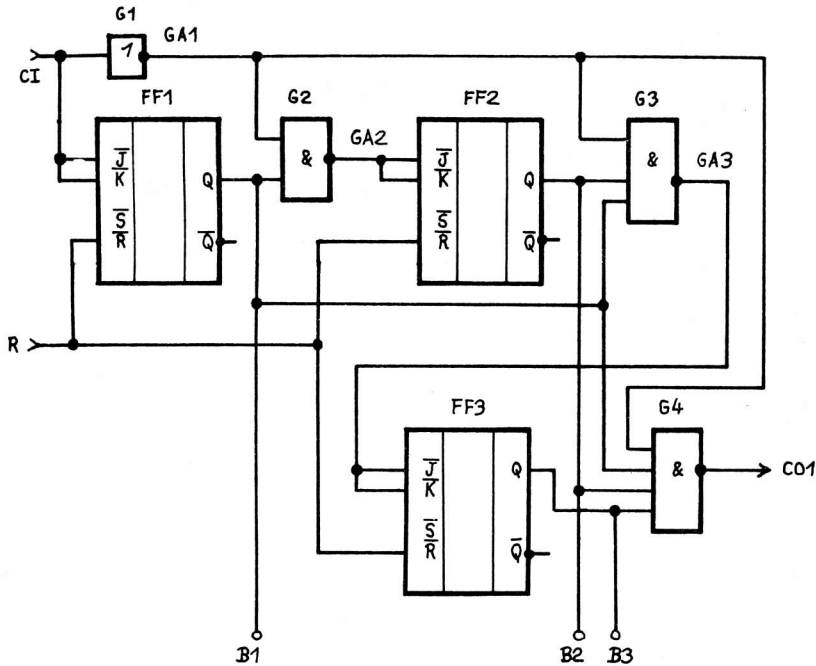


Bild 4: Logikplan des 3-Bit-Zählers "BC3A"

nen Simulationen mit diesem Zähler enthalten. Das erste Protokoll zeigt eine sogenannte Kurzsimulation (Tabelle 1).

Mit ihr kann man sich einen Überblick über die richtige Funktion der Schaltung verschaffen. Im Protokoll sind der Schaltungsname (BC3A), das Datum, die Betriebsart und die anzuzeigenden Potentiale enthalten. Die Takte sind durchnummeriert. Daneben stehen die längste Verzögerungszeit in der Takt-High-Phase und die Zustände, die die einzelnen Potentiale nach Ablauf dieser eingenommen haben.

Tabelle 1: Simulationsprotokoll des Zählers "BC3A", Kurzsimulation

S: BC3A	C	R	G	G	G	B	B	B	C
6. 11. 1987	I		A	A	A	1	2	3	0
19:43:09			1	2	3				1
M: SYNCHRON									
Takt:	Zeit:								
1	48	H	L	L	H	H	H	H	H
2	45	H	H	L	H	H	L	L	L
3	36	L	H	H	H	H	L	L	L
4	65	L	H	H	L	H	H	L	L
5	49	L	H	H	H	H	L	H	L
6	69	L	H	H	L	L	H	H	L
7	61	L	H	H	H	H	L	L	H
8	65	L	H	H	L	H	H	L	H
9	49	L	H	H	H	H	L	H	H
10	69	L	H	H	L	L	H	H	L
11	61	L	H	H	H	H	L	L	L
12	65	L	H	H	L	H	H	L	L
13	49	H	H	L	H	H	L	H	L

LDNTKi-I-2 Unterbrechung der Simulation beim Takt: 16

(max. Laufzeit = 69 im Takt: 6)

Im ersten Takt liegt CI auf High und R auf Low. Damit wird der Zähler, dessen FF im ersten Takt auf High voreingestellt wurden, im 2. Takt zurückgesetzt. Am Rücksetzeingang R liegt im weiteren High an. Im 3. Takt wird der Übertragseingang CI Low. Damit beginnt der Zählvorgang. Vom 3. bis zum 10. Takt zählt die Schaltung von Null bis Sieben. Im 10. Takt geht auch der Übertragsausgang CO1 nach Low. Mit dem 11. Takt beginnt der Zählvorgang von neuem. Im 13. Takt wird CI wieder auf High gelegt und der Zähler stoppt beim Zählerstand Zwei. Da sich an dem Zustand der Schaltung bis zum 16. Takt, in dem die Simulation abgebrochen wird, nichts mehr ändert, werden die restlichen Takte nicht mehr angezeigt. Im Protokoll erscheint dann noch der Hinweis auf die längste Verzögerungszeit, welche in diesem Beispiel 69 ns im Takt 6 beträgt.

Tabelle 2: Simulation mit Standardverzögerung $V = 10$ ns

S: BC3A	C	R	G	G	G	B	B	B	C
6. 11. 1987	I		A	A	A	1	2	3	0
19:45:18			1	2	3				1
M: SYNCHRON									

Takt:	Zeit:	C	R	G	G	G	B	B	B	C
1	0	X	X	X	X	X	X	X	X	X
1	20	H	L	X	X	X	X	X	X	X
1	25	H	L	L	X	X	X	X	X	X
1	28	H	L	L	H	X	X	X	X	X
1	29	H	L	L	H	H	X	X	X	H
1	45	H	L	L	H	H	X	X	H	H
1	47	H	L	L	H	H	X	H	H	H
1	48	H	L	L	H	H	H	H	H	H
2	0	H	L	L	H	H	H	H	H	H
2	20	H	H	L	H	H	H	H	H	H
2	37	H	H	L	H	H	H	H	L	H
2	39	H	H	L	H	H	H	L	L	H
2	41	H	H	L	H	H	L	L	L	H
2	45	H	H	L	H	H	L	L	L	H
3	0	H	H	L	H	H	L	L	L	H
3	20	L	H	L	H	H	L	L	L	H
3	27	L	H	H	H	H	L	L	L	H
3	36	L	H	H	H	H	L	L	L	H
4	0	L	H	H	H	H	L	L	L	H
4	48	L	H	H	H	H	H	L	L	H
4	51	L	H	H	L	H	H	L	L	H
4	65	L	H	H	L	H	H	L	L	H
5	0	L	H	H	L	H	H	L	L	H
5	41	L	H	H	L	H	L	L	L	H
5	46	L	H	H	H	H	L	L	L	H
5	47	L	H	H	H	H	L	H	L	H
5	49	L	H	H	H	H	L	H	L	H
6	0	L	H	H	H	H	L	H	L	H
6	48	L	H	H	H	H	H	H	L	H
6	51	L	H	H	L	H	H	H	L	H
6	54	L	H	H	L	L	H	H	L	H
6	69	L	H	H	L	L	H	H	L	H
7	0	L	H	H	L	L	H	H	L	H
7	39	L	H	H	L	L	H	L	L	H
7	41	L	H	H	L	L	L	L	L	H
7	43	L	H	H	L	H	L	L	L	H
7	45	L	H	H	L	H	L	L	H	H
7	46	L	H	H	H	H	L	L	H	H
7	61	L	H	H	H	H	L	L	H	H

Fortsetzung Tabelle 2:

S: BC3A	C	R	G	G	G	B	B	B	C
6. 11. 1987	I		A	A	A	1	2	3	0
19:45:18			1	2	3				1
M: SYNCHRON									

Takt:	Zeit:	C	R	G	G	G	B	B	B	C
8	0	L	H	H	H	H	L	L	H	H
8	48	L	H	H	H	H	H	L	H	H
8	51	L	H	H	L	H	H	L	H	H
8	65	L	H	H	L	H	H	L	H	H
9	0	L	H	H	L	H	H	L	H	H
9	41	L	H	H	L	H	L	L	H	H
9	46	L	H	H	H	H	L	L	H	H
9	47	L	H	H	H	H	L	H	H	H
9	49	L	H	H	H	H	L	H	H	H
10	0	L	H	H	H	H	L	H	H	H
10	48	L	H	H	H	H	H	H	H	H
10	51	L	H	H	L	H	H	H	H	H
10	54	L	H	H	L	L	H	H	H	L
10	69	L	H	H	L	L	H	H	H	L
11	0	L	H	H	L	L	H	H	H	L
11	37	L	H	H	L	L	H	H	L	L
11	39	L	H	H	L	L	H	L	L	L
11	40	L	H	H	L	L	H	L	L	H
11	41	L	H	H	L	L	L	L	L	H
11	43	L	H	H	L	H	L	L	L	H
11	46	L	H	H	H	H	L	L	L	H
11	61	L	H	H	H	H	L	L	L	H
12	0	L	H	H	H	H	L	L	L	H
12	48	L	H	H	H	H	H	L	L	H
12	51	L	H	H	L	H	H	L	L	H
12	65	L	H	H	L	H	H	L	L	H
13	0	L	H	H	L	H	H	L	L	H
13	20	H	H	H	L	H	H	L	L	H
13	25	H	H	L	L	H	H	L	L	H
13	28	H	H	L	H	H	H	L	L	H
13	41	H	H	L	H	H	L	L	L	H
13	47	H	H	L	H	H	L	H	L	H
13	49	H	H	L	H	H	L	H	L	H

LDNKT-I-2 Unterbrechung der Simulation beim Takt: 16
(max. Laufzeit = 69 im Takt: 6)

16	0	H	H	L	H	H	L	H	L	H
----	---	---	---	---	---	---	---	---	---	---

Das zweite Simulationsprotokoll (Tabelle 2) zeigt eine ausführliche Simulation. Bei dieser kann man ermitteln, welche Zeiten die Signalwechsel der Potentiale benötigen. Hier soll an einigen ausgewählten Takten die Aufteilung der im zweiten Abschnitt dargestellten Zeitabschnitte innerhalb einer Takt-High-Periode demonstriert werden. Die Simulation erfolgt mit denselben Testfolgen an CI und R wie die vorige. Im 1. Takt sind zum Zeitpunkt Null noch sämtliche Potentiale unbestimmt. Nach 20 ns wird an CI und R ein Signal gelegt. Die Zeit beinhaltet die Takteinschwingzeit $t_{SW} \approx 10$ ns und die externen Signale. Um 5 ns wird das Signal im Inverter G1 verzögert und erscheint demzufolge nach 25 ns an dessen Ausgang GA1. Nach weiteren 3 ns geht der Ausgang des Gatters G2 nach High. Es folgen dann die Ausgänge der Gatter G3 und G4. Da bei der Vorbereitung der Simulation mittels eines entsprechenden Befehls der Anfangszustand der FF auf High gesetzt wurde, erfolgt diese Voreinstellung auch im 1. Takt. Abhängig von der unterschiedlichen Belastung gehen die Ausgänge der FF der Reihe

nach auf High. Nach 48 ns haben alle Potentiale einen definierten Zustand erreicht und die Eingangsfolgen können mit dem Takt-Low-Zustand in den Master der FF übernommen werden. Im 2. Takt werden diese dann vom Slave übernommen und erscheinen nach einer bestimmten Verzögerung am Ausgang. So erhielten die FF im 1. Takt über R ein Rücksetzsignal und gehen demzufolge im 2. Takt nach Low. Die Eingangsfolge an R wird im 2. Takt mit High fortgesetzt. Das geschieht wiederum nach 20 ns. Diese Zeit setzt sich wie oben beschrieben zusammen. Nach 41 ns ist der Zähler vollständig zurückgesetzt und nach 45 ns kann die Master-Phase beginnen. Die Differenz zwischen beiden Zeiten ergibt sich aus der Set-up-Zeit der Rückführungen von Q und /Q. Im 3. Takt wechselt die Eingangsfolge an CI nach 20 ns wieder nach Low. Nach 7 ns Verzögerung erscheint der Signalwechsel am Ausgang des Inverters. Zu den 20 ns wird jetzt noch die Set-up-Zeit addiert und nach 36 ns ist die Slave-Phase abgeschlossen. Da der Übertragseingang CI jetzt auf Low liegt, beginnt die Schaltung zu zählen. Im 4. Takt wird der Ausgang B1 des FF1 nach 48 ns High. Dieses Signal wird in G2 weiterverarbeitet und GA2 wird nach weiteren 3 ns Low. Nach Addition der Set-up-Zeit ist diese Slave-Phase nach 65 ns beendet. Der weitere Ablauf bis zum 13. Takt verläuft äquivalent dem bisher geschildertem, wobei der Zähler im 11. Takt wieder von vorn anfängt. Im 13. Takt wird CI wieder High, so daß danach der Zählvorgang gestoppt und der weitere Verlauf der Simulation bis zum Abbruch nicht mehr protokolliert wird, da keine Veränderung der internen Zustände mehr stattfindet.

Tabelle 3: Simulation mit Verzögerung /V = 1 ns für die H/L- und L/H-Flanken beider Eingangsfolgen

S: BC3A	C	R	G	G	G	B	B	B	C
6. 11. 1987	I		A	A	A	1	2	3	0
19:47:33			1	2	3				1

M: SYNCHRON

Takt:	Zeit:	C	R	G	G	G	B	B	B	C
1	0	X	X	X	X	X	X	X	X	X
1	11	H	L	X	X	X	X	X	X	X
1	16	H	L	L	X	X	X	X	X	X
1	19	H	L	L	H	X	X	X	X	X
1	20	H	L	L	H	H	X	X	X	H
1	45	H	L	L	H	H	X	X	H	H
1	47	H	L	L	H	H	X	H	H	H
1	48	H	L	L	H	H	H	H	H	H
2	0	H	L	L	H	H	H	H	H	H
2	11	H	H	L	H	H	H	H	H	H
2	37	H	H	L	H	H	H	H	L	H
2	39	H	H	L	H	H	H	L	L	H
2	41	H	H	L	H	H	L	L	L	H
2	45	H	H	L	H	H	L	L	L	H
3	0	H	H	L	H	H	L	L	L	H
3	11	L	H	L	H	H	L	L	L	H
3	18	L	H	H	H	H	L	L	L	H
3	27	L	H	H	H	H	L	L	L	H
4	0	L	H	H	H	H	L	L	L	H
4	48	L	H	H	H	H	H	L	L	H
4	51	L	H	H	L	H	H	L	L	H
4	65	L	H	H	L	H	H	L	L	H
5	0	L	H	H	L	H	H	L	L	H
5	41	L	H	H	L	H	L	L	L	H
5	46	L	H	H	H	H	L	L	L	H
5	47	L	H	H	H	H	L	H	L	H
5	49	L	H	H	H	H	L	H	L	H
6	0	L	H	H	H	H	L	H	L	H
6	48	L	H	H	H	H	H	H	L	H
6	51	L	H	H	L	H	H	H	L	H
6	54	L	H	H	L	L	H	H	L	H
6	69	L	H	H	L	L	H	H	L	H

Fortsetzung Tabelle 3:

S: BC3A	C	R	G	G	G	B	B	B	C
6. 11. 1987	I		A	A	A	1	2	3	0
19:47:33			1	2	3				1
M: SYNCHRON									

Takt: Zeit:

7	0	L	H	H	L	L	H	H	L	H
7	39	L	H	H	L	L	H	L	L	H
7	41	L	H	H	L	L	L	L	L	H
7	43	L	H	H	L	H	L	L	L	H
7	45	L	H	H	L	H	L	L	H	H
7	46	L	H	H	H	H	L	L	H	H
7	61	L	H	H	H	H	L	L	H	H
8	0	L	H	H	H	H	L	L	H	H
8	48	L	H	H	H	H	H	L	H	H
8	51	L	H	H	L	H	H	L	H	H
8	65	L	H	H	L	H	H	L	H	H
9	0	L	H	H	L	H	H	L	H	H
9	41	L	H	H	L	H	L	L	H	H
9	46	L	H	H	H	H	L	L	H	H
9	47	L	H	H	H	H	L	H	H	H
9	49	L	H	H	H	H	L	H	H	H
10	0	L	H	H	H	H	L	H	H	H
10	48	L	H	H	H	H	H	H	H	H
10	51	L	H	H	L	H	H	H	H	H
10	54	L	H	H	L	L	H	H	H	L
10	69	L	H	H	L	L	H	H	H	L
11	0	L	H	H	L	L	H	H	H	L
11	37	L	H	H	L	L	H	H	L	L
11	39	L	H	H	L	L	H	L	L	L
11	40	L	H	H	L	L	H	L	L	H
11	41	L	H	H	L	L	L	L	L	H
11	43	L	H	H	L	H	L	L	L	H
11	46	L	H	H	H	H	L	L	L	H
11	61	L	H	H	H	H	L	L	L	H
12	0	L	H	H	H	H	L	L	L	H
12	48	L	H	H	H	H	H	L	L	H
12	51	L	H	H	L	H	H	L	L	H
12	65	L	H	H	L	H	H	L	L	H
13	0	L	H	H	L	H	H	L	L	H
13	11	H	H	H	L	H	H	L	L	H
13	16	H	H	L	L	H	H	L	L	H
13	19	H	H	L	H	H	H	L	L	H
13	41	H	H	L	H	H	L	L	L	H
13	47	H	H	L	H	H	L	H	L	H
13	49	H	H	L	H	H	L	H	L	H

LDNTKT-I-2 Unterbrechung der Simulation beim Takt: 16
(max. Laufzeit = 69 im Takt: 6)

16	0	H	H	L	H	H	L	H	L	H
----	---	---	---	---	---	---	---	---	---	---

Im dritten Simulationsprotokoll (Tabelle 3) wurde derselbe Ablauf nochmals dargestellt. Dabei wurde aber diesmal die minimale Verzögerung der Eingangsfolgen bezüglich aller Taktflanken von 1 ns eingestellt. Das sieht man daran, daß im Protokoll die Signalwechsel der Eingangsfolgen nach 11 ns erfolgt sind. Ansonsten entspricht der Verlauf der Simulation der bereits oben beschriebenen.

Tabelle 4: Übersicht der dynamischen Parameter der aktuellen Schaltung

Für die notwendige Periodendauer des Taktes wurden ermittelt:

High-Zeit bei der letzten Simulation: 69 ns

(Taktswing: 10 ns)

Low-Zeit bei der letzten Simulation: 50 ns

(Fehleranzahl: 0)

High-Zeit seit dem letzten Auflösen: 69 ns

(Taktswing: 10 ns)

Low-Zeit seit dem letzten Auflösen: 50 ns

(Fehleranzahl: 0)

Mögliche Taktfrequenz: 7 246 MHz

(Takt-Low-Zeit: 69 ns)

Maximal mögliche Taktfrequenz: 8 403 MHz

(Takt-Low-Zeit: 50 ns)

Das Potential mit der größten Gesamtkapazität (2,27 pF) heißt: GA1

Nach erfolgreicher Prüfung der Schaltung mit derartigen Simulationen könnte die Platzierung und Trassierung der Schaltung auf dem U 5200-Master erfolgen. Führt man danach eine nochmalige Simulation durch, werden zu den Gatterverzögerungszeiten die Zeiten auf den Leitungen addiert. Danach kann man mit Hilfe des Entwurfssystems die Grenzfrequenz für die Schaltung mit symmetrischem Takt und die maximale Grenzfrequenz mit unsymmetrischem Takt ermitteln. Die Ausgabe dieser Daten ist in Tabelle 4 dargestellt.

Literatur

/1/ Sorst, M.; Gieseler, M.; Fischer, W.-J.: CMOS-Gate-Array-System U 5200
Mikroprozessortechnik, Berlin 1(1987)1, S. 4 ... 8

/2/ U 5200-Macrozellen-Katalog, VEB ZMD

/3/ U 5200-Softwaremacro-Katalog, VEB ZMD

/4/ Sorst, M.; Gieseler, M.: Verhalten des Taktsystems Master U 5200, VEB ZMD

/5/ U 5200-Anwenderhandbuch, VEB ZMD



vob applikationszentrum elektronik berlin
im vob kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055
