

mikroelektronik

INFORMATION



Applikative Information

2/90

APPLIKATIVE INFORMATION

– für Anwender der Mikroelektronik –

h i n w e i s e

- 1.** Alle Beiträge in den Heften der "Applikativen Information" dienen der Anregung bei Schaltungs- und Geräteentwicklungen bzw. beim Finden von Rationalisierungslösungen und vor allem dem Erfahrungsaustausch. Es können keine Verbindlichkeiten des VEB Applikationszentrum Elektronik Berlin zur Bereitstellung der in den Beiträgen vorgestellten elektronischen Bauelemente abgeleitet werden.

Grundlage dafür sind die Listen für elektronische Bauelemente und Bausteine, die über die Bauelemente-Verantwortlichen der Betriebe beim VEB Applikationszentrum Elektronik Berlin angefordert werden können.

- 2.** Reproduktionen in irgendeiner Form durch Druck, Kopienherstellung, Microfiche u. a. sind nur nach vorheriger schriftlicher Zustimmung des Herausgebers gestattet. Auszüge, Referate und Besprechungen müssen die volle Quellenangabe enthalten.

Herausgeber: VEB Applikationszentrum Elektronik Berlin im VEB Kombinat Mikroelektronik
Abt. Applikative Information Mikroelektronik, Mainzer Str. 25, Berlin 1035

Dipl.-Ing. Bernd Bürger

VEB Forschungszentrum Mikroelektronik Dresden
im VEB Kombinat Mikroelektronik

Dynamischer 64-KBit-Schreib-/Lese-Speicherschaltkreis U 2164

0. Einleitung

Ziel des vorliegenden Beitrages ist es, den U 2164 - einen dynamischen 64-KBit-Schreib-/Lesespeicher mit wahlfreiem Zugriff - der vom VEB Forschungszentrum Mikroelektronik Dresden (ZMD) entwickelt und gefertigt wurde, mit seinem gesamten Typspektrum aus applikativer Sicht vorzustellen.

Der Fachartikel wendet sich besonders an Entwickler mit noch wenig "Speichererfahrung", die einen Einstieg in die spezifische Problematik dynamischer Speicher suchen, wobei dem gegenwärtig typischen Einsatzfall des U 2164 - der Nachrüstung vorhandener Mikrorechner mit leistungsstarken hochintegrierten Speichern - besondere Beachtung geschenkt wurde.

Sofern zur Veranschaulichung der Ausführungen Beispiele angebracht erscheinen, wurden sie anhand des Grundtyps U 2164 C20 vorgenommen. Es sei hier besonders darauf hingewiesen, daß die Angabe von typischen Kennwerten und deren Abhängigkeit von den entsprechenden Parametern sowie die applikativen Hinweise Ergebnisse einer umfangreichen Industrieerprobung und eigener Untersuchungen sind; diese haben lediglich informativen Charakter im Rahmen der U 2164-Produktbeschreibung und sind nicht als zugesicherte Eigenschaften im Rechtssinn aufzufassen. Rechtsverbindlich ist allein der Fachbereichsstandard TGL 42 234 /1/. Desgleichen wird für angegebene Schaltungen weder eine (reproduzierbare) nachbausichere Funktion noch eine Patentfreiheit garantiert.

Für fachlich-sachliche Hinweise zum Inhalt des Artikels wenden Sie sich bitte direkt an den Autor (Tel. Dresden 588 369).

1. Dynamische Halbleiterspeicher

Wie Halbleiterspeicher generell, sind auch dRAM gekennzeichnet durch Speicherkapazität, Zugriffszeit, Zykluszeit, Stromaufnahme bzw. Verlustleistung sowie Interface und Systembedingungen, d. h. Speicherorganisation, Anzahl der erforderlichen Betriebsspannungen, Gehäuseart und -größe, Angebot spezieller Betriebsarten, Kompatibilität zu international angebotenen dRAM-Typen gleicher Kapazität und Organisation (d. h. direkte Austauschbarkeit) sowie Aufwärtskompatibilität zu den dRAM-Typen höherer Kapazität.

In der DDR steht der vom VEB ZMD entwickelte 64-KBit-dRAM U 2164 (64K x 1 bit) zur Verfügung, womit die dRAM-Reihe U 253 (1K x 1 bit) und U 256 (16K x 1 bit) fortgesetzt wurde.

Gegenüber seinem "Vorgänger", dem U 256, hat er folgende wesentliche Vorteile:

- vierfache Speicherkapazität bei gleicher Gehäusegröße
- kürzere Zugriffs- und Zykluszeit
- nur noch eine Versorgungsspannung von +5 V
- Reduzierung der Verlustleistung pro Bit um 80 %
- günstigere Interface-Bedingungen.

Durch den U 2164 wurde es in der DDR erstmals möglich, "RAM-Floppys" für die Mikrorechentechnik technisch und ökonomisch günstig aufzubauen.

2. Aufbau, Arbeitsweise und Betriebsarten des U 2164

2.1. Kurzcharakteristik

Speicherkapazität: 65536 bit

Organisation: 64K x 1 bit

Typspektrum: U 2164 C20, U 2164 D20 (Grundtyp)
 U 2164 C15, U 2164 D15 (Selektionstyp)
 U 2164 C20/1, U 2164 D20/1 (Anfalltyp)
 U 2164 C25, U 2164 D25 (Anfalltyp)
 U 2164 C25 S1, U 2164 D25 S1 (Amateurtyp)

Zugriffszeit: 200 ns (von /RAS aus) für U 2164 C20, U 2164 D20,
 U 2164 C20/1, U 2164 D20/1
 110 ns (von /CAS aus) für U 2164 C20, U 2164 D20,
 U 2164 C20/1, U 2164 D20/1
 150 ns (von /RAS aus) für U 2164 C15, U 2164 D15
 100 ns (von /CAS aus) für U 2164 C15, U 2164 D15
 250 ns (von /RAS aus) für U 2164 C25, U 2164 D25
 und U 2164 C25 S1, U 2164 D25 S1
 150 ns (von /CAS aus) für U 2164 C25, U 2164 D25
 und U 2164 C25 S1, U 2164 D25 S1

Zykluszeit: 330 ns für U 2164 C20, U 2164 D20, U 2164 C20/1 und U 2164 D20/1
 300 ns für U 2164 C15, U 2164 D15
 410 ns für U 2164 C25, U 2164 D25, U 2164 C25 S1 und U 2164 D25 S1

Betriebsspannung: +5 V

Geringe Stromaufnahme. 55 mA (Betriebsstrom)
 5 mA (Ruhestrom)

TTL-Kompatibilität für alle Anschlüsse

Getrennter Dateneingang und -ausgang

Tristate-Ausgang, steuerbar durch das /CAS-Signal

Betriebsarten: "READ"-, "WRITE"-, "READ-MODIFY-WRITE"-, "PAGE-MODE"-
und "/RAS-ONLY-REFRESH"-Zyklus

128 Auffrischzyklen, 2-ms-Auffrischintervall

Umgebungstemperatur 0 ... 70 °C

16-poliges Keramik-DIL-Gehäuse

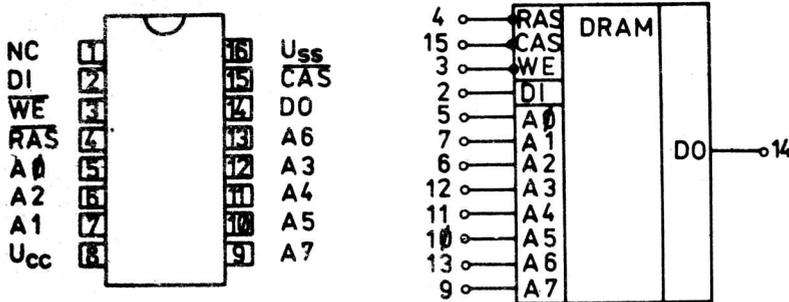
Eingangsspannungen dürfen kurzzeitig (max. 40 ns) $U_{IL} \approx -2$ V betragen

Herstellungstechnologie nSGT3d

Standardisierte Anschlußbelegung erlaubt Austausch mit internationalen 64-KBit-dRAM-Typen

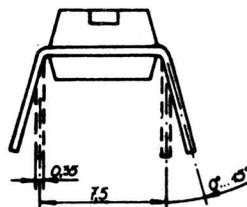
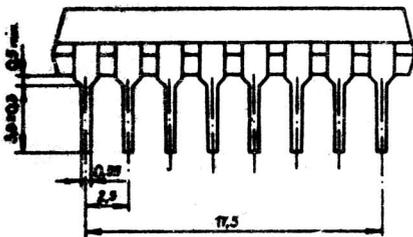
2.2. Schaltbild und Anschlußbelegung

Markierung kennzeichnet Seite mit Anschluß 1.



NC nicht angeschlossen
A0 ... A7 Adresseneingänge
CAS Spalten-Adressen-Steuereingang
RAS Zeilen-Adressen-Steuereingang
DI Dateneingang

DO Datenausgang
WE Lese-Schreib-Steuerung
U_{CC} Betriebsspannung
U_{SS} Masse



Abmessungen in mm

Masse: 1,5 g

Bild 1: Anschlußbelegung, Schaltbild und Maßbild des U 2164 C

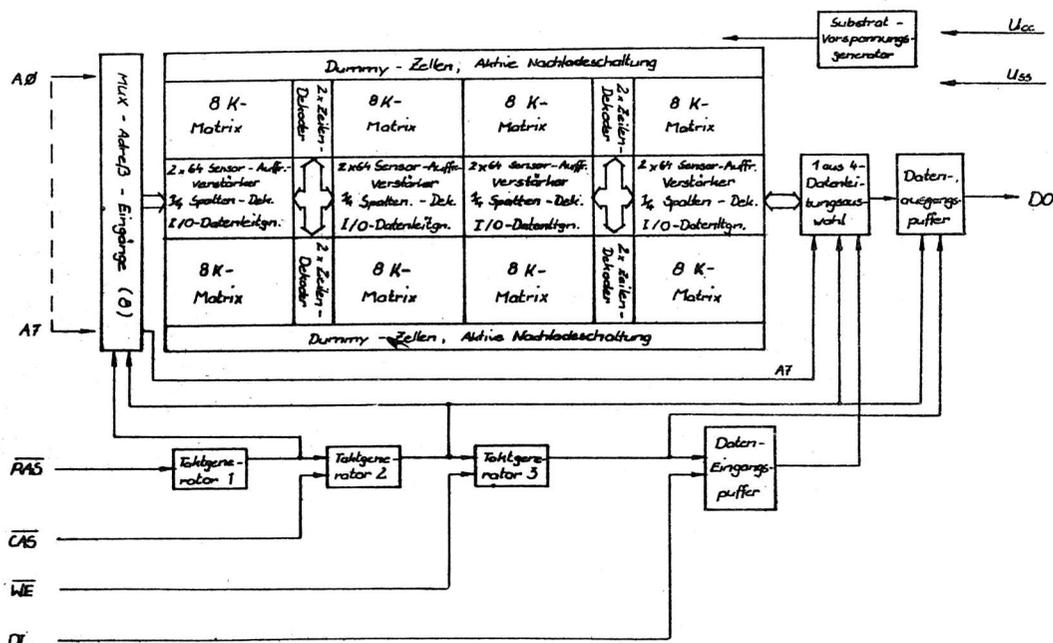


Bild 2: Übersichtsschaltplan des U 2164

2.3. Aufbau des U 2164

Der U 2164 besteht aus folgenden Teilschaltungen bzw. Funktionsgruppen (siehe Bild 2):

- acht Speicherfelder mit je 8 Kbit
- Adreßregister für 16 Adreßbits
- Zeilendekoder
- Spaltendekoder
- Dateneingangs- und -ausgangsregister
- Leseverstärker
- Taktzentrale
- Substratvorspannungserzeugung.

Der U 2164 besitzt drei Interfacesignale ($\overline{/RAS}$, $\overline{/CAS}$, $\overline{/WE}$), mit denen die entsprechenden Betriebsarten (s. Abschn. 2.7.) realisiert werden. Sie lösen ein internes Timing zur Steuerung des U 2164 aus. Mit dem $\overline{/CAS}$ -Signal kann weiterhin der Datenausgang DO abgeschaltet werden. Es wurde das Prinzip der Speicherredundanz angewandt, d. h. es wurde eine zusätzliche Kapazität von 2 Kbit (je vier Zeilen und Spalten) vorgesehen, die bei Bedarf - mittels Durchtrennung von Leitungen - evtl. defekte Zellen ersetzen können. Die Anwendung der Redundanz beeinflusst das dynamische Verhalten des U 2164 nicht.

Der U 2164 enthält mehr als 140 000 integrierte Transistoren, die Chipmaße sind 3,4 mm x 7,07 mm.

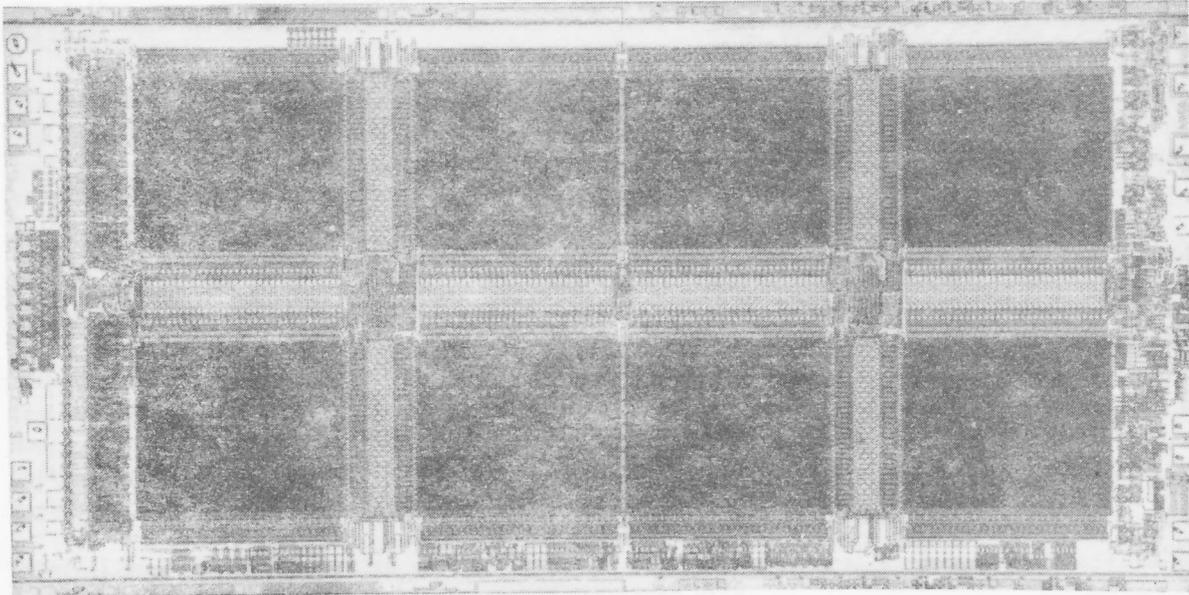


Bild 3: Chipfoto des U 2164 (Werkfoto).

2.4. Aufbau der U 2164-Speicherzelle

Allen dynamischen Speichern gemeinsam ist das Prinzip, die Information als zuordenbare Ladung in einem Kondensator, auch "MOS-Kondensator" genannt, zu speichern. Wie alle größeren dRAM besitzt auch der U 2164 die Eintransistorzelle; diese besteht aus einem Kondensator und einem Schalttransistor (siehe Bild 4).

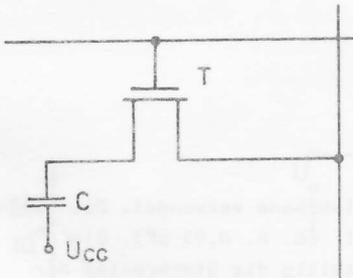


Bild 4: Prinzip der dRAM-Zelle

Der Speicherkondensator wird zwischen dem Polysilicium und dem Substrat gebildet. In Bild 5 werden Querschnitt und Layout einer Speicherzelle des U 2164 angegeben.

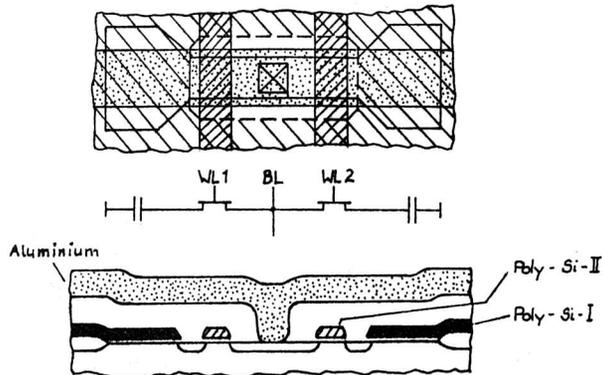


Bild 5: Querschnitt und Layout einer U 2164er Zelle

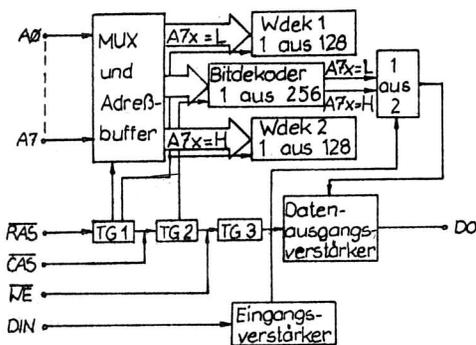


Bild 6: Vereinfachter Übersichtsschaltplan des U 2164

Es werden zur Realisierung der Zelle zwei Polysilicium- und eine Aluminiumebene verwendet. Die Ebene Poly-Si-I bildet mit dem Substrat einen Plattenkondensator von etwa 50 fF (d. h. 0,05 pF). Die 256 Wortleitungen, realisiert durch die Ebene Poly-Si-II, bilden gleichzeitig die Steuergates der Auswahltransistoren; die 256 Bitleitungen aus Al sind senkrecht zu den Wortleitungen in zwei symmetrischen Hälften, die mit dem Sensor-Verstärker verbunden sind, angeordnet. Zur Erzielung einer geringen Bitleitungskapazität wurden die Bitleitungen weiterhin so unterteilt, daß der U 2164 insgesamt 1 024 Bitleitungsstücke und 512 Sensorverstärker enthält. Die Anordnung der Bitleitungshälften unmittelbar nebeneinander (sog. "gefaltete" Bitleitungen) trug zur Senkung der Softerror-Rate bei. Da die in dynamischen Speicherzellen eingeschriebenen Informationen, bedingt durch Leckströme des Speicherkondensators, nach einiger Zeit verloren gehen, müssen diese aufgefrischt ("Refresh") werden. Beim U 2164 sind dazu innerhalb von 2 ms 128 Refreshzyklen auszuführen.

2.5. Arbeitsweise des U 2164

Die Erläuterung der Arbeitsweise soll anhand eines vereinfachten Übersichtsschaltplanes erfolgen (s. Bild 6).

Die Steuerung des U 2164 sowie Wahl der Betriebsarten erfolgt durch die Interface-Signale /RAS, /CAS und /WE. Der Zugriff auf den U 2164 wird durch die H/L-Flanke des /RAS-Signals eingeleitet, wodurch, gesteuert durch den Taktgenerator TG1, die ersten acht Adressen ($A_0 \dots A_7$) an den Wortdekodeur gegeben werden. Die (höchstwertige) Adresse A_7 hat hierbei zunächst keine Bedeutung; sie wird im U 2164 zwischengespeichert und erst beim Datenzugriff wirksam. In den zwei Wortdekodern wird eine der 128 Wortleitungen aktiv, wodurch sämtliche zu diesen Wortleitungen zugeordneten Speicherzellen gelesen werden; die gelesenen (insgesamt 512) Speicherinformationen werden in den Sensor-Verstärkern zwischengespeichert. Desweiteren werden die in den gelesenen Zellen enthaltenen Informationen aufgefrischt.

Nunmehr wird der bisher verriegelte /CAS-Eingang freigegeben; mit /CAS = L wird der Taktgenerator TG2 gestartet und die Spaltenadresse ($A_{0y} \dots A_{7y}$) von der Multiplexsteuerung in das Adreßregister des U 2164 übernommen, verstärkt und an den Spaltendekoder durchgeschaltet. Der U 2164 enthält zwei Datenleitungen, und zwar je eine für $A_{7x} = L$ und $A_{7x} = H$. Auf der mit A_{7x} ausgewählten Seite verbindet der Spaltendekoder den ausgewählten Sensorverstärker mit der Datenleitung.

Generell wird die Speicherzelle zunächst gelesen; mit dem /CAS-Signal wird dann gesteuert, ob die Information über DC ausgegeben oder ob sie umgeschrieben wird.

Der Sensorverstärker vergleicht den gespeicherten Pegel mit einem Vergleichspegel, der aus einer nach außen nicht in Erscheinung tretenden Speicherzelle - der sog. "Dummy-Zelle" - gewonnen wird. Es werden bereits sehr geringe Spannungen (Größenordnung 50 mV) zu eindeutigen Logikpegeln detektiert. Das Lesen der Speicherzelle ist ein sog. (die Information) "zerstörendes Lesen". Da die Information vom U 2164 intern im Rahmen des jeweiligen Zyklus selbsttätig wieder in die Zelle eingeschrieben wird, ist es "nach außen hin" ein nichtzerstörendes Lesen. Die Steuerung der Betriebszyklen sowie der Dateneingänge und des Datenausgangs erfolgt über Taktgenerator TG 3. Alle Betriebszyklen müssen beim U 2164 - wie bei allen dynamischen Speichern - zyklisch ausgeführt werden, da die einzelnen Funktionsblöcke in definierte Anfangszustände gebracht werden müssen. Letzteres geschieht über sog. "Vorladungen" innerhalb der nichtaktiven Phase des /RAS-Signals (/RAS = H). Die Spalten- bzw. Bitleitung wird dabei auf $U_{CC} - U_T$ und die "Dummy-Zelle" auf ein im U 2164 eingestelltes Referenzpotential vorgeladen (U_T ist dabei die Schwellspannung; sie beträgt ca. 0,7 V).

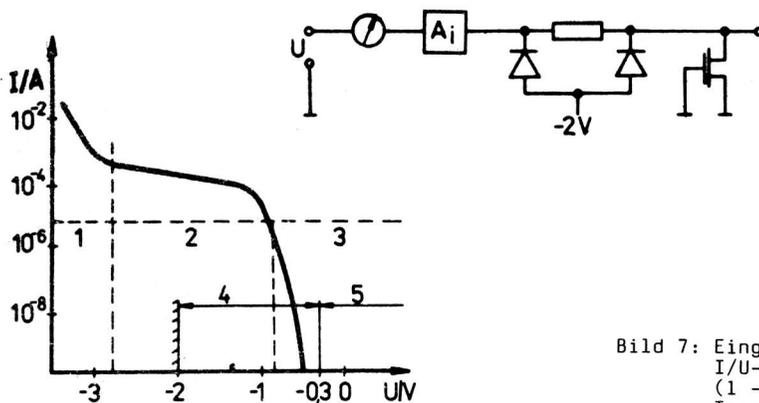


Bild 7: Eingangsschutzschaltung und statische I/U-Kennlinie des U 2164 /8/
 (1 - Diode geöffnet, 2 - Diode gesperrt
 Transistor ein, 3 - zulässiger Ein-
 gangsstrom bei $U_T \geq 0$ V, 4 - dynamisch
 zulässiger Pegel, 5 - statisch zulässiger
 Pegel)

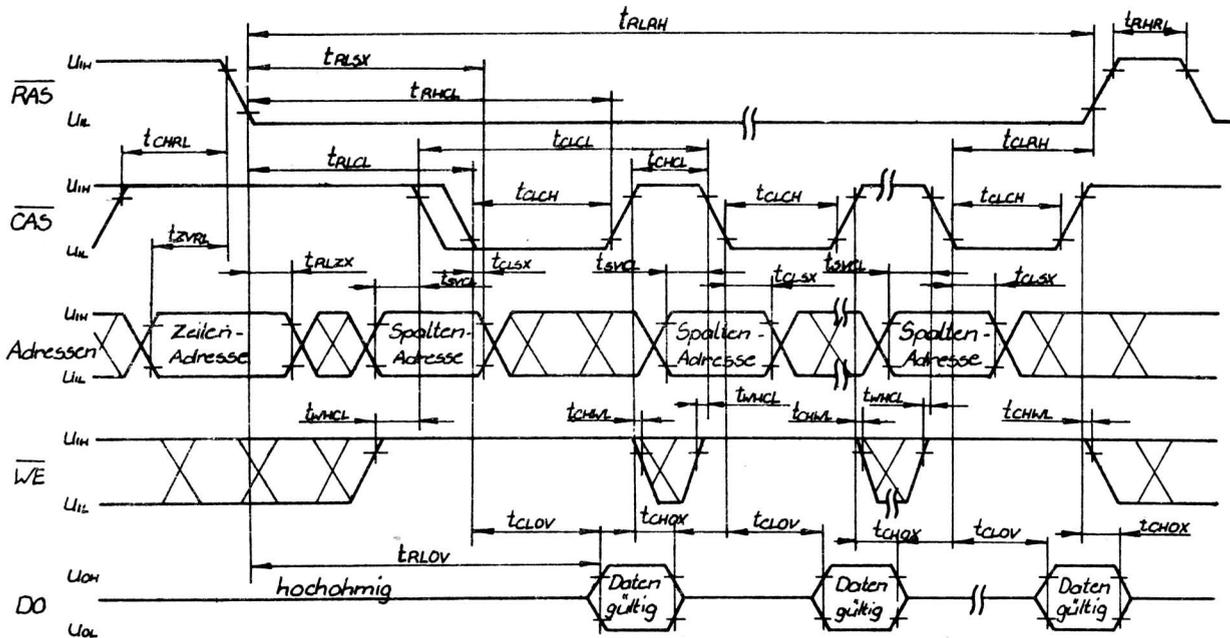


Bild 11: Impuldiagramm für Betriebsart PAGE-MODE-READ-Zyklus

2.7.4. PAGE-MODE-Zyklus

Der PAGE-MODE, auch mit "seitenweisem" Betrieb bezeichnet, nutzt gezielt den Adreßmultiplex - also die Adreßübernahme in den U 2164 in zwei Phasen (Zeilenadresse und Spaltenadresse) - dergestalt aus, daß mit Speicherzellen gearbeitet wird, die sich auf einer Zeile befinden und somit durch eine gemeinsame Zeilen- bzw. Wortadresse ausgewählt werden. Es ist also für mehrere Speicherzugriffe nur eine Wortadresse in den U 2164 zu übernehmen, wodurch sich die Zykluszeit der Speicherzugriffe beträchtlich verkürzt (d. h. beim U 2164 von 330 ns auf 200 ns), so daß ein wesentlich höherer Datendurchsatz ermöglicht wird und, da die Stromaufnahme fast ausschließlich an den Flanken des /RAS- und /CAS-Signals erfolgt, eine geringere Strombelastung entsteht

Die Wortadresse wird im Wortdekorator des U 2164 dynamisch gespeichert; es müssen lediglich die Spaltenadressen geändert werden, die dann mit H/L-Flanke des /CAS-Signals in den Speicher übernommen werden. Die Zahl der mit einem PAGE-MODE-Zyklus ansprechbaren Speicherzellen ergibt sich - resultierend aus der Entladung des für die Wortleitungsansteuerung benötigten (spannungsmäßig) überhöhten Taktes (d. h. $3/2 U_{CC}$) - durch die vorgegebene max. /RAS-Impulsbreite von $t_{RLRH} = 10 \mu s$. Beim U 2164 C20 (Page-Mode-Zykluszeit $t_{CLCL} = 200 \text{ ns}$) können also in einem Zyklus bis zu 50 Speicherzellen angesprochen werden. Der PAGE-MODE ist bei READ - (siehe Bild 11), WRITE - (siehe Bild 12) und READ-MODIFY-WRITE-Zyklen möglich.

2.7.5. /RAS-ONLY-REFRESH-Zyklus

Wie bereits erwähnt, muß bei der dRAM-Zelle (Kondensator!) der durch Leckströme entstehende Informationsverlust ausgeglichen werden, d. h. jede Speicherzelle muß innerhalb einer bestimmten Zeit, der Refresh-Periode (auch Refresh - bzw. Auffrisch-Intervall genannt), mindestens einmal aufgerufen werden.

Das Auffrischen geschieht durch jeden Speicherzyklus automatisch mit und zwar für alle Zellen, die durch die angelegte Zeilen- bzw. Wortadresse erreicht werden. Beim U 2164 müssen dabei innerhalb von 2 ms 128 Wortadressen über die Adreßpins $A_0 \dots A_6$ mindestens einmal angesprochen werden.

Da in den meisten Anwendungsfällen nicht gesichert ist, daß auch sämtliche Speicherzellen innerhalb dieser Zeit angesprochen werden, ist für ein zwangsweises Auffrischen zu sorgen. Dies geschieht beim U 2164 mittels der /RAS-ONLY-Refresh-Zyklen, der Standard-Refresh-Art bei dynamischen Speichern, durch Anlegen einer 7-Bit-Refresh-Adresse (dem sog. "Refresh-Vektor"), die mit /RAS = L übernommen wird. Anschließend wird diese Adresse inkrementiert und nach der Zykluszeit t_{RLRC} wiederum in den U 2164 eingegeben usw. Nach 128 derartigen Zyklen ist der Auffrischvorgang beendet. Mit jedem dieser /RAS-Zyklen werden 512 Speicherzellen aufgefrischt.

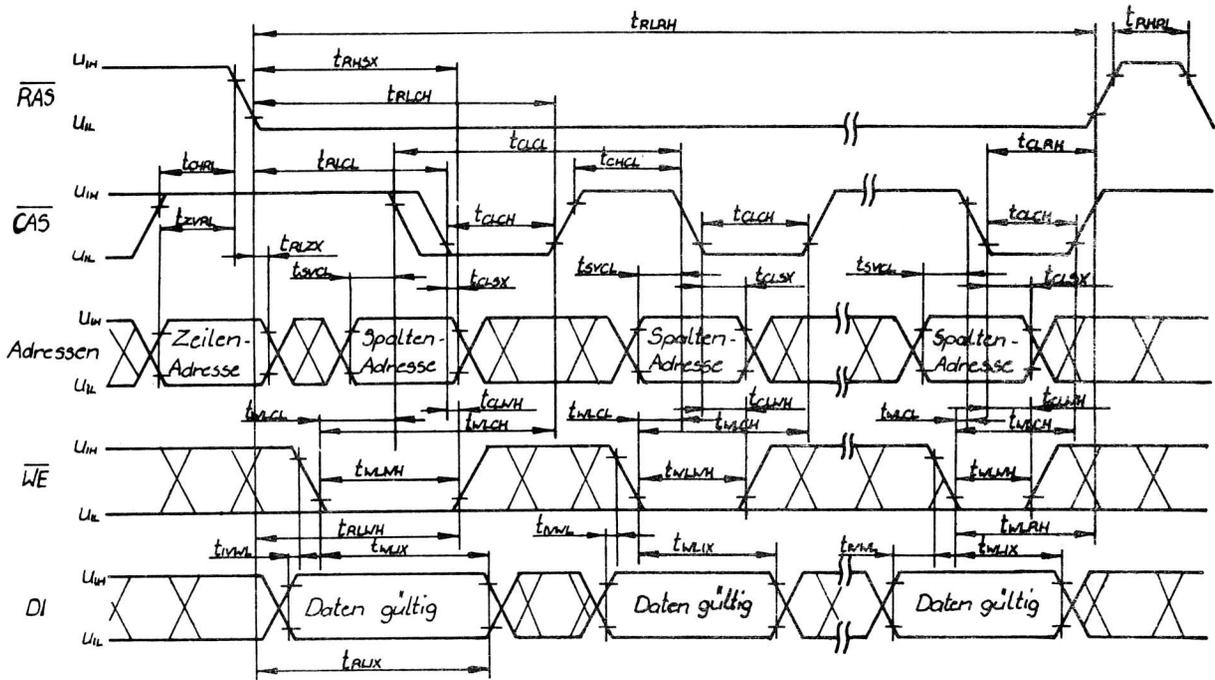


Bild 12: Impulsdiagramm für Betriebsart PAGE-MODE-WRITE-Zyklus

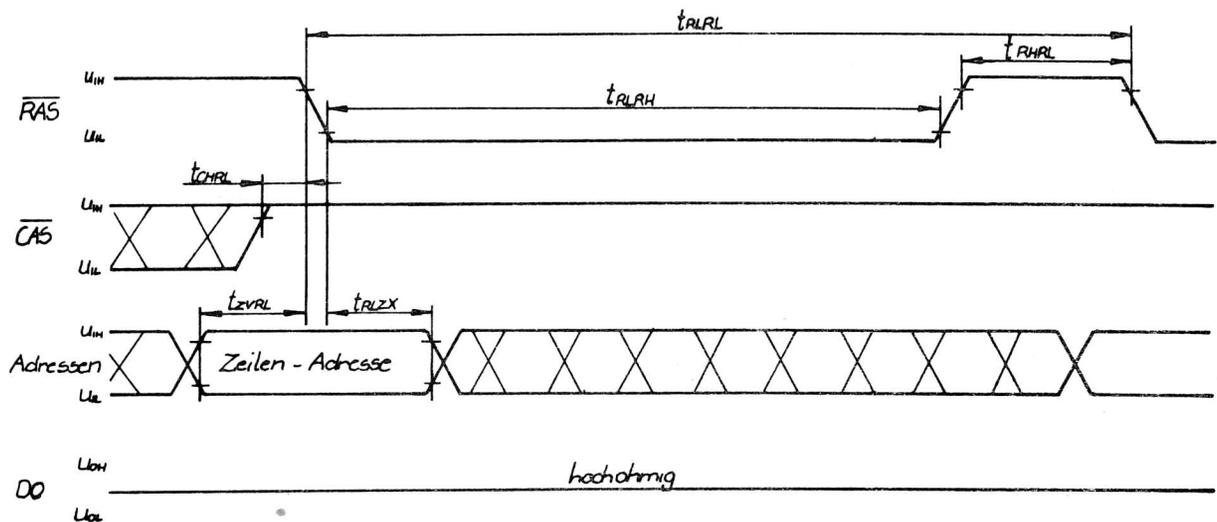


Bild 13: Impulsdiagramm für Betriebsart RAS-ONLY-REFRESH-Zyklus

Für das Auffrischen wird also (für den U 2164 C20) eine Zeit von

$$128 \times 330 \text{ ns} = 42,24 \text{ } \mu\text{s}$$

benötigt. Das Verhältnis der für ein Auffrischen benötigten Zeit zu der Refresh-Periode wird als "Refresh-Overhead" bezeichnet. Für den U 2164 C20 und U 2164 C20/1 beträgt dieser Wert 2,1 %. Da das /CAS-Signal hier auf /CAS = H liegt, ist der Datenausgang DO des U 2164 während dieser Zyklen hochohmig.

3. Elektrisches und dynamisches Verhalten des U 2164

3.1. Grenzwerte

Tabelle 1: Grenzwerte /1/

Kenngröße	Kurzzeichen	min.	max.	Einheit	Anmerkung
Spannung an allen Eingängen	U_I	-2	7	V	
Ausgangsspannung	U_O	-2	7	V	
Betriebsspannung	U_{CC}	-0,5	7	V	
Umgebungstemperatur	ϑ_a	0	70	$^{\circ}\text{C}$	1
Lagertemperatur	ϑ_{stg}	-55	155	$^{\circ}\text{C}$	2
Verlustleistung	P_V	-	1	W	

Anmerkung: 1 - Für den Typ U 2164 C25 S1 bzw. U 2164 D25 S1 gilt ein Umgebungstemperaturbereich von 20 ... 45 $^{\circ}\text{C}$.

2 - Für plastverkappte U 2164-Typen gilt als max. Lagertemperatur 125 $^{\circ}\text{C}$.

3.2. Betriebsbedingungen

Tabelle 2: Statische Betriebsbedingungen /1/

Kenngröße	Kurzzeichen	U 2164 C20	U 2164 D20	U 2164 C20/1	U 2164 D20/1	Einheit	Anm.:
		U 2164 C15 min.	U 2164 D15 max.	U 2164 C25 S1 min.	U 2164 D25 S1 max.		
Betriebsspannung	U_{CC}	4,5	5,5	4,75	5,25	V	
H-Eingangsspannung	U_{IH}	2,4	5,5	2,4	5,25	V	
L-Eingangsspannung	U_{IL}	-2	0,8	-2	0,8	V	1

Anmerkung: 1 - Die Eingangsspannung darf nicht länger als 40 ns kleiner als -0,3 V sein.

Tabelle 3: Dynamische Betriebsbedingungen /1/

Kenngröße	Kurzzeichen	U 2164 C 15, U 2164 D 15				U 2164 C 20, U 2164 D 20, U 2164 C 20/1, U 2164 D 20/1				U 2164 C 25, U 2164 D 25, U 2164 C 25 S1, U 2164 D 25 S1				Einheit	Anmerkung
		min.	max.	min.	max.	min.	max.	min.	max.	min.	max.	min.	max.		
Übergangszeit (Anstieg; Abfall)	t_{THL} ; t_{TLH}	3	50	3	50	3	50	3	50	3	50	3	50	ns	
/RAS-Vorladezeit	t_{RHRL}	100	-	120	-	150	-	150	-	150	-	150	-	ns	
/RAS-Haltezeit	t_{CLRH}	100	-	110	-	150	-	150	-	150	-	150	-	ns	
/CAS-Haltezeit	t_{RLCH}	150	-	200	-	250	-	250	-	250	-	250	-	ns	
/RAS-/CAS-Verzö- gerungszeit	t_{RLCI}	25	50	45	90	75	100	75	100	75	100	75	100	ns	1
/CAS-Vorladezeit	t_{CHCL}	25	-	45	-	90	-	90	-	90	-	90	-	ns	
/CAS-/RAS-Vor- ladezeit	t_{CHRL}	0	-	-20	-	-20	-	-20	-	-20	-	-20	-	ns	
Zeilenadressen- vorhaltezeit	t_{ZVRL}	0	-	0	-	0	-	0	-	0	-	0	-	ns	
Zeilenadressen- haltezeit	t_{RLZX}	15	-	30	-	45	-	45	-	45	-	45	-	ns	
Spaltenadressen- vorhaltezeit	t_{SVCL}	0	-	0	-	0	-	0	-	0	-	0	-	ns	
Spaltenadressen- haltezeit	t_{CLS}	45	-	45	-	60	-	60	-	60	-	60	-	ns	
Spaltenadressen- haltezeit (von /RAS aus)	t_{RLSX}	95	-	135	-	160	-	160	-	160	-	160	-	ns	

Fortsetzung Tabelle 3:

Kenngröße	Kurzzeichen	U 2164 C15, U 2164 D15				U 2164 C20, U 2164 D20, U 2164 C20/1, U 2164 D20/1				U 2164 C25, U 2164 D25, U 2164 C25 S1, U 2164 D25 S1				Einheit	Anmerkung
		min.	max.	min.	max.	min.	max.	min.	max.						
Refresh-Periode	t_{REF}	2	-	2	-	2	-	2	-	2	-	2	-	ms	
Zykluszeit	t_{RLRl}	270	-	330	-	410	-	410	-	410	-	410	-	ns	
/RAS-Impulsbreite	t_{RLRH}	150	10 ms	200	10 ms	250	10 ms	250	10 ms	250	10 ms	250	10 ms	ns	
/CAS-Impulsbreite	t_{CLCH}	100	10 ms	110	10 ms	150	10 ms	150	10 ms	150	10 ms	150	10 ms	ns	
Lesekommando- vorhaltezeit	t_{WHCL}	0	-	0	-	0	-	0	-	0	-	0	-	ns	
Lesekommando- haltezeit	t_{RHWL}	0	-	0	-	0	-	0	-	0	-	0	-	ns	
Schreibkommando- vorhaltezeit	t_{WLCL}	0	-	0	-	0	-	0	-	0	-	0	-	ns	
Schreibkommando- haltezeit	t_{CLWH}	45	-	40	-	50	-	50	-	50	-	50	-	ns	
Schreibkommando- haltezeit von /RAS aus)	t_{RLWH}	95	-	130	-	150	-	150	-	150	-	150	-	ns	
Schreibkommando- impulsbreite	t_{WLWH}	45	-	45	-	50	-	50	-	50	-	50	-	ns	
Schreibkommando- /RAS-Vorhaltezeit	t_{WLRH}	50	-	50	-	60	-	60	-	60	-	60	-	ns	
Schreibkommando- /CAS-Vorhaltezeit	t_{WLCH}	50	-	50	-	60	-	60	-	60	-	60	-	ns	

Fortsetzung Tabelle 3:

Kenngröße	Kurz- zeichen	U 2164 C15, U 2164 D15		U 2164 C20, U 2164 D20, U 2164 C20/1, U 2164 D20/1		U 2164 C25, U 2164 D25, U 2164 C25 S1, U 2164 D25 S1		Einheit	Anmerkung
		min.	max.	min.	max.	min.	max.		
Dateneingangs- vorhaltezeit	t_{IVCL} t_{IVWL}	0	-	0	-	0	-	ns	2
Dateneingangs- haltezeit	t_{CLIX} t_{WLIX}	45	-	45	-	60	-	ns	2
Dateneingangs- haltezeit	t_{RLIX}	95	-	135	-	160	-	ns	

Anmerkung: 1 - max. t_{RLCL} ist keine die Funktion sichernde Betriebsbedingung. Bei $t_{RLCL} > \max. t_{RLCL}$ verlängert sich lediglich die Zugriffszeit t_{RLOV} , so daß nur t_{CLOV} garantiert wird.

2 - Diese Werte beziehen sich auf /CAS im EARLY-WRITE-Zyklus und auf /WE in den DELAYED-WRITE- bzw. READ-MODIFY-WRITE-Zyklen

Tabelle 4: READ-MODIFY-WRITE-Zyklus /1/

Kenngröße	Kurz- zeichen	U 2164 C15, U 2164 D15		U 2164 C20, U 2164 D20, U 2164 C20/1, U 2164 D20/1		U 2164 C25, U 2164 D25, U 2164 C25 S1, U 2164 D25 S1		Einheit
		min.	max.	min.	max.	min.	max.	
Zykluszeit	t_{RLRL}	300	-	375	-	445	-	ns
/RAS-Impulsbreite	t_{RLRH}	185	10 ms	230	10 ms	235	10 ms	ns
/CAS-Impulsbreite	t_{CLCH}	135	10 ms	140	10 ms	140	10 ms	ns
/RAS-/WE-Verzögerungs- zeit	t_{RLWL}	120	-	175	-	220	-	ns

Fortsetzung Tabelle 4:

Kenngröße	Kurzzeichen	U 2164 C15, U 2164 D15		U 2164 C20, U 2164 D20, U 2164 C20/1, U 2164 D20/1		U 2164 C25, U 2164 D25, U 2164 C25 S1, U 2164 D25 S1		Einheit
		min.	max.	min.	max.	min.	max.	
/CAS-/WE-Verzögerungszeit	t_{CLWL}	70	-	85	-	120	-	ns
Dateneingangs- haltezeit	t_{WLIX}	45	-	45	-	60	-	ns

Tabelle 5: PAGE-MODE-Zyklus /1/ /17/

Kenngröße	Kurzzeichen	U 2164 C15, U 2164 D15		U 2164 C20, U 2164 D20, U 2164 C20/1, U 2164 D20/1		U 2164 C25, U 2164 D25, U 2164 C25 S1, U 2164 D25 S1		Einheit
		min.	max.	min.	max.	min.	max.	
Zykluszeit	t_{CLCL}	200	-	280	-	280	-	ns
Zykluszeit (READ- MODIFY-WRITE-Zyklus)	t_{CLCL}	205	-	230	-	315	-	ns
/RAS-Impulsbreite	t_{RLRH}	140	10 ms	200	10 ms	250	10 ms	ns
/CAS-Impulsbreite	t_{CLCH}	100	10 ms	110	10 ms	150	10 ms	ns
/CAS-Impulsbreite (READ-MODIFY- WRITE-Zyklus)	t_{CLCH}	135	10 ms	140	10 ms	185	10 ms	ns
/CAS-Vorladezeit	t_{CHCL}	60	-	80	-	120	-	ns

3.3. Kennwerte

Tabelle 6: Statische Kennwerte /1/

Kenngröße	Kurzzeichen	Bedingungen	Kennwert		Einheit
			min.	max.	
Betriebsstrom (mittlerer Wert)	I_{CCO}	$t_{RLRL} = t_{RLRLmin}$	-	55	mA
Ruhestrom	I_{CCR}	/RAS = U_{IH}	-	5	mA
Refreshstrom (mittlerer Wert)	$I_{CC/RAS}$	/CAS = U_{IH} $t_{RLRL} = t_{RLRLmin}$	-	40	mA
Betriebsstrom bei PAGE-MODE-Zyklen	$I_{CC/CAS}$	/RAS = U_{IL} $t_{CLCL} > t_{CLCLmin}$	-	40	mA
H-Ausgangspegel	U_{OH}	$I_0 = -4$ mA	2,4	-	V
L-Ausgangspegel	U_{OL}	$I_0 = 4$ mA	-	0,4	V
Eingangsleckstrom	$ I_I $	$U_I = 0 \dots 5,25$ V	-	10	μ A
Ausgangsleckstrom	$ I_0 $	$U_0 = 0 \dots 5,25$ V /RAS = /CAS = U_{IH}	-	10	μ A
Eingangskapazität (A0 ... A7, DI)	C_I	$T_a = 25$ °C	-	6	pF
Eingangskapazität (/RAS, /CAS, /WE)	C_I	$T_a = 25$ °C	-	8	pF
Ausgangskapazität	C_0	/CAS = U_{IH}	-	7	pF

Tabelle 7: Dynamische Kennwerte /1/

Kenngröße	Kurzzeichen	U 2164 C15		U 2164 C20 U 2164 D20 U 2164 C20/1 U 2164 D20/1		U 2164 C25 U 2164 D25 U 2164 C25 S1 U 2164 D25 S1		Einheit
		min.	max.	min.	max.	min.	max.	
/RAS-Zugriffszeit	t_{RLOV}	150	-	200	-	250	-	ns
/CAS-Zugriffszeit	t_{CLOV}	100	-	110	-	150	-	ns
Ausgangsabschaltzeit	t_{CHOX}	50	-	50	-	50	-	ns

3.4. Typische Parameter und deren Abhängigkeiten beim U 2164

3.4.1. Allgemeines

Im Fachbereichsstandard des U 2164 /1/ werden nur die vom Hersteller garantierten Minimal- bzw. Maximalwerte der Betriebsbedingungen und Kennwerte angegeben und dies bei entsprechenden Meß- bzw. Einstellbedingungen. Für den praktischen Einsatz mikroelektronischer Bauelemente sind für den Schaltungsentwickler oft jedoch auch die Angaben typischer Werte und deren Abhängigkeit von Betriebsspannung, Umgebungstemperatur, Lastströmen usw. von Interesse.

Im Folgenden werden (selbstverständlich ohne Rechtsverbindlichkeit) für den U 2164 C20 einige typische Abhängigkeiten im READ- bzw. WRITE-

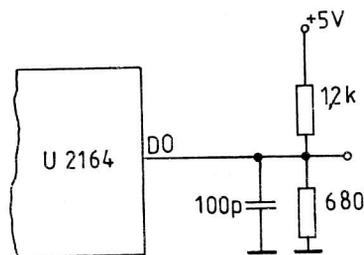


Bild 14: Ausgangsbeschaltung des U 2164, die den dynamischen Kennwerten zugrunde liegt.

Zyklus angegeben; allerdings sollen diese dem Entwickler nur zur eigenen Bewertung der Stabilität der Bauelemente und nicht zur Konzeption von Systemlösungen aufgrund dieser Angaben dienen. Die prinzipiellen Abhängigkeiten sind natürlich auch bei den anderen U 2164-Typen vorhanden. Die Angaben repräsentieren Mittelwerte, ermittelt aus einer Vielzahl von Bauelementen verschiedener Lose. Die im Fachbereichsstandard garantierten Werte wurden in den Diagrammen gestrichelt angegeben.

Beim U 2164 verschlechtern sich im allgemeinen die dynamischen Kennwerte, wenn längere Zeit kein Zugriff erfolgt, d. h. bei einem zyklischen Betrieb mit 330 ns Zykluszeit kann die Zugriffszeit deutlich geringer sein als im Fachbereichsstandard garantiert wird.

3.4.2. Abhängigkeit der statischen Parameter

In den Bildern 15, 16 und 17 werden der Betriebsstrom I_{CCO} in Abhängigkeit von Betriebsspannung, Einsatztemperatur und Zyklusrate angegeben. Der tatsächlich aufgenommene Strom beträgt etwa 60 % des angegebenen Maximalwertes.

In Bild 18 ist der Ruhestrom I_{CCR} in Abhängigkeit von Betriebsspannung und Umgebungstemperatur dargestellt. Die Ruhestromaufnahme beträgt etwa 40 % des angegebenen Maximalwertes. Man erkennt, daß die durchschnittliche Stromaufnahme des U 2164 etwa umgekehrt proportional zur Zykluszeit ist. Der in den Bildern 20 und 21 angegebene Verlauf des Refreshstromes I_{CCR} wurde bei der Minimal-Zykluszeit $t_{RLOL} = 330$ ns in Abhängigkeit von Betriebsspannung sowie Umgebungstemperatur aufgenommen. Die Abhängigkeit des Refreshstroms von der Zykluszeit entspricht etwa dem des Betriebsstroms I_{CCO} (siehe Bild 17).

Die Bilder 22 ... 24 zeigen die Abhängigkeit der L-Ausgangsspannung U_{OL} und die Bilder 25 ... 27 der H-Ausgangsspannung U_{OH} von Betriebsspannung, Umgebungstemperatur sowie dem Laststrom I_O .

3.4.3. Abhängigkeit der dynamischen Parameter

In den Bildern 28 und 29 wird die Abhängigkeit der /RAS-Zugriffszeit t_{RLOV} und in den Bildern 30 und 31 die der /CAS-Zugriffszeit t_{CLOV} in Abhängigkeit von Betriebsspannung sowie Umgebungstemperatur gezeigt. Bei typischen Einsatzbedingungen, d. h. $U_{CC} = 5$ V und $\vartheta_a = 25$ °C, beträgt der ermittelte Wert für t_{RLOV} etwa 75 % und für t_{CLOV} etwa 50 % des angegebenen Maximalwertes.

Desweiteren wurde die für PAGE-MODE-Zyklen wichtige /RAS-Impulsdauer t_{RLRH} untersucht. Hierzu wurden bei einer Umgebungstemperatur von etwa 25 °C die jeweils zu einer Wortadresse gehörenden 256 Speicherzellen beschrieben und anschließend bei durchgängig anliegender Zeilenadresse zweimal hintereinander

gelesen, wobei keine Datenverluste festgestellt wurden. Die ermittelte typische /RAS-Impulsbreite t_{RLRH} ergibt sich damit zu:

$$t_{RLRH} = 512 \times 200 \text{ ns} = 102,4 \text{ } \mu\text{s}$$

(d. h. das Zehnfache des angegebenen Maximalwertes bei Zimmertemperatur).

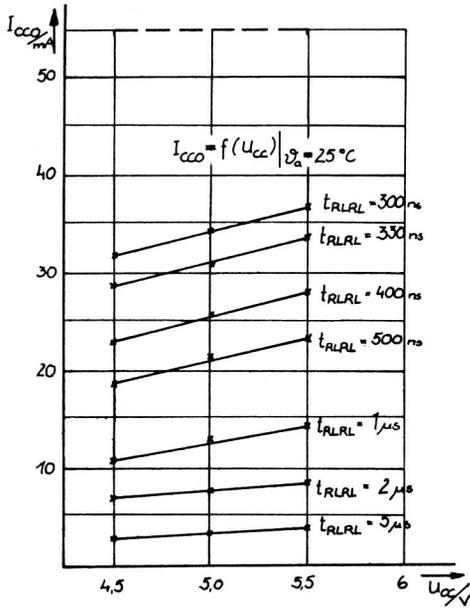


Bild 15: Abhängigkeit des Betriebsstromes I_{CCO} von der Betriebsspannung

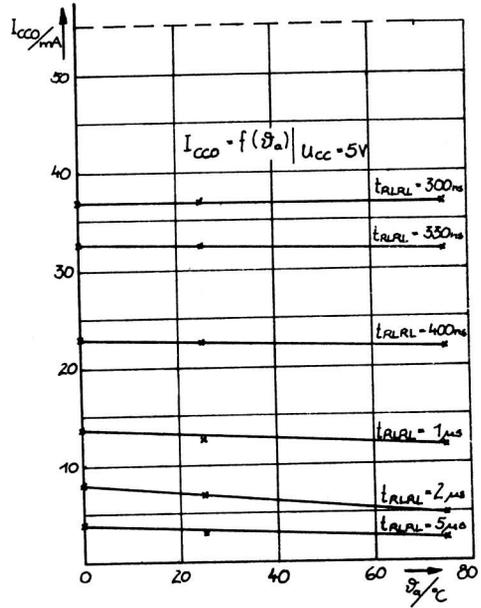


Bild 16: Abhängigkeit des Betriebsstromes I_{CCO} von der Temperatur

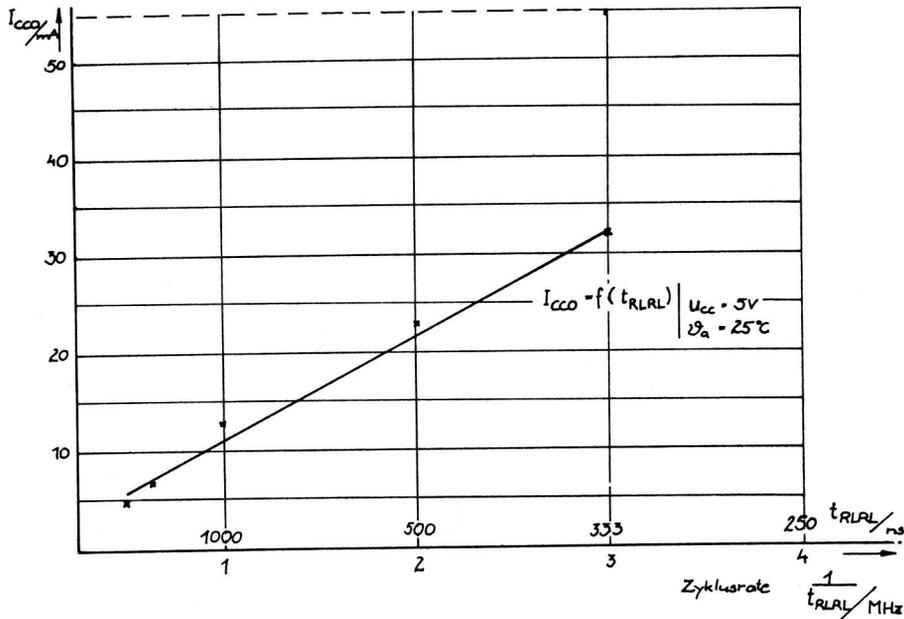


Bild 17: Abhängigkeit des Betriebsstromes I_{CCO} von der Zyklusrate

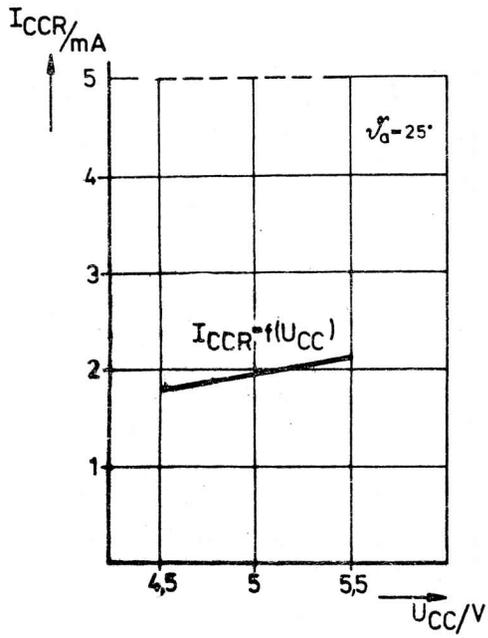


Bild 18: Abhängigkeit des Ruhestromes I_{CCR} von der Betriebsspannung

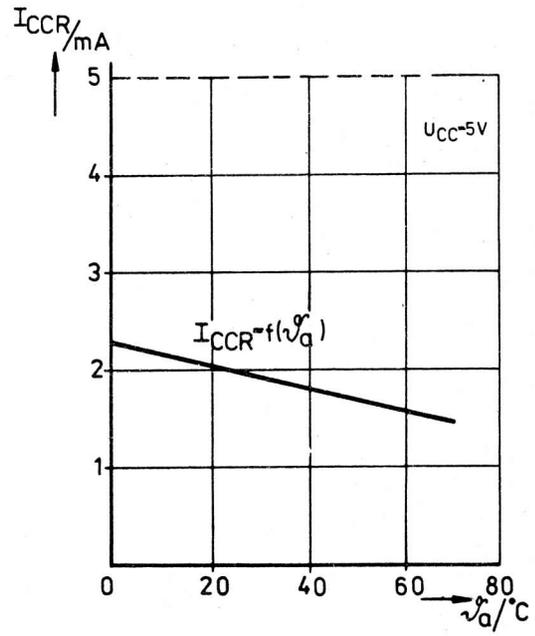


Bild 19: Abhängigkeit des Ruhestromes I_{CCR} von der Temperatur

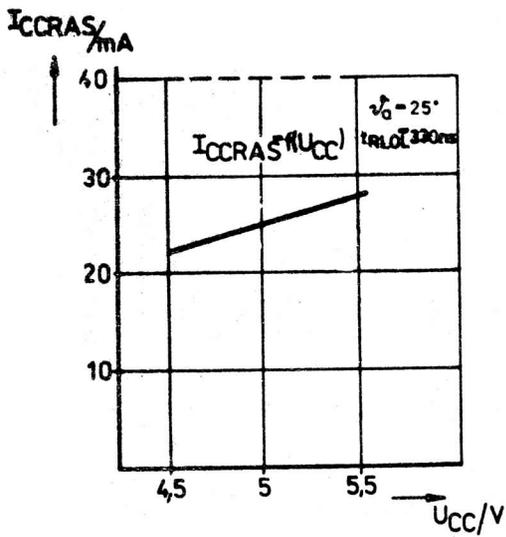


Bild 20: Abhängigkeit des Refreshstromes I_{CCRAS} von der Betriebsspannung

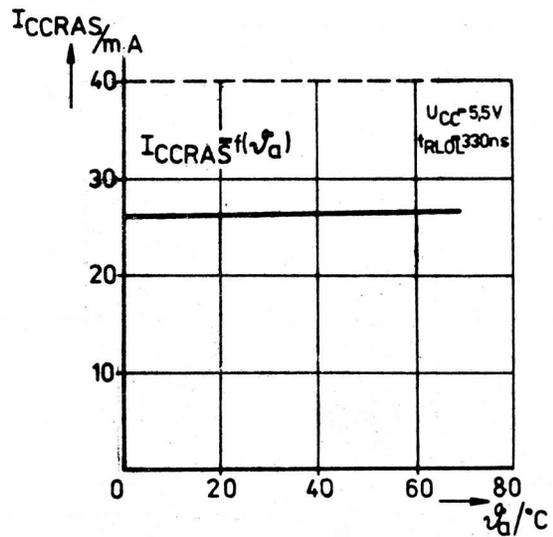


Bild 21: Abhängigkeit des Refreshstromes I_{CCRAS} von der Temperatur

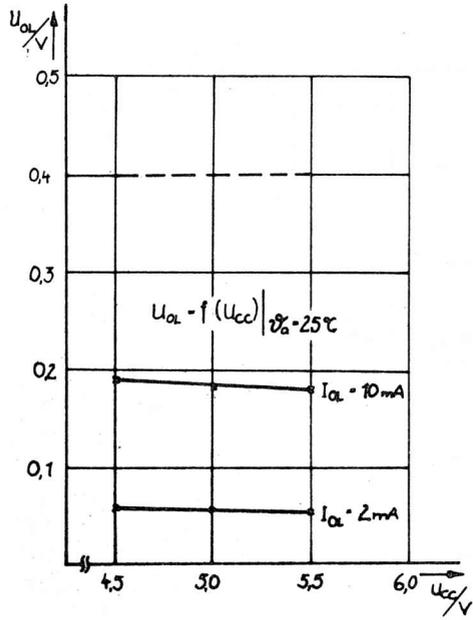


Bild 22: Abhängigkeit der L-Ausgangsspannung U_{OL} von der Betriebsspannung

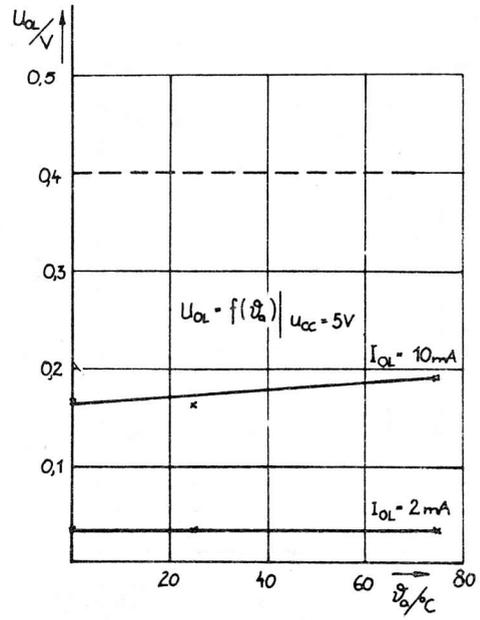


Bild 23: Abhängigkeit der L-Ausgangsspannung U_{OL} von der Umgebungstemperatur

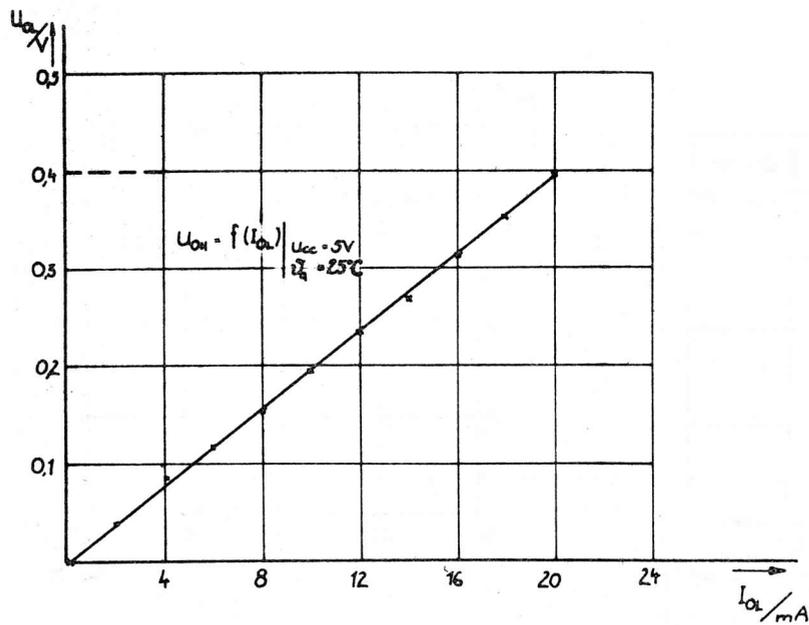


Bild 24: Abhängigkeit der L-Ausgangsspannung U_{OL} vom Ausgangsstrom

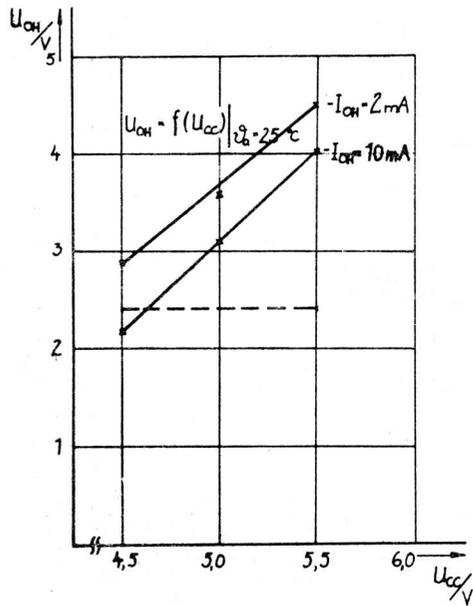


Bild 25: Abhängigkeit der H-Ausgangsspannung U_{OH} von der Betriebsspannung

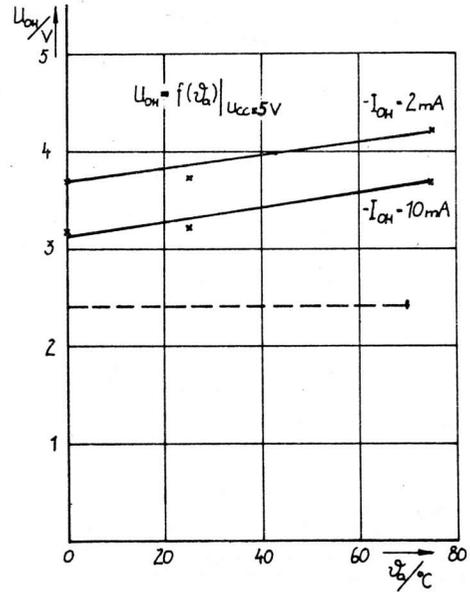


Bild 26: Abhängigkeit der H-Ausgangsspannung U_{OH} von der Umgebungstemperatur

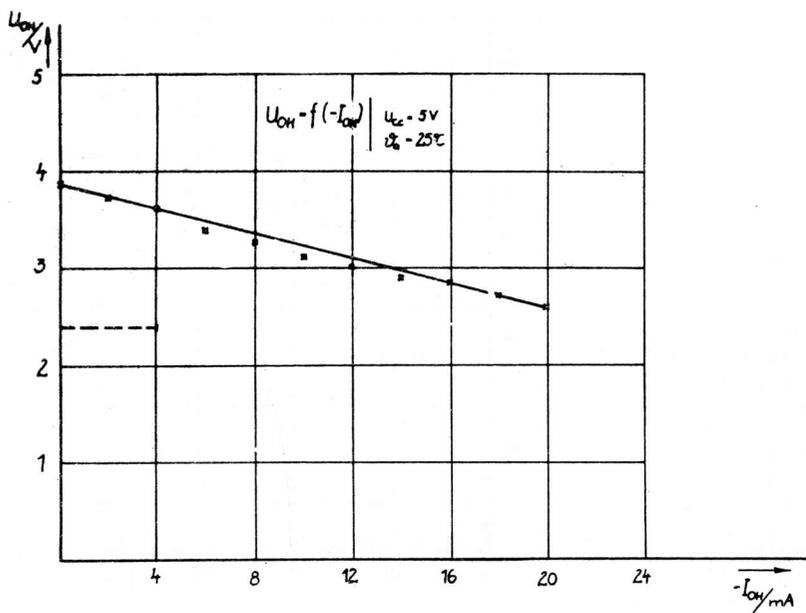


Bild 27: Abhängigkeit der H-Ausgangsspannung U_{OH} vom Ausgangsstrom

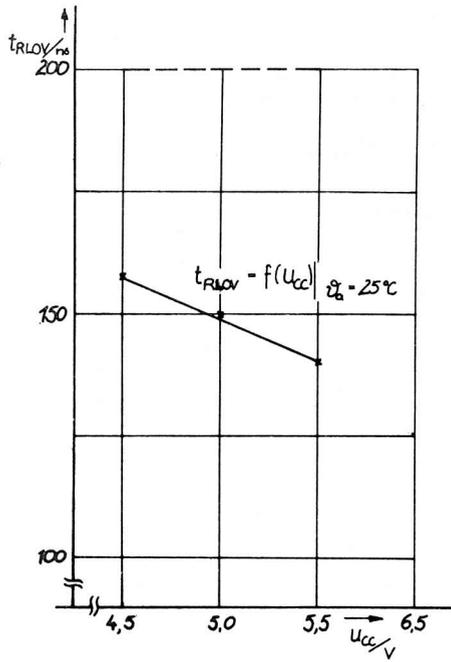


Bild 28: Abhängigkeit der /RAS-Zugriffszeit t_{RLOV} von der Betriebsspannung (U 2164 C20, U 2164 D20)

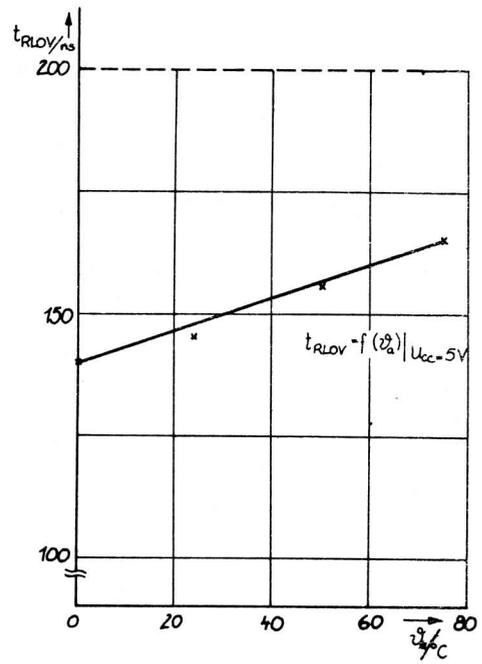


Bild 29: Abhängigkeit der /RAS-Zugriffszeit t_{RLOV} von der Umgebungstemperatur (U 2164 C20, U 2164 D20)

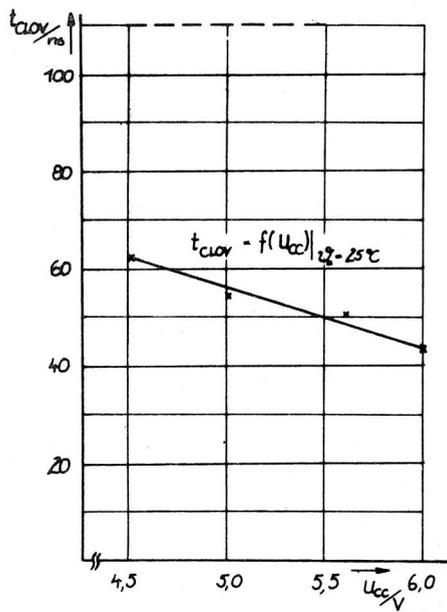


Bild 30: Abhängigkeit der /CAS-Zugriffszeit t_{CLOV} von der Betriebsspannung (U 2164 C20, U 2164 D20)

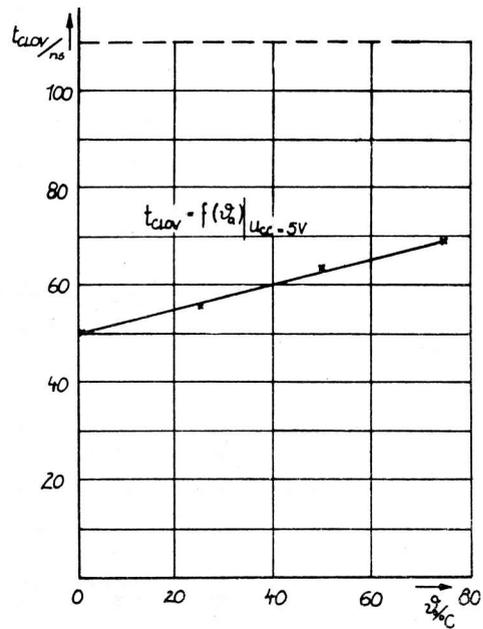


Bild 31: Abhängigkeit der /CAS-Zugriffszeit t_{CLOV} von der Umgebungstemperatur (U 2164 C20, U 2164 D20)

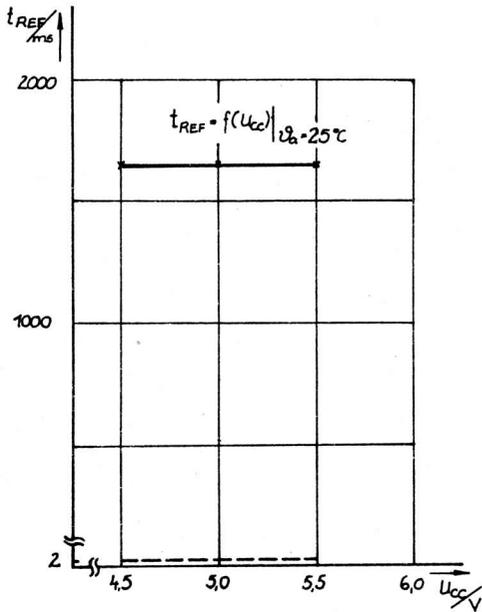


Bild 32: Abhängigkeit der Refresh-Periode t_{REF} von der Betriebsspannung

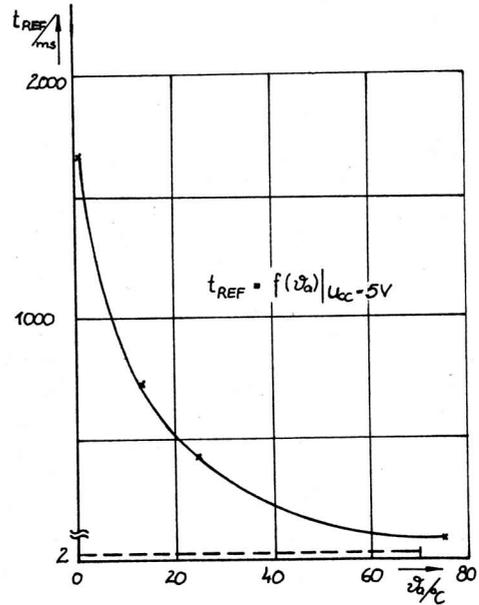


Bild 33: Abhängigkeit der Refresh-Periode t_{REF} von der Umgebungstemperatur

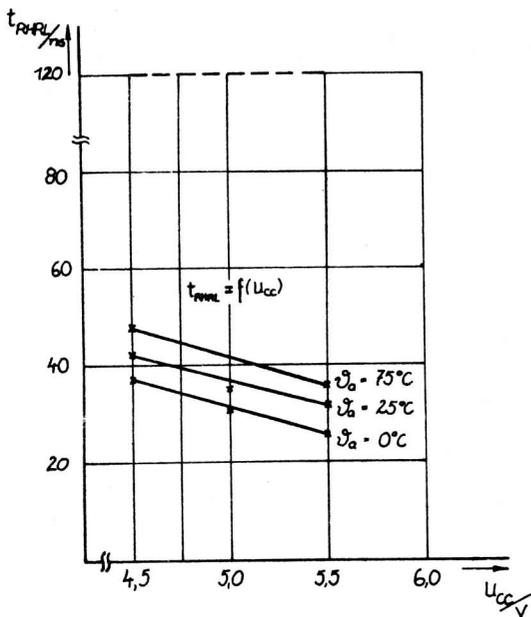


Bild 34: Abhängigkeit der /RAS-Vorladezeit t_{RHRL} von der Betriebsspannung und Umgebungstemperatur (U 2164 C20, U 2164 D20)

3.5. Transientenströme bei den /RAS-, /CAS- und /WE-Flanken

Die in den Bildern 15, 16 und 17 angegebenen Verläufe des Betriebsstromes verstehen sich als mittlere Werte bei den /RAS-/CAS-Zyklen. In Wirklichkeit erfolgt der Leistungsumsatz fast ausschließlich an den fallenden bzw. steigenden Flanken der Interface-Signale /RAS, /CAS und /WE (s. Bilder 35 ... 40).

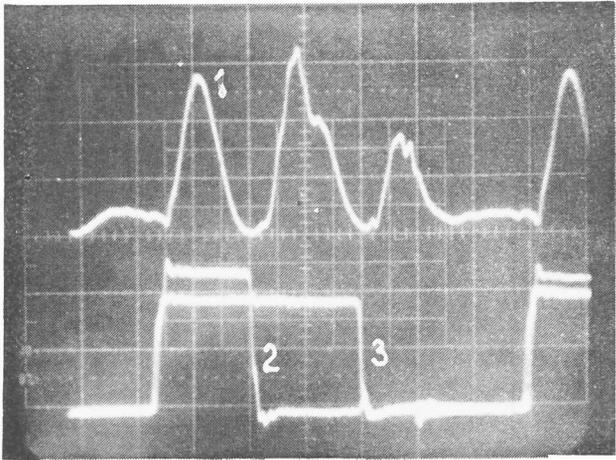


Bild 35: Oszillogramm der Stromaufnahme für
 $t_{RLCL} = 200 \text{ ns}$ und $t_{RLRL} = 750 \text{ ns}$ bei
 $U_{CC} = 5 \text{ V}$, $\vartheta_a = 25 \text{ }^\circ\text{C}$

(1 - I_{CCO} max. ca 60 mA, 2 - /RAS,
 3 - /CAS)

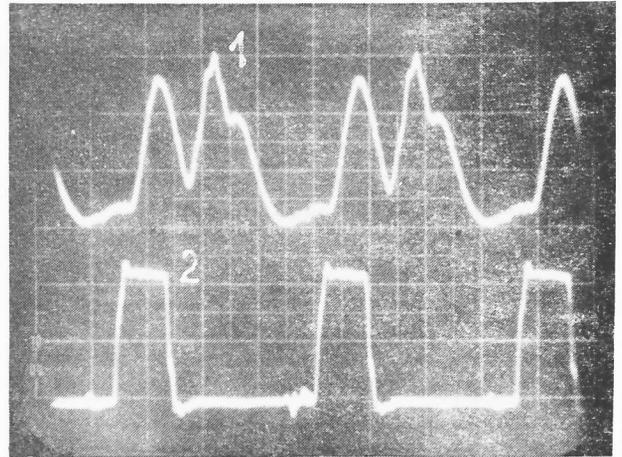


Bild 36: Oszillogramm der Stromaufnahme beim
 Refresh (/RAS-ONLY-REFRESH-Zyklus) bei
 $U_{CC} = 5 \text{ V}$, $\vartheta_a = 25 \text{ }^\circ\text{C}$

(1 - I_{CCRAS} max. ca 60 mA, 2 - /RAS)

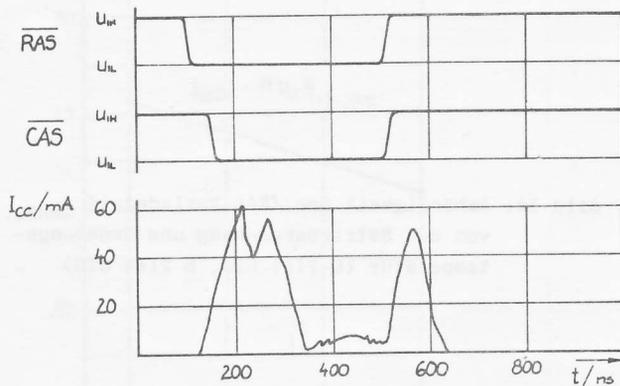


Bild 37: Impulsbild eines Zyklus
 $(t_{RLRL} = 700 \text{ ns}; t_{RLCL} \approx 50 \text{ ns})$
 bei $U_{CC} = 5 \text{ V}$, $\vartheta_a = 25 \text{ }^\circ\text{C}$

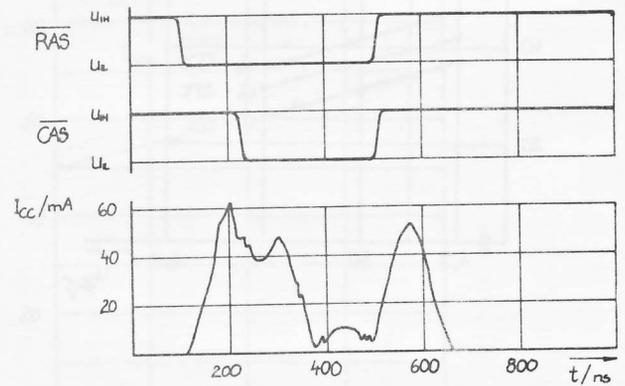


Bild 38: Impulsbild eines Zyklus
 $(t_{RLRL} = 700 \text{ ns}; t_{RLCL} = 120 \text{ ns})$
 bei $U_{CC} = 5 \text{ V}$, $\vartheta_a = 25 \text{ }^\circ\text{C}$

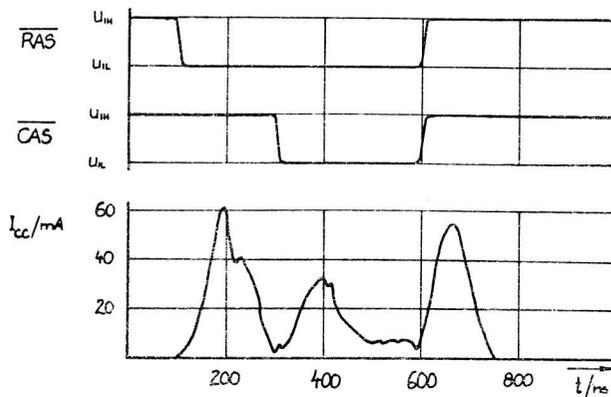


Bild 39: Impulsbild eines Zyklus

($t_{RLRL} = 750 \text{ ns}$, $t_{RLCL} = 200 \text{ ns}$)
 bei $U_{CC} = 5 \text{ V}$, $\theta_a = 25 \text{ }^\circ\text{C}$

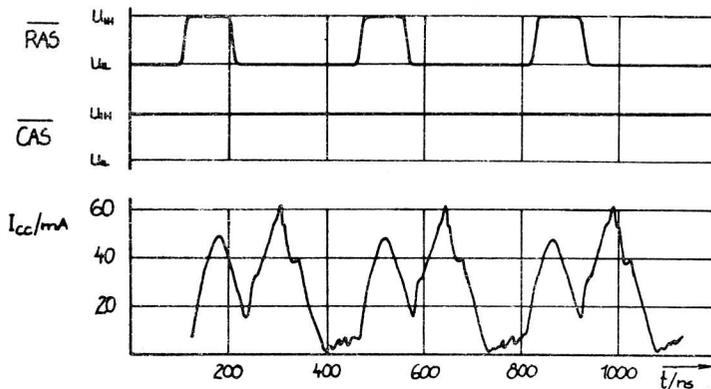


Bild 40: Impulsbild von Refresh-Zyklen

($t_{RLRL} = 375 \text{ ns}$)
 bei $U_{CC} = 5 \text{ V}$, $\theta_a = 25 \text{ }^\circ\text{C}$

4. Erprobungsergebnisse des U 2164 sowie applikative Hinweise

4.1. Allgemeines

Die U 2164-Typen eignen sich vorzüglich zum Aufbau leistungsfähiger Arbeitsspeicher und - bei Beachtung der Flüchtigkeit von RAM allgemein - Programmspeicher für die gesamte Mikrorechentechnik. Ein typischer Einsatzfall ist gegenwärtig die Nachrüstung bereits vorhandener Kleinrechner, Bürocomputer, Heimcomputer, Personalcomputer usw. der 8-Bit-Generation (Basis U 880) mit RAM-Systemen mit acht (für RAM-Floppy-Disk) bis 32 Schaltkreisen U 2164, wobei sich bei dieser Blockgröße die Bitorganisation des U 2164 als günstig erwiesen hat.

Die folgenden Ausführungen behandeln den System- und Schaltungsentwurf für U 2164-Konfiguration, die Leiterkartenkonstruktion dazu, die Abschätzung der Stromversorgung, die Prüfung derartiger Speicherkarten, Probleme der Prüfung usw. Sofern CPU-spezifische Zusammenhänge bestehen, wurden diese anhand des gegenwärtig noch am meisten eingesetzten CPU-Typ U 880 erklärt.

Grundlage der Ausführungen sind die Ergebnisse der Erprobung einer Vielzahl von U 2164-Schaltkreisen durch die Anwender bei unterschiedlichsten Einsatz- und Systembedingungen sowie eigene Untersuchungen. Es wurde dabei gezielt auf häufig gestellte Anfragen näher eingegangen. Es sei hier nochmals auf den reinen Informationscharakter hingewiesen; es kann keine Garantie für die Reproduzierbarkeit der Erprobungsergebnisse sowie für die Patentfreiheit übernommen werden. Nicht untersucht wurden der U 2164 C15 sowie die plastverkappten U 2164-Typen, da diese in der Phase der Mustererprobung noch nicht zur Verfügung standen. Die folgenden Ausführungen, Hinweise und Empfehlungen gelten natürlich auch für diese Schaltkreise.

4.2. Applikativer Vergleich zwischen dem Speicherschaltkreis U 2164 C und dessen "Vorgänger", dem Speicherschaltkreis U 256 C

Tabelle 8: Vergleich U 256 C und U 2164 C

Vergleichskriterium	U 256 C	U 2164 C	Einheit		
Speicherkapazität	16	64	Kbit		
Zahl der Betriebs- spannungen	3 (+12 V, +5 V, -5 V)	1 (+5 V)			
max. Leistungsaufnahme					
- Betrieb	462	300	mW		
- Ruhe	30	25	mW		
- Auffrischen	350	200	mW		
max. Leistungsaufnahme pro Bit bei Betrieb	28	4,5	μ W		
max. Belastung des Daten- ausgangs	2 TTL-Lasten	2 TTL-Lasten			
Auffrischen (Anzahl der Zyklen, Intervall, Arten, Kompatibilität)	128 Auffrisch- zyklen in 2 ms, /RAS-ONLY- REFRESH	128 Auffrisch- zyklen in 2 ms /RAS-ONLY- REFRESH			
Unterer Grenzwert für L-Eingangsspannung U_{IL}	-1	-2 (kurzzeitig)	V		
			Einheit		
Wichtige dyn. Kennwerte und Betriebsbedingungen		U 2164 C15 U 2164 D15	U 2164 C20 U 2164 D20	U 2164 C25 U 2164 D25	
/RAS-Zugriffszeit	200	150	200	250	ns
/CAS-Zugriffszeit	135	100	110	150	ns
Zykluszeit	375	270	330	410	ns
PAGE-MODE-Zykluszeit	225	170	200	280	ns
Anstiegszeit für Ansteuersignal	3 ... 50		3 ... 50		ns
Kompatibilität der Anschlüsse	-		aufwärtskompatibel zu U 256 C, U 256 D		
Gehäuse	DIL, 16-polig		DIL, 16-polig		

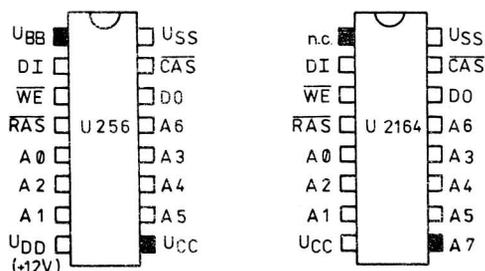


Bild 41: Gegenüberstellung der Anschlußbelegung von U 256 und U 2164 zur Demonstration der Aufwärtskompatibilität

Der U 2164 hat gegenüber dem U 256 folgende wesentliche Vorteile.

Vierfache Speicherkapazität bei gleichem Gehäuse, geringere Zykluszeit bei gleicher /RAS-Zugriffszeit, nur noch eine Betriebsspannung anstatt bisher drei und damit eine Verringerung der Leistungsaufnahme pro Bit um 85 % sowie ein wesentlich einfacheres Leiterkarten-Layout.

Durch die Aufwärtskompatibilität des U 2164 und der gleichen Refresh-Bedingung können Leiterkarten, die für den U 256 entworfen wurden, bei wenig Änderungsaufwand mit U 2164-Typen bestückt werden. Hierzu ist lediglich Anschluß 9, der beim U 256 angeschlossen wird, mit dem höchstwertigen Adreßbit A7 zu verbinden und Anschluß 1 freizulassen. Bei gleicher Leiterkartenfläche erhöht sich (durch die vierfache Speicherkapazität gegenüber dem U 256) die Leistungsfähigkeit des Speichersystems und damit natürlich auch des Rechners.

Bei gleicher Gesamtkapazität erhöht sich bei Einsatz des U 2164, bedingt durch Reduzierung der Anzahl von Steckverbindern, Lötstellen usw., die Systemzuverlässigkeit.

4.3. System- und Schaltungsentwurf

4.3.1. Größe des Speichersystems

Für 8-Bit-Mikrorechner läßt sich - als Minimalkonfiguration - bereits mit nur acht Exemplaren U 2164 ein Speichersystem realisieren, und zwar mit einer Kapazität von 64 Kbyte. Bei diesen Rechnern ist - bedingt durch die Bitorganisation des U 2164 - ein Einsatz nur in Vielfachen von acht, d. h. 8, 16, 24 usw. Exemplare U 2164 möglich. Bei 16-Bit-Rechnern sind - je nach Systemkonzept - mindestens 16 Stück U 2164 (d. h. 64 K x 16 bit) bzw. Vielfache von 16, z. B. 32, 48 usw. Stück 2164 erforderlich. Die Größe des Speichersystems hängt vom vorgesehenen Verwendungszweck ab. Bei großen und anspruchsvollen dRAM-Konfigurationen - manchmal auch als "Speicher-Baukern" bezeichnet - wird mitunter noch ein weiteres Bit, ein sogenanntes "Prüfbit" vorgesehen, wodurch der Speicherblock dann anders organisiert ist, z. B. 64 K x 9 bit bei einem 8-Bit-Rechner. Das Prüfbit soll eventuell - beispielsweise durch "softerror" - entstandene Datenfehler erkennen.

Größere Speicherblöcke für 8-Bit-Mikrorechner arbeiten mit 32 Schaltkreisen U 2164, wodurch eine Speicherkapazität von 256 Kbyte entsteht. Da der U 880 jedoch nur einen Adreßraum von 64 Kbyte aufweist, werden die 256 Kbyte entweder in vier Blöcke zu je 64 Kbyte oder in acht Blöcke zu je 32 Kbyte eingeteilt. Diese Blöcke (auch "Seiten" genannt) werden dann über zusätzliche Signale (die bei K 1520-Schnittstellen über den Koppelbus geführt werden) ausgewählt. Ein derartiges Speichersystem wird oft als sogenannte "RAM-Floppy-Disk" genutzt; diese wird vom Betriebssystem des Rechners wie ein Floppy-Disk-Speicher angesehen und betrieben, unabhängig von der anderen physischen Realisierung. Natürlich ist hierzu der Disketten-Treiber neu zu programmieren.

"RAM-Floppys" lassen sich vorteilhaft in Mikrorechnern mit diskettenorientierten Betriebssystemen (z. B. CP/M, SCP usw.) als Hintergrundspeicher einsetzen; natürlich mit der Einschränkung der Flüchtigkeit der dRAM. Aber auch bei Mikrorechnern mit Kassettenlaufwerken ist ein Einsatz gut möglich. Das Betriebssystem wird dann zu Beginn der Arbeiten komplett von der Kassette in die "RAM-Floppy" geladen, so daß danach nur auf letztere zugegriffen wird.

Die Vorteile von "RAM-Floppys" bestehen in einer Zeiteinsparung um den Faktor 3 ... 10 bei Programm-entwicklung und -abarbeitung, da die Zeit für einen RAM-Zugriff kürzer als ein Diskettenzugriff ist. Außerdem werden die Disketten geschont (Verschleiß) und es entfallen lästige Diskettengeräusche. Bei modularen Rechnersystemen ist eine nachträgliche Implementierung von RAM-Floppys gut möglich, wodurch das System eine Aufwertung erfährt.

4.3.2. Ungepufferte oder gepufferte U 2164-Konfigurationen?

Solange gesichert ist, daß jede Datenleitung nur mit einem U 2164-Schaltkreis belastet ist, sind in der Regel für den Datenbus keine Puffer- bzw. Treiber-Schaltkreise erforderlich. Dateneingang DI und Datenausgang DO eines jeden U 2164 können miteinander und mit der jeweiligen Leitung des Datenbusses verbunden werden. Dies setzt allerdings voraus, daß nur mit den READ- und EARLY-WRITE-Zyklen des U 2164 gearbeitet wird. Derartige Systeme nennt man "ungepuffert"; ihr Vorteil besteht in dem geringeren Hardware-Aufwand und einer günstigen Leiterkartenkonstruktion.

Für größere Speicherblöcke bzw. für Mikrorechner mit modularen Bussystemen reicht vielfach die Treiberleistung der CPU (meist eine TTL-Last) nicht aus. Um die erforderlichen Treiberströme aufzubringen, werden in die Datenleitungen zwischen CPU und U 2164 spezielle Treiber-Schaltkreise geschaltet; man spricht dann vom einem "gepufferten" System.

Eine derartige Pufferung muß auch dann vorgesehen werden, wenn mit Betriebszyklen gearbeitet wird, bei denen beim "Schreiben" der Datenausgang DO des U 2164 nicht über den gesamten Zyklus hinweg hochohmig ist (z. B. DELAYED-WRITE-ZYKLUS, READ-MODIFY-WRITE-Zyklus), da es hier zu Buskonflikten kommen kann.

Um durch die Pufferung die Dynamik des Systems so wenig wie möglich zu verschlechtern, werden als Puffer-/Treiber-Schaltkreise solche der DS-Reihe verwendet. Für Neuentwicklungen werden bevorzugt die Typen DS 8282/ DS 8283 und DS 8286/ DS 8287 verwendet, die eine günstige Leiterkartentrassierung zulassen. Die Steuerung der Puffer-/Treiber-Schaltkreise erfolgt über die Adreß- und Interface-Signale der CPU.

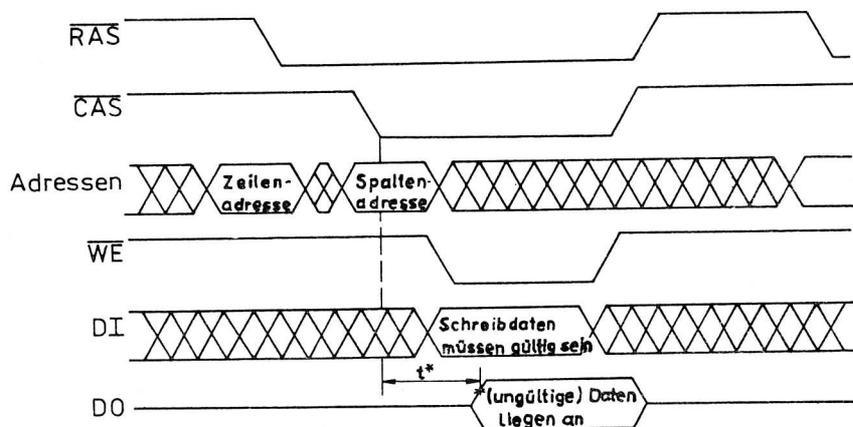


Bild 42: Impulsdiagramm für den DELAYED-WRITE-Zyklus des U 2164
(Die Zeit t^* ist identisch mit der /CAS-Zugriffszeit t_{CLOV} , jedoch liegen im Gegensatz zum Lesezyklus die Daten an DO ungültig an)

4.3.3. Auswahl der Betriebsart des U 2164

Für den Einsatz als Arbeits- bzw. Programmspeicher für Mikrorechner kommen außer dem /RAS-ONLY-REFRESH-Zyklus nur der READ- und der WRITE-Zyklus zum Einsatz. Ob bei letzterem dem EARLY- oder dem DELAYED-WRITE-Zyklus der Vorzug gegeben wird, hängt von den dynamischen Forderungen des Systems, der vorgesehenen Konzipierung einer gepufferten oder ungepufferten Konfiguration sowie dem Verhalten des U 2164-Datenausgangs DO hinsichtlich Abschaltbarkeit (Hochohmigkeit) für Busbetrieb ab.

Während beim dRAM-Typ U 256, solange das /WE-Signal nicht später als 20 ns nach dem /CAS-Signal aktiviert wurde, der Datenausgang DO desselben hochohmig ist, ergaben die Untersuchungen des U 2164, daß beim DELAYED-WRITE-Zyklus stets mit irgendwelchen, wenn auch ungültigen, Daten am Datenausgang DO zu rechnen ist. Beim U 2164 kann letztgenannter Schreibzyklus nur in gepufferten Systemen angewandt werden (siehe Abschnitt 4.3.2.)

Für das Betreiben des U 2164 mit einer CPU der U 880-Familie ist (bei gepufferten Systemen) der DELAYED-WRITE-Zyklus interfacemäßig etwas günstiger. Aber auch der EARLY-WRITE-Zyklus hat Vorteile: da er der kürzeste Schreibzyklus ist, ist bei Bedarf ein späteres "Umsteigen" auf eine CPU mit höherer Taktfrequenz (z. B. UA 880) ohne Schaltplanänderung (und damit ohne Änderung der Leiterkarte) einfach möglich. Außerdem - und auch dies kann mitunter erforderlich sein - kann bis zur unmittelbaren Aktivierung des /WE-Signals entschieden werden, ob ein Lese- oder ein Schreibzyklus ausgeführt werden soll.

Das Arbeiten mit READ-MODIFY-WRITE- sowie PAGE-MODE-Zyklen ist ausschließlich bei der Bildverarbeitung (z. B. Bildwiederholpeicher) bekannt. So fordert beispielsweise der Grafikprozessor-Schaltkreis U 82720 direkt die Verwendung des READ-MODIFY-WRITE-Zyklus /13/.

Der PAGE-MODE gestattet eine weitere Erhöhung des Datendurchsatzes. Die im Fachbereichsstandard /1/ angegebene max. /RAS-Impulsbreite $t_{RLRH} = 10$ ms ist allerdings eine wesentliche Einschränkung, da bei der PAGE-MODE-Zykluszeit von $t_{CLCL} = 200$ ns danach nur 50 Speicherzellen gelesen bzw. beschrieben werden können. Um den PAGE-MODE jedoch voll auszureizen, ist unmittelbarer serieller Zugriff auf alle 256 Zellen der jeweiligen Zeile wünschenswert. Wie die Erprobungsergebnisse ausweisen, gestattet der U 2164 typisch ein Arbeiten mit sämtlichen Speicherzellen einer Zeile in einem derartigen Zyklus.

Es sei abschließend darauf hingewiesen, daß durch das Arbeiten mit PAGE-MODE-Zyklen keine Speicher eingespart werden, sondern "nur" der Hardware-Aufwand sinkt.

4.3.4. Auffrischen der U 2164-Zellen ("Refresh")

Wie bereits erwähnt, muß jede dynamische Speicherzelle zwecks Erhalt der eingeschriebenen Information innerhalb eines bestimmten Zeitintervalls, der Refresh-Periode t_{REF} , aufgefrischt werden, d. h. die Speicherzelle muß gelesen und - da das Lesen der dRAM-Zelle die Information zerstört - die gelesene Information anschließend in die gleiche Zelle erneut eingeschrieben werden. Das Auffrischen erfolgt beim U 2164 durch den "/RAS-ONLY-REFRESH-Zyklus", und zwar sind innerhalb einer Refresh-Periode von $t_{REF} = 2$ ms mindestens 128 derartige Zyklen nötig. Es werden dabei sämtliche Speicherzellen, die sich auf der adressierten Zeile befinden, aufgefrischt. Da beim U 2164 - bezüglich des Refresh - jeweils zwei Zeilen der Speichermatrix zusammengeschaltet werden, können mit jedem /RAS-ONLY-REFRESH-Zyklus 512 Speicherzellen regeneriert werden. Die dazu erforderlichen 128 verschiedenen Refresh-Adressen werden dem U 2164 als 7-Bit-Refreshvektor über die Adreßanschlüsse A0 ... A6 zugeführt; der Adreßanschluß A7 ist für das Auffrischen ohne Bedeutung.

Im Rahmen der Speicherzyklen erfolgt das Auffrischen automatisch mit, jedoch sind es nur ausgewählte Anwendungen, z. B. Bildwiederholpeicher, bei denen es durch die Aufgabenstellung selbst gewährleistet ist, daß innerhalb der Refresh-Periode sämtliche "Refresh-Zeilen" des Speichers aufgerufen werden. Im allgemeinen kann deshalb auf ein zwangsweises Auffrischen nicht verzichtet werden. Generell gilt, daß das Auffrischen vor den anderen Speicherzyklen Priorität haben muß.

Anwenderseitig gibt es für das Auffrischen zwei Möglichkeiten:

- autonomer Refresh
- CPU-Refresh.

Bei dem autonomen Refresh erfolgt die Steuerung desselben durch eine gesonderte Logikschaltung, die je nach Erfordernis so konzipiert wird, daß das Auffrischen durch Stoßrefresh, d. h. Aufruf sämtlicher 128 Zeilenadressen unmittelbar hintereinander oder durch verteilten Refresh, bei dem das Auffrischen zeitlich über die gesamte Refresh-Periode, meist in Pausen der Befehlsabarbeitung geschachtelt, verteilt wird. Letztere Refresh-Art ist etwas materialaufwendiger, dafür aber zeitgünstiger und bewirkt auch eine bessere Stromverteilung.

Der CPU-Refresh ist, wie die Erprobungsergebnisse des U 2164 bestätigen, die für den Anwender günstigere Form des Auffrischens und soll deshalb hier, speziell für den U 880, kurz dargestellt werden. Bei den U 880-Typen erfolgt jeweils ab 3. Takt eines jeden Befehls-Zyklusses (M1-Zyklus) die Aussendung eines speziellen Refreshsignals ($\text{/RFSH} = L$); gleichzeitig wird vom U 880-internen Refresh-Zähler die 7-Bit-Adresse, "Refresh-Adresse" bzw. "Refresh-Vektor" genannt, die gerade "dran" ist, auf den Adreßbus gelegt und den U 2164-Schaltkreisen über die Adreßanschlüsse $A_0 \dots A_6$ zugeführt.

Die Steuerung deren Übernahme in die dRAM muß durch den Anwender schaltungstechnisch erfolgen, dergestalt, daß aus den U 880-Signalen /MREQ und /RFSH mit relativ wenig Hardware-Aufwand das zur Übernahme der Refresh-Adresse erforderliche /RAS -Signal generiert wird. Es sind also zur Realisierung der 128 Refresh-Zyklen 128 M1-Zyklen (also Befehle) erforderlich, im Durchschnitt alle $15,625 \mu\text{s}$ ein Befehl.

Entsprechend Bild 32 dürfte die Einhaltung der Refresh-Periode des U 2164 kaum kritisch sein. Man sollte trotzdem, besonders beim Arbeiten mit einem Systemtakt von 1 MHz, die Einhaltung der garantierten Refresh-Periode $t_{\text{REF}} = 2 \text{ ms}$ prüfen.

Es sei darauf hingewiesen, daß bei /WAIT - und DMA-Zyklen kein Auffrischen durch die CPU erfolgt, so daß im Bedarfsfall derartige Zyklen zeitlich zu limitieren sind. Wird der U 880-Schaltkreis (softwaremäßig) in den HALT-Zustand gebracht, erfolgt ein automatisches Auffrischen durch ausgesandte NOP-Befehle.

4.3.5. Gewinnung der Ansteuersignale /RAS , /CAS und /WE

Die U 2164-Ansteuersignale /RAS , /CAS und /WE werden aus den Adreß- und Interfacesignalen der CPU (beim U 880 sind dies im wesentlichen /MREQ , /RFSH und /WR) generiert und zwar mit einem der gewünschten Betriebsart entsprechenden Timing. Größere Speichersysteme werden aus Gründen der geringeren Strombelastung in sogenannte "Blöcke" eingeteilt und blockweise betrieben. Hierzu wird eine der Blockanzahl entsprechende Zahl von /RAS -Signalen hergestellt; dies geschieht meist aus den oberen Adreßbits der CPU mittels eines 1 aus 8-Binärdekoders DS 8205 D (für maximal acht Blöcke).

Sofern es sich erforderlich macht, die Signale zu verzögern, kann dies durch Hintereinanderschaltung mehrerer Gatter (Ausnutzung der Gatterlaufzeit) als auch durch synchrone Schaltungen (Verwendung des Systemtaktes) geschehen. Die erste Variante ist einfacher, hat aber den Nachteil einer größeren Streubreite der erreichten Verzögerungszeiten. Das /WE -Signal kann auch bereits vor dem /RAS - bzw. /CAS -Signal aktiviert werden.

Obwohl der Fachbereichsstandard /1/ des U 2164 eine Mindest- /RAS - /CAS -Verzögerungszeit t_{RLCL} vorschreibt (für den U 2164 C20 beträgt diese $t_{\text{RLCL}} = 45 \text{ ns}$), hat die Erprobung gezeigt, daß /RAS und /CAS gemeinsam aktiviert werden können. Die Spaltenadresse kann unmittelbar nach der /RAS - /CAS -Aktivierung angelegt werden und wird nach ca. 60 ns vom U 2164 übernommen. Dynamische Vorteile ergeben sich dabei allerdings nicht. Für die Ansteuer-Logik empfehlen sich Schaltkreise der DS- und DL-Reihe. Die Verwendung von ECL-Ansteuerlogik hat sich für typische Anwendungen des U 2164 als nicht erforderlich erwiesen.

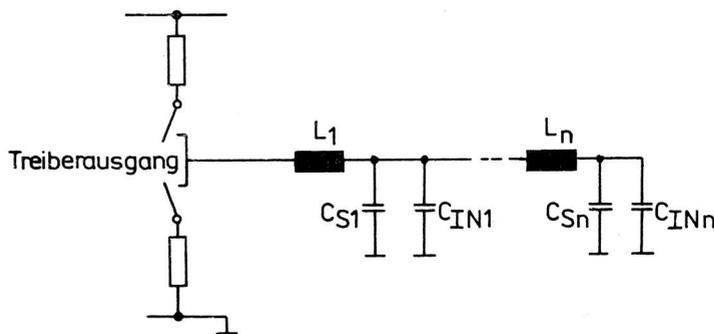
4.3.6. Schreib- und Lesesperre

Verschiedentlich wird für U 2164-Konfigurationen eine Schreibsperre (z. B. für Programmspeicher) oder eine Schreib-/Lesesperre gewünscht.

Zur Realisierung der Schreibsperre muß das /WE-Signal des U 2164 auf /WE = H gelegt werden; es sind dann nur Lesezyklen möglich. Werden sowohl /CAS- als auch /WE-Signal auf 4 gelegt, sind weder Schreib- noch Lesezugriffe möglich. /RAS-Impulse sind natürlich auch weiterhin zum Auffrischen erforderlich. Die Fixierung der /WE- bzw. /CAS-Signale kann per Hardware (z. B. Schalter) oder softwaremäßig erfolgen.

4.3.7. Verhinderung von Strom- und Spannungsspitzen

In einem 8-Bit-Mikrorechner muß die Ansteuerlogik mindestens acht, in einem 16-Bit-Rechner sogar 16 Stück U 2164-Schaltkreise ansteuern (Treiberleistung!). Es ergeben sich bei größeren U 2164-Anordnungen beträchtliche kapazitive Lasten, die sich aus den Eingangskapazitäten der U 2164 und den Leiterbahnkapazitäten zusammensetzen, welche in Verbindung mit den Induktivitäten auf der Leiterkarte und der Zuführungsleitungen bei ungünstiger Schaltungs- und Layoutauslegung zu Datenfehlern, ggf. sogar zur Zerstörung der U 2164 führen können. Da die Eingangsströme des U 2164 gering sind, ist die Ansteuerung der U 2164 ausschließlich ein Problem der kapazitiven Last. Die Verbindung "Ansteuerschaltkreis - U 2164" ist praktisch eine komplexe Impedanz mit verteilten Kapazitäten und Induktivitäten /1/.



Jeder Wechsel des Logikzustandes (also des Spannungspegels) an den Ausgängen der Ansteuerlogik bzw. der Treiber bewirkt an den U 2164-Eingängen negative bzw. positive Spannungsspitzen.

$$C = \sum_{i=1}^n (C_{Si} + C_{INi}) \quad (5)$$

$$L = \sum_{i=1}^n L_i \quad (6)$$

wobei L_i - Leiterbahninduktivität

C_{Si} - Leiterbahnkapazität

C_{INi} - Eingangskapazität des dRAM.

Bild 43: Darstellung der Impedanz der Ansteuerleitungen /15/

Für eine zweiseitige Leiterkarte von 1,5-mm-Stärke kann man bei 0,4-mm-breiten Leiterzügen mit einer komplexen Impedanz von ca. 0,5 pF/cm und 7 nH/cm rechnen, d. h. es ergibt sich ein Wellenwiderstand von:

$$Z_0 = \sqrt{\frac{L}{C}} = \sqrt{\frac{7 \text{ nH}}{0,5 \text{ pF}}} = 120 \text{ Ohm} \quad (7)$$

Bei einem Speicherblock von 64 Kbyte, d. h. bei acht Stück U 2164, kommt dann (bei dichter Packung) ca. alle 12 mm etwa 6-pF-Eingangskapazität hinzu, wodurch sich der Wellenwiderstand auf $Z_0 = 34 \text{ Ohm}$ verringert. Ändert sich der logische Zustand von H auf L, ergibt sich für einen minimalen H-Eingangspegel von $U_{IH} = 2,4 \text{ V}$ und einen maximalen L-Eingangspegel von $U_{TL} = 0,8 \text{ V}$ eine Stromspitze von:

$$I = \frac{U_{IH} - U_{IL}}{Z_0} = \frac{2,4 \text{ V} - 0,8 \text{ V}}{34 \text{ Ohm}} = 50 \text{ mA} \quad (8)$$

Bei höherem H-Eingangspegel erhöht sich der Wert der Stromspitze noch weiterhin, zumindest bis zum Kurzschlußstrom der Logik- bzw. Treiberstufe.

Diese Ströme können, bedingt durch die Leitungsinduktivität, Spannungen induzieren. Beträgt die Leitungsinduktivität $0,4 \mu\text{H}$, so ergibt sich bei einer Stromänderung von 100 mA innerhalb von 10 ns eine Induktionsspannung von:

$$U = 0,4 \mu\text{H} \times \frac{100 \text{ mA}}{10 \text{ ns}} = 4 \text{ V}$$

Tritt ein derartiger Spannungsimpuls auf einer Steuerleitung, z. B. auf der für das /RAS-Signal auf, verändert sich der Speicherinhalt vollständig, wenn nicht gar der dRAM zerstört wird.

Es ist also unbedingt für eine Unterdrückung derartiger Störspitzen Sorge zu tragen. Ein kapazitives Abblocken der Adreß-, Steuer- und Datenleitungen ist nicht möglich, da diese Daten führen; es wird deshalb empfohlen, in jede dieser Leitungen einen Dämpfungswiderstand $R = 20 \dots 50 \text{ Ohm}$, möglichst nahe an den Treiberschaltkreisen einzufügen. Der genaue Widerstandswert ist, für jede der Leitungen getrennt, so zu bemessen, daß sich eine kritisch bedämpfte Flanke ergibt. Ein zu hoher Widerstand verlangsamt die Anstiegsflanken, ein zu geringer mindert dessen Wirkung.

Auch auf den Stromversorgungsleitungen treten schnelle Stromänderungen auf, die zu Überschreitungen der Grenzwerte des U 2164 führen. Hier wird ein Abblocken des Betriebsspannungsanschlusses gegen den Masseanschluß mit einem Keramik Kondensator von 33 nF für jeden der U 2164-Schaltkreise empfohlen. Diese Stützkondensatoren sollten so nahe wie möglich an den dRAM angeordnet werden.

4.3.8. Sonstige Erprobungsergebnisse und Applikationshinweise

Der U 2164 darf wie alle dynamischen Speicher nur in geschlossenen Zyklen betrieben werden; Unterbrechungen (sogenannte "unvollendete /RAS-Zyklen") führen unweigerlich zu Datenstörungen. Zu dem geschlossenen Zyklus gehört auch die Einhaltung der /RAS-Vorladezeit.

Der Treiberstrom des Datenausganges DO (mindestens zwei TTL-Lasten) hat sich als völlig ausreichend erwiesen. Dem Datenausgang kann (typisch) ein Strom größer 15 mA entnommen werden.

Die Betriebsspannungstoleranz von 5% bei einigen U 2164-Typen (Betriebsbedingungen!) stellt für typische Anwendungen keine Einschränkung dar und ist - wenn überhaupt - nur bei sehr großen U 2164-Konfigurationen von Belang.

In die zulässige Betriebsspannungstoleranz des U 2164 gehen natürlich auch Welligkeit und Störspannungen (beispielsweise durch Stromstöße hervorgerufen) mit ein. Der U 2164 sollte deshalb stets bei $U_{CC} = 5 \text{ V}$ und nicht (ggf. zur Pegelverbesserung bei Verwendung von ECL-Ansteuerlogik) an der unteren Toleranzgrenze betrieben werden.

Durch die relativ scharfen dynamischen Betriebsbedingungen ist auf saubere und steile Ansteuersignale zu achten.

Für Timingabschätzungen sind die unterschiedlichen Zugriffs- und Zykluszeiten des U 2164 zu beachten.

Beim "Lesen" des U 2164 werden die gelesenen Daten nicht über die aktive Phase des /CAS-Signals hinaus gespeichert; so dies erforderlich, sind externe Auffangregister vorzusehen.

Eine Zusammenschaltung von Datenein- und -ausgang des U 2164 ist nur zulässig, wenn für das "Schreiben" der EARLY-WRITE-Zyklus konzipiert wurde (siehe Abschnitt 4.3.3. und Bild 9).

Eine Beschaltung der U 2164-Eingänge mit Widerständen $R = 1 \dots 2 \text{ k}\Omega$ gegen U_{CC} (die bei anderen dRAM-Typen zur Sicherung des H-Pegels mitunter empfohlen wird) hat sich als nicht erforderlich erwiesen.

Der Anschluß 1 des U 2164 ist intern nicht angeschlossen.

Für Anwendungen, die den PAGE-MODE nutzen, sollte der U 2164 C25 S1 nicht vorgesehen werden, da bei diesem Typ der PAGE-MODE nicht garantiert wird.

Eingangsspannungen von $U_I < -0,3 \text{ V}$ sind beim U 2164 erst 1 ms nach Einschalten und max. 40 ns zugelassen (siehe Bild 7).

Zur Entfaltung der vollen Funktionsfähigkeit benötigt der U 2164 nach Anlegen der Betriebsspannung mindestens acht Betriebszyklen (z. B. Auffrischzyklen).

Für die Ansteuerlogik sollten keine CMOS-Logikschaltkreise der V 4000-Reihe verwendet werden, da diese hierfür zu langsam und nicht im erforderlichen Maß TTL-kompatibel sind.

Bei Einsatz von Puffer-/Treiber-Schaltkreisen der DS-Reihe ist zu beachten, daß die Datenleitungen (Steuerung über /WE) erst 30 ns nach der Richtungsumschaltung (gesteuert durch T/DIR) aktiv werden dürfen. Bei Schaltkreisen der DL-Reihe dürfen unbenutzte Eingänge nicht offen sein.

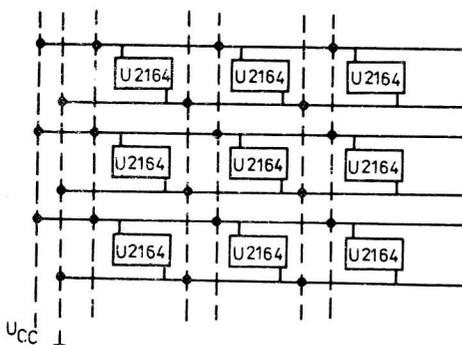
Man arbeite von Anfang an mit Leiterkarten und vermeide freie bzw. Wickelverdrahtungen.

Offene Adreßeingänge - auch das kommt offenbar vor (beispielsweise wenn nur ein Viertel der Speicherkapazität genutzt wird) - sollten vermieden werden.

4.4. Layoutentwurf für U 2164-Konfigurationen

Bedingt durch die hohen Transientenströme auf den Stromversorgungsleitungen und den relativ scharfen dynamischen Betriebsbedingungen kommt bei dRAM-Systemen der Gestaltung des Leiterkarten-Layouts große Bedeutung zu. Es hat sich erwiesen, daß für typische U 2164-Anwendungen Zweiebenen-Leiterkarten ausreichend sind, die ja auch für die meisten Anwender einfacher herzustellen sind als Mehrebenen-Leiterkarten.

Generell gilt für den Leiterkartenentwurf, daß die Stromversorgungs-, Daten- und Steuerleitungen impedancearm auszuführen sind, d. h. es ist auf kurze, breite und geradlinige Leitungen zu orientieren. Gut bewährt hat sich die Gitterstruktur; es werden dabei alle waagerechten Leitungen auf der einen und alle senkrechten auf der anderen Seite der Leiterkarte angeordnet (siehe Bild 44).



wenn möglich, sollten zur Minderung der Gefahr des Übersprechens die Datenleitungen senkrecht zu den Adreß- und Steuerleitungen angeordnet werden. In Bild 45 wird als Beispiel ein Leiterkarten-Layout eines U 2164-Systems angegeben.

Bild 44: Prinzip der Gitterstruktur für Masse und Betriebsspannungsleitung für den Leiterkartenentwurf von U 2164-Konfigurationen /2/, /4/, /11/

(— Leiterzug auf Bestückungsseite,
 --- Leiterzug auf Leiterseite,
 ● Durchkontaktierung)

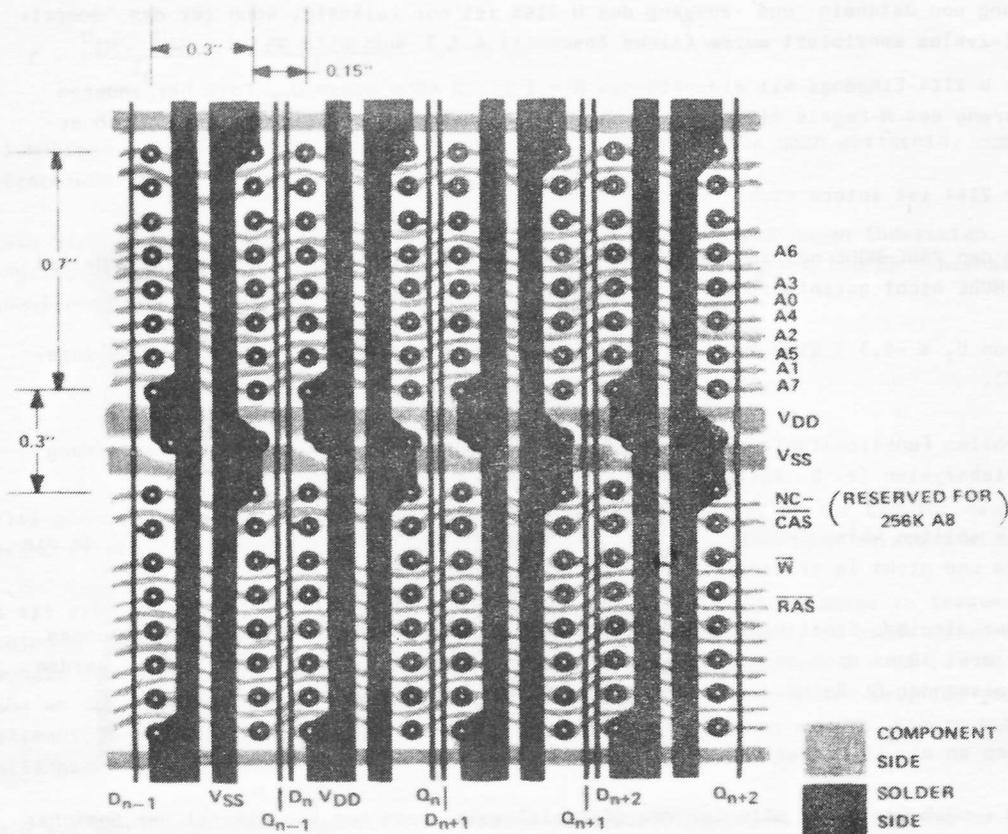


Bild 45: Beispiel eines Leiterkarten-Layouts für ein U 2164-System /11/

4.5. Einsatz des U 2164 in U 880-Systemen

4.5.1. Auswahl des U 2164 in Abhängigkeit von der Taktfrequenz des U 880

Entsprechend dem Timing von U 2164 und der CPU kann für den U 880 (1-MHz-Takt) und UB 880 (2,5-MHz-Takt) das gesamte U 2164-Sortiment eingesetzt werden. Für den UA 880 (4-MHz-Takt) können die dRAM-Typen U 2164 C20 und U 2164 D20, U 2164 C20/1 und U 2164 D20/1 und U 2164 C15 und U 2164 D15 verwendet werden; allerdings mit folgender Einschränkung /6/.

Da das /RAS-Signal direkt aus dem /MREQ-Signal der CPU abgeleitet wird, ergibt sich im M1-Zyklus das Problem, daß die erforderliche /MREQ-Erholzeit $t_{W(MRH)}$ für den UA 880 $t_{W(MRH)} = 105 \text{ ns}$ beträgt, der U 2164-Fachbereichsstandard /1/ aber eine /RAS-Pause von $t_{RHRL} > 120 \text{ ns}$ fordert. Obwohl der typische Wert dafür unter 100 ns liegt (s. Bild 34), sollte doch eine erzwungene Verlängerung von $t_{W(MRH)}$ geschehen (s. Bild 46).

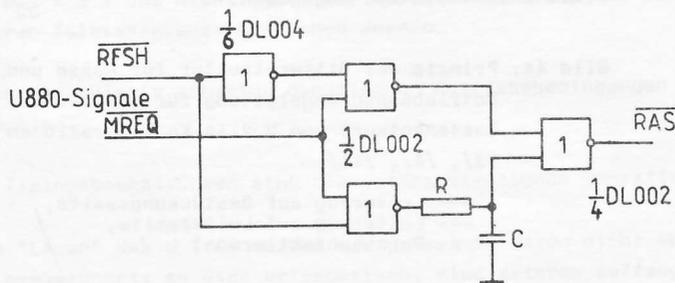


Bild 46: Möglichkeit zur Verlängerung der /MREQ-Erholzeit $t_{W(MRH)}$ /6/

Es ist dabei allerdings zu beachten, daß diese Verlängerung zu Lasten der Pause des nächsten M1-Zyklus geht. Eine Verringerung von $t_{(MRL)}$ ist systembedingt nicht möglich.

4.5.2. Besonderheiten der Konfiguration U 2164 - U 880

Soll der U 2164 in Mikrorechnern eingesetzt werden, die als CPU den U 880 verwenden, ergibt sich hier das Problem, daß letzterer nur einen Speicherbereich von 64 Kbyte adressieren kann, eine U 2164-Minimalkonfiguration (d. h. acht Stück U 2164) aber bereits 64-KByte-Speicherkapazität aufweist. Nun ist jedoch zum Betreiben eines Mikrorechners in jedem Fall ein, wenn auch noch so kleiner, Festwertspeicherbereich (d. h. Masken-ROM, PROM-, EPROM-Bereich) erforderlich, in dem das Betriebssystem des Rechners (im einfachsten Fall ein "Anfangslader" zum Laden des Betriebssystems von Kassette oder Floppy-Disk) abgespeichert ist. Dies bedeutet, daß einige Adressen sowohl vom Festwertspeicher als auch vom dRAM belegt werden müssen. Diese Doppelbelegung führt beim Lesen dazu, daß bei der gleichen Adresse verschiedene Speicherzellen (mit verschiedenen Daten) ausgelesen werden, was zu Datenstörungen, ggf. - durch "Datenkämpfen" - sogar zur Zerstörung der Ausgangsstufen der Halbleiterspeicher führt.

Im folgenden wird ein Prinzip zur Verhinderung dieses Effektes angegeben.

Im Rahmen der Initialisierung ("Einschalt-RESET") des Mikrorechners erhält die dRAM-Konfiguration eine "Lesesperre"; dies kann beispielsweise über ein (zusätzlich vorzusehendes) Flipflop geschehen, das über den Freigabeeingang (/OE) des bidirektionalen Treibers DS 8216 D den Datenbus in Leserichtung sperrt. Bei den Datentransport-Befehlen des U 880 ("Ladebefehl") wird dadurch beim "Datenlesen" nur der Festwertspeicher und beim "Datenschreiben" nur der Arbeitsspeicher angesprochen. Natürlich kann auch die Anfangsadresse des Speicherblocks so gewählt werden, daß sie oberhalb des ROM-Bereiches liegt; die Kapazität der U 2164-Konfiguration wird allerdings dann nicht voll ausgeschöpft.

4.6. Strom- bzw. Leistungsaufnahme von U 2164-Systemen

4.6.1. Allgemeines

In die Gesamtstromaufnahme einer U 2164-Konfiguration gehen Betriebsstrom I_{CCB} , Ruhestrom I_{CCS} und Refreshstrom I_{CCREF} der Speicher in nachfolgend angegebener Weise ein /1/, /2/.

$$\text{Betriebsstrom } I_{CCB} = (I_{CCO} + I_{CCLO}) \times K \quad (9)$$

wobei I_{CCO} - Betriebsstromaufnahme eines einzelnen U 2164

I_{CCLO} - Ausgangslaststrom eines einzelnen U 2164, zuzüglich der aktiven Last-Bauelemente (z. B. Puffer) sowie der Leckströme der nichtaktivierten Bauelemente

K - Anzahl der aktivierten U 2164 (/RAS = /CAS = L)

$$\text{Ruhestrom } I_{CCS} = I_{CCR} \times M \quad (10)$$

wobei I_{CCR} - Stromaufnahme eines U 2164 im Ruhezustand

M - Anzahl der inaktiven U 2164-Schaltkreise (/RAS = H)

$$\text{Refresh-Strom } I_{CCREF} = I_{CC/RAS} \times N \times \frac{t_{RLRL}}{t_{REF}} \times Z \quad (11)$$

wobei $I_{CC/RAS}$ - Refreshstrom eines U 2164
(/RAS-ONLY-Refresh)

t_{RLRL} - Zykluszeit für einen Refresh-Zyklus

Z - Anzahl der erforderlichen Refresh-Zyklen

t_{REF} - Refresh-Periode

N - Anzahl der U 2164 (d. h. Blockgröße)

Da der Betriebsstrom nicht über den gesamten Zyklus stationär, sondern ausschließlich an den Flanken der /RAS, /CAS- und /WE-Signale aufgenommen wird (s. Bilder 35 und 36), ist die durchschnittliche Stromaufnahme I_{CCD} etwa umgekehrt proportional zur Zykluszeit; sie ist wie folgt definiert /1/, /2/:

$$I_{CCD} = I_{CCO} \times \frac{t_{RLRLmin}}{t_{RLRL}} + I_{CCR} \left(1 - \frac{t_{RLRLmin}}{t_{RLRL}}\right) \quad (12)$$

wobei $t_{RLRLmin}$ - im Datenblatt angegebene Mindestzykluszeit

t_{RLRL} - tatsächliche Zykluszeit

Bei einer Zykluszeit $t_{RLRL} = t_{RLRLmin}$ erhält man $I_{CCD} = I_{CCO}$, mit steigender Zykluszeit nähert sich I_{CCD} dem Ruhestrom I_{CCS} .

Für die Gesamtverlustleistung einer U 2164-Speicherkonfiguration (außer Treiber-, Interface- und Logik-Schaltkreise) erhält man:

$$P_V = (I_{CCB} + I_{CCS} + I_{CCREF}) \times U_{CCmax} \quad (13)$$

Durch die ausschließliche Stromaufnahme der U 2164 an den Ansteuer-Flanken muß das Netzteil auch derartige "stoßartige" Belastungen vertragen.

4.6.2. Beispiel

Gegeben sei ein Speicherblock von 256 Kbyte für einen 8-Bit-Mikrorechner. Es werden also $N = 32$ Stück U 2164 C20 verwendet, wobei eine Aktivierung zu jeweils acht Stück erfolgt, d. h. $N = 24$ Speicherschaltkreise sind inaktiv (Ruheleistung!).

Es sollen folgende Werte zugrunde gelegt werden:

$$\text{U 2164 C20} \quad I_{CCO} = 55 \text{ mA} \quad (t_{RC} = 330 \text{ ns})$$

$$I_{CCR} = 5 \text{ mA}$$

$$I_{CC/RAS} = 40 \text{ mA} \quad (t_{REF} = 2 \text{ ms})$$

$$|I| = 10 \text{ } \mu\text{A}$$

Interface-Schaltkreise (DS 8282 D, DS 8286 D usw.)

$$-I_{IL} = 100 \mu\text{A}$$

$$I_{CC} = 100 \text{ mA}$$

Die Leckströme der Interface-Schaltkreise sollen hier vernachlässigt werden.

$$I_{CCB} = (55 \text{ mA} + 200 \mu\text{A}) \times 8$$

$$I_{CCB} = 441,6 \text{ mA}$$

$$I_{CCS} = 5 \text{ mA} \times 24$$

$$I_{CCS} = 120 \text{ mA}$$

$$I_{CCREF} = 40 \text{ mA} \times 32 \times \frac{330 \text{ ns}}{2 \text{ ms}} \times 128$$

$$I_{CCREF} = 27 \text{ mA}$$

$$P_V = (I_{CCB} + I_{CCS} + I_{CCREF}) \times U_{CCmax}$$

$$P_V = (441,6 \text{ mA} + 120 \text{ mA} + 27 \text{ mA}) \times 5,5 \text{ V}$$

$$P_V \hat{=} 3,2 \text{ W}$$

Berechnung der Verlustleistung pro Bit P_b :

$$P_b = \frac{P_V}{N \times 65536} = \frac{3,2 \text{ W}}{32 \times 65536}$$

$$P_b = 1,5 \mu\text{W/bit}$$

Für die Abschätzung der Leistung (Netzteil!) sind noch die Betriebsstromaufnahme der Interface-Schaltkreise der DS-Reihe ($I_{CC} = 100 \text{ mA}$), der Multiplexer ($I_{CC} = 15 \text{ mA}$) und einiger Ansteuer-Schaltkreise ($I_{CC} = 30 \text{ mA}$) zu berücksichtigen. Es werden insgesamt hierfür $I_{CC} = 150 \text{ mA}$ abgeschätzt, so daß bei einer Betriebsspannung von $U_{CC} = 5,5 \text{ V}$ noch eine zusätzliche Leistung von $P_V = 0,8 \text{ W}$ hinzukommt. Die Leistungsaufnahme der Speicherplatine beträgt dann etwa $P_{VGES} = 4 \text{ W}$.

4.7. Betrachtungen zur Problematik "Softerror"

Unter "Softerror" wird ganz allgemein ein durch Alpha-Teilchen hervorgerufener Bitfehler verstanden, der nur zeitweilig auftritt. Bedingt durch natürliche Verunreinigungen von Gehäusematerialien - meist durch anorganische Füllstoffe hervorgerufen - werden Alpha-Teilchen abgegeben, die beim Abbremsen im Silicium Elektronen-Lochpaare erzeugen, die Störladungen zur Folge haben. Bei Strukturen bzw. Schaltungen, für die die zur Informationsänderung notwendige Ladung gering ist, beispielsweise bei dynami-

schen Speichern, können bereits derartige sehr kleine Ladungen Bitfehler verursachen. Natürlich führt nur ein sehr geringer Teil dieser Alpha-Teilchen zu einem "Softerror". Die Häufigkeit hängt im wesentlichen ab:

- von der Empfindlichkeit des dRAM-Entwurfes gegenüber Alpha-Teilchen
- vom Alpha-Teilchenstrom, der die oberste Schicht (etwa 25- μ m-Tiefe) erreicht
- von der Zykluszeit, mit der der dRAM betrieben wird und
- vom Gehäusematerial.

Mit steigender Speicherkapazität muß diesem Problem besondere Aufmerksamkeit gewidmet werden, sowohl durch einen entsprechenden Schaltkreisentwurf (z. B. Erhöhung der Kapazität des Speicherkondensators, gefaltete Bitleitungen, spezielle Polymerschicht auf dem Chip usw.) als auch durch Entwicklung spezieller und dabei preisgünstiger Gehäuse bzw. Gehäusematerialien.

Der internationale Standard für "Softerrors" sieht bei 64-KBit-dRAMs weniger als 0,1 % pro 1000 Bauelemente-Stunden vor, d. h. pro dRAM-Schaltkreis weniger als ein "Softerror" pro 10^6 Betriebsstunden. Ein Beispiel soll dies verdeutlichen. Bei 32 derartigen dRAMs, z. B. Einsatz als 256-KByte-Halbleiter-Floppy in einem Mikrorechner, sind dies bei ca. 32000 Betriebsstunden (das sind immerhin 3,5 Jahre durchgängiger Betrieb) max. 1 Bitfehler.

Bei größeren und besonders anspruchsvollen Konfigurationen kann über ein zusätzliches Bit (Prüfbit) eine entsprechende Fehlererkennung eingeleitet werden.

Die Erprobungen des U 2164 haben ergeben, daß die "Softerror"-Rate weit unter dem international zulässigen Höchstwert liegt. Es sei darauf hingewiesen, daß es oftmals schwierig ist, Ursachen für Datenfehler exakt zu diagnostizieren. Nicht jeder Bitfehler sollte automatisch auf "Softerrors" geschoben werden, es können dafür auch andere Fehlerquellen - z. B. Kriechströme, elektrostatische Entladungen oder auch ungünstige Leiterkartenaufbauten - als Fehlerursache in Betracht kommen.

4.8. Testung von Speicherkonfigurationen

4.8.1. Allgemeines

Obwohl mikroelektronische Bauelemente - hier Speicher - beim Hersteller sorgfältigst getestet werden, müssen diese natürlich nicht zwangsläufig in der aufgebauten Schaltung bzw. Leiterkarte funktionieren. Dies ist dadurch bedingt, daß bei der Bauelementeprüfung (nahezu) ideale Bedingungen zugrundegelegt werden, im praktischen Einsatz jedoch zahlreiche Effekte auftreten, deren Erfassung und Einbeziehung in die Prüfung vom Entwickler viel "Speichereinfahrung" abverlangen.

Hierzu seien genannt /7/:

- das zeitliche Zusammenwirken von Speichern und der Ansteuer- bzw. Interface-Logik (DL- und DS-Logikreihe) ist nicht immer exakt berechenbar
- verzerrte Ansteuersignale (z. B. Flankensteilheit) durch parasitäre Induktivitäten und Kapazitäten
- Störungen durch Umgebungseinflüsse
- Störung der Stromversorgungsbaugruppe durch stoßartige Belastung (Transientenströme!)
- ungünstiges Leiterkarten-Layout
- ungenügende Entkopplung bzw. Stützung.

Eine nach allen Regeln der Kunst geprüfte Speicherplatine muß nun ihrerseits auch nicht auf "Antrieb" im kompletten Speicher- bzw. Rechnersystem funktionieren, so daß insgesamt ein Mehrstufentest in den Ebenen "Bauelement", "Speicherplatine", "Gesamtspeicher" und "Rechner" erforderlich ist.

4.8.2. Test von Speicherbauelementen beim Hersteller

4.8.2.1. Problematik

Die Testung von Speichern höherer Kapazität ist recht kompliziert, besonders das Herausfinden einer möglichen Beeinflussung topologisch benachbarter Speicherzellen untereinander - auch Bitmusterempfindlichkeit oder Übersprechen genannt - bei verschiedenen Kombinationen von Betriebsspannung und Umgebungstemperatur. Ein Beispiel möge dies demonstrieren: ein Speicher mit einer Kapazität von nur 64 bit hat bereits 2^{64} (d. h. 10^{18}) mögliche Bitmuster. Soll in den Speicher jedes dieser Bitmuster eingeschrieben und anschließend wieder gelesen werden, wären 2×10^{18} Speicherzyklen abzuarbeiten; bei einer (willkürlich angenommenen) Zykluszeit von 300 ns sind dies über 6 400 Jahre - und dies bei einem Speicher geringster Kapazität!

Es liegt also nahe, daß man sich zur Testung von Speicherschaltkreisen etwas einfallen lassen mußte und spezielle Verfahren und Algorithmen entwickelt hat. Im folgenden sollen, bei gebotener Kürze, einige derartige Verfahren und prinzipielle Herangehensweisen kurz vorgestellt werden. Die Ausführungen haben grundsätzlichen Charakter, sie sollen dem Anwender zeigen, was der Bauelementehersteller eigentlich alles tut und ihm außerdem Anregungen zur Prüfung von Speichersystemen vermitteln.

4.8.2.2. Wichtige Testverfahren für Speicherschaltkreise

4.8.2.2.1. Marching-Test

Ziel des Marching-Testes ist, jede Speicherzelle zu prüfen, ob sie

- eine logische "0" annimmt
- eine logische "1" annimmt
- sich von einer logischen "0" auf eine logische "1" umschreiben läßt und
- sich von einer logischen "1" auf eine logische "0" umschreiben läßt.

Es werden dazu sämtliche Speicherzellen zunächst mit einer logischen "0" beschrieben. Anschließend wird die erste Zelle gelesen, kontrolliert, ob die logische "0" angenommen wurde und nun mit einer logischen "1" beschrieben. Danach wird das gleiche für die zweite Zelle durchgeführt und dies bis zur letzten Zelle fortgesetzt. Sind schließlich alle Speicherzellen mit einer logischen "1" beschrieben, wird die erste Zelle gelesen, geprüft, ob die logische "1" in ihr enthalten ist und wieder mit einer logischen "0" beschrieben. Dies wird fortgesetzt, bis die letzte Speicherzelle mit einer logischen "0" beschrieben wurde.

Dieses Vorgehen wird innerhalb des gesamten Betriebsspannungs- und Umgebungstemperaturbereiches wiederholt, wodurch ermittelt wird, ob und bei welchen Einsatzbedingungen sich Zellen ggf. nicht beschreiben lassen.

4.8.2.2.2. Bump-Test

Ziel ist hier die Prüfung des Speichers auf die einwandfreie Funktion (d. h. die Speicherfähigkeit) bei geringen Ladungen; es werden also Mängel erfaßt, die auf einer zu geringen Kapazität der Zelle, Betriebsspannungseinflüssen, Schwellspannungen der Leseverstärker sowie Logikpegelproblemen beruhen.

Der Bump-Test wird in der Weise durchgeführt, daß jede Speicherzelle bei der unteren Betriebsspannungsgrenze beschrieben wird, ohne eine Ladung aufzubringen. Dies kann je nach der (herstellerspezifischen) topologischen Anordnung der Zellen sowohl eine logische "1" als auch eine "0" sein. Anschließend wird die eingeschriebene Information bei der oberen Betriebsspannungsgrenze ausgelesen und kontrolliert, wobei ebenfalls keine Ladung, zumindest keine, die vom Leseverstärker erkannt wird (Informationsverlust!), aufgebracht werden darf. Durch die Betriebsspannungsänderung werden Ladung, Logikpegel und Schwellspannung (etwa $0,5 U_{CC}$) beeinflusst. Dieser Test ist natürlich besonders für dRAMs interessant.

4.8.2.2.3. Screening-Test

Der Screening-Test hat zum Ziel, eventuelle Beeinflussungen der Kennwerte beim Arbeiten an den Grenzwerten von Betriebsspannung und Logikpegel zu erfassen und die Zuverlässigkeit des Speichers zu erhöhen. Der dRAM wird dazu bei einer Betriebsspannung $U_{CC} = 7 \text{ V}$ (Grenzwert) und den Eingangs-Logikpegeln $U_{IL} = -0,5 \text{ V}$ und $U_{IH} = 7 \text{ V}$ (Grenzwerte) beschrieben und anschließend gelesen. Danach wird der Speicher im normalen Betriebsspannungsbereich betrieben (Betriebsbedingungen!), wobei sich die statischen Kennwerte (z. B. Leckstromvergrößerung) nicht verändert haben dürfen.

4.8.2.2.4. Galloping-Test

Mit diesem Test sollen evtl. vorhandene Bitmusterempfindlichkeiten festgestellt werden. Dazu wird zunächst der gesamte Speicher (als sogenannter "Hintergrund"), mit logischen "0" beschrieben. Danach wird in eine bestimmte Zelle eine logische "1" eingeschrieben und geprüft, ob die "1" in der betreffenden und die logischen "0" in den restlichen Zellen noch vorhanden sind. Ist dies der Fall, wird der Hintergrund mit logischen "1" und in die vorher mit einer logischen "1" beschriebene jetzt eine logische "0" geschrieben und natürlich wiederum die Datenhaltigkeit geprüft usw.

4.8.2.2.5. Butterfly-Test

Der Butterfly-Test ist ein verkürzter Galloping-Test, bei dem aus Aufwandsgründen (Prüfzeit!) nur die topologisch unmittelbar benachbarten Zellen (meist acht) miteinander kombiniert werden. Es gibt hierzu selbstverständlich noch zahlreiche weitere Verfahren sowie Modifikationen.

4.8.3. Prüfung von Speicherkonfigurationen

Für eine Anwendung der genannten Verfahren auf die Prüfung von Speicherkonfigurationen bietet sich speziell der Marching-Test hervorragend an, da er relativ einfach zu handhaben ist und eine effektive Prüfung derartiger Platinen ermöglicht. Die anderen Verfahren setzen spezielle Kenntnisse der jeweiligen dRAM-Topologie voraus.

4.9. Kompatibilität des U 2164

Unter Kompatibilität verstehen wir hier die unmittelbare Austauschbarkeit mit international angebotenen 64-KBit-dRAM-Typen. Als wesentliche Unterschiede sind ggf. andere Refreshbedingungen bzw. -arten sowie (bei Halbbyte-Organisation) ein größeres Gehäuse mit anderer Anschlußbelegung zu nennen.

Es sei darauf hingewiesen, daß der U 2164 nicht in jedem Fall andere 64-KBit-dRAM ersetzen kann; dies gilt besonders, wenn andere Auffrisch-Modi als der "/RAS-ONLY-Refresh" angewandt wurde.

Der sowjetische Typ K 565 RU 5 W ist dem U 2164 C20 und der K 565 RU 5 T dem U 2164 C25 äquivalent. Die Kennzeichnung des "W" erfolgt durch einen Punkt und die des "T" durch zwei Punkte auf dem Exemplar.

Weitere Äquivalenzprobleme sollten mit dem Hersteller geklärt werden.

Literatur

- /1/ TGL 42 234 Integrierte Halbleiterschaltkreise; Dynamischer Schreib-Lese-Speicherschaltkreis U 2164 C20, U 2164 C20/1 und U 2164 C25; Technische Bedingungen. - 86-03.
- /2/ Application Note AP-131. 64 K Dynamic RAM Description
Intel Corp., S. Clara
- /3/ Kühn, E.: Handbuch TTL- und CMOS-Schaltkreise
Berlin: Verl. Technik 1986
- /4/ Bürger, B.: Halbleiterspeicher T. 2 SRAM und DRAM
VEB Halbleiterwerk Frankfurt/O. - KDT Bezirksverband Frankfurt/O.
(Mikroelektronik Information Applikation; H. 30)
- /5/ U 2164-Kenndatenbericht
VEB Forschungszentrum Mikroelektronik Dresden
- /6/ Bobe, W.: Halbleiterspeicher in Mikroprozessorsystemen T. 1
Radio Fernsehen Elektronik, Berlin 35 (1986) 7, S. 419 - 422
- /7/ Rathmer, K.: Der wirkungsvolle Speichertest unter Betriebsbedingungen
Elektronik, München 28 (1979) 22, S. 41 - 46
- /8/ de Paly, T.: U 2164 - ein 64 k bit dynamischer Speicher
11. Mikroelektronik-Bauelemente-Symposium Frankfurt/O. 1985
Referate Bd. 1, S. 13 - 23
- /9/ Waddel, J. M.; Dieringer, H.: Sind "Soft Errors" durch α -Teilchen
ein Problem?
Elektronik, München 29 (1980) 22, S. 99 - 102
- /10/ Shojiro, A.: Semiconductor Memory Trends
Proc. IEEE, New York 74 (1986) 12, S. 1623 - 1635
- /11/ MOS Memory Data Book Application Brief
Texas Instr. Inc., Dallas
- /12/ Wiegmann, A.: Dynamische 64-K-RAMs Technik und Produkte
Elektronik, München 31 (1982) 25, S. 43 - 56
- /13/ Bankel, M.: Der Grafik-Display-Controller U 82720 D -
Technische Daten und Applikation
12. Mikroelektronik-Bauelemente-Symposium Frankfurt/O. 1987
Referate Bd. 2, S. 143 - 155
- /14/ Richtige Ansteuerung von Speichersystemen
Elektronik, München 32 (1983) 11, S. 105 - 108

