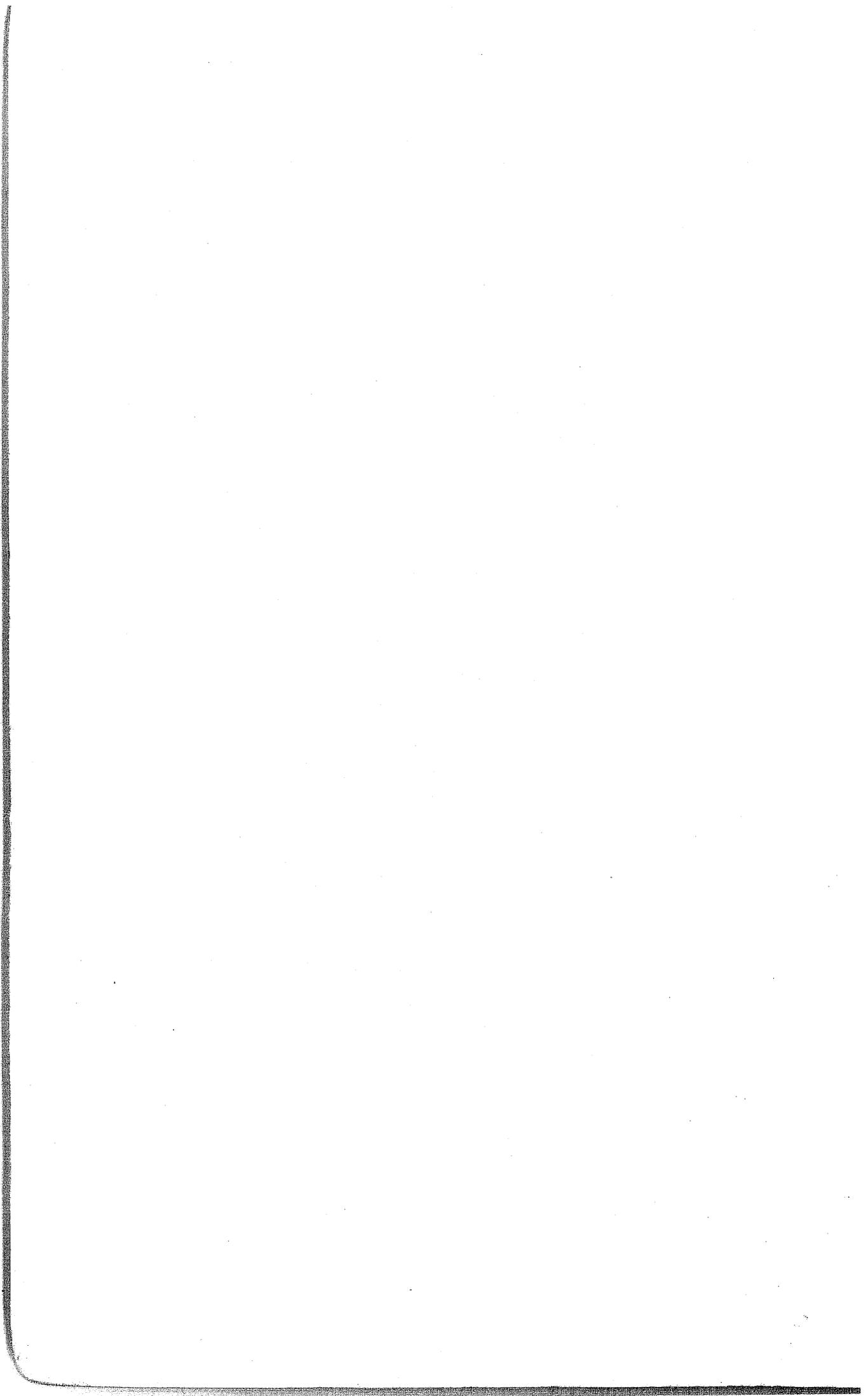


robotron

1715

**Service-
handbuch**

Computer



Inhaltsverzeichnis

		Seite	
1.0	Technische Beschreibung	2	
1.1.	Konstruktiver Aufbau	2	
1.2.	Zentrale Recheneinheit	4	34
1.3.	Technische Beschreibung Anschlußsteuerung 2xV.24	35	39
1.4.	STE Schnittstelle 2xIFSS	40	43
1.5.	Ansteuereinheit für Floppy-Disklaufwerke	44	56
1.6.	Floppy-Disklaufwerke	57	77
1.7.	Display K7221.25/K7222.25	78	86
1.8.	Tastatur 1715	87	92
1.9.	Stromversorgung	93	101
2.0.	Serviceempfehlung	102	
2.1.	Meß- und Prüfmittel	102	
2.2.	Hinweise zur Fehlersuche	105	
2.3.	Baugruppенаustausch	106	110
3.0.	Steckerbelegung	111	115
4.0.	Vergleichsliste	116	117
5.0.	Pin-Belegung	118	148
6.0.	Einstellvorschrift	149	165
7.0.	Wartungsvorschrift	166	171
8.0.	Ansteuereinheit für Folienspei- cherlaufwerke 20-330-0202-5	172	

© VEB Robotron Büromaschinenwerk Sömmerda 1985

1. Technische Beschreibung

1.1. Konstruktiver Aufbau

Der 1715 setzt sich, wie aus nachstehendem Blockschaltbild ersichtlich ist, aus einem System von modularen Baugruppen zusammen:

- Systemeinheit, bestehend aus:
 - Zentrale Recheneinheit (ZRE) mit CPU, Takterzeugung, Reset-erzeugung, Anfangslader-PROM, RAM-Speicher max. 64 K, Bildschirmsteuerung mit umschaltbarem Zeichengenerator, 3 seriellen Schnittstellen (Tastatur; Drucker; V.24 frei verfügbar), je einer Schnittstelle für Anschluß der FD-Ansteuerung und einer zusätzlichen Peripherieansteuerung
 - FD-Ansteuerung für max. 4 Laufwerke
 - 1 (Standard) oder 2 Minifolienspeicher
 - Stromversorgungsbaugruppe mit Lüfter
 - zusätzliche Peripheriesteuerung (IFSS/V.24)
- Tastatur (Anschluß über serielle Schnittstelle) mit alphanumerischer Funktions- und Zehnertastatur und den Kursortasten
- Bildschirm: Display 1 (16x64 Zeichen)
Display 2 (24x80 Zeichen)
- FD-Einheit (zusätzlich) mit 2 Laufwerken und eigener Stromversorgung
- Drucker (wahlweise Typenrad- oder Nadeldrucker mit entsprechender Formulartechnik)

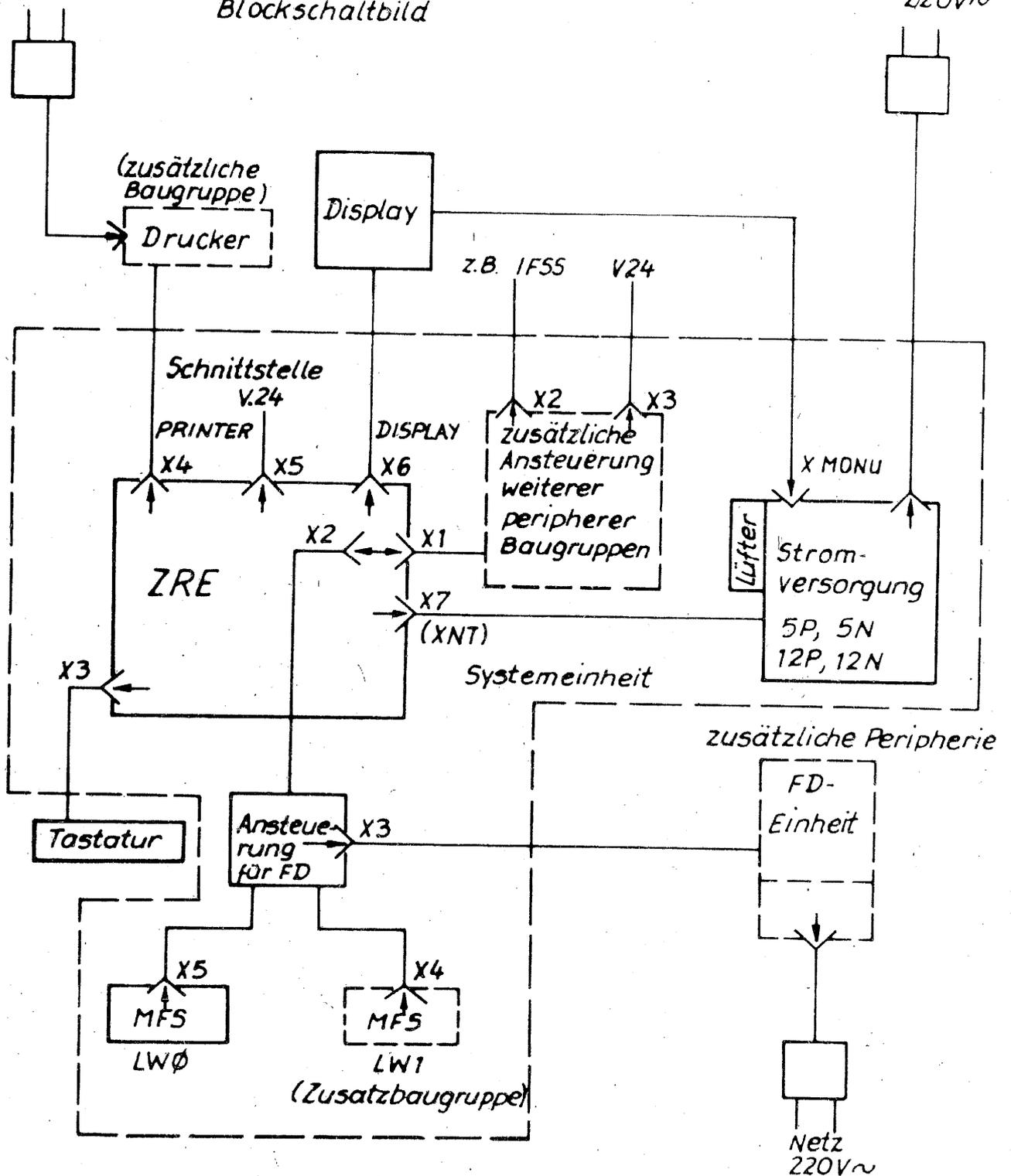
Die Systemeinheit ist die Hauptbaugruppe des Rechners. Sie übernimmt die Bearbeitung der anstehenden Aufgaben und den Informationsaustausch mit den peripheren Geräten.

Die Anordnung der Baugruppen kann dem jeweiligen Anwenderproblem durch zweckentsprechende Zuordnung von Tastatur, Bildschirm und dem jeweiligen Drucker angepaßt werden.

Netz
220V~

Blockschaltbild

Netz
220V~



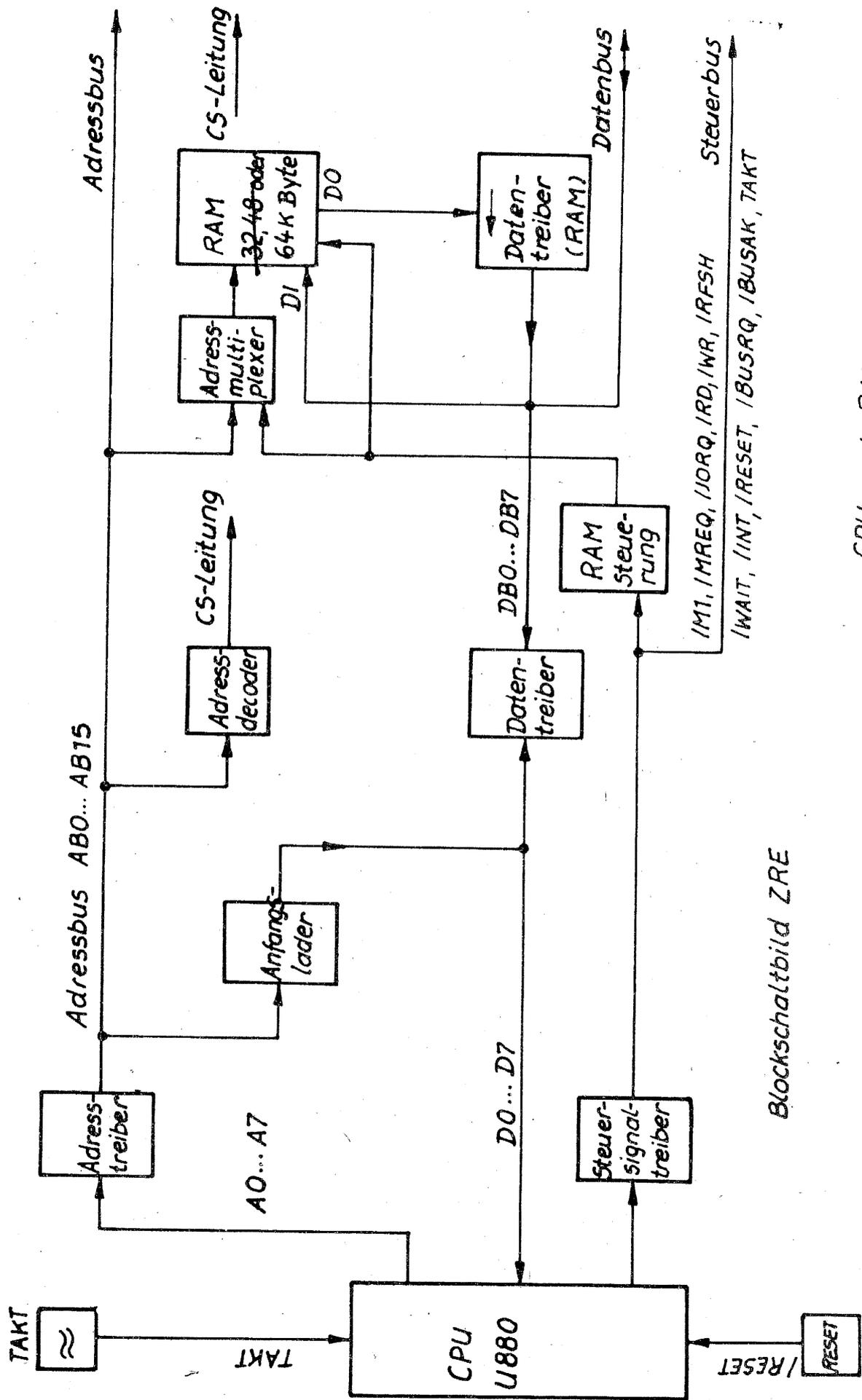
1.2. Zentrale Recheneinheit

Die Zentrale Recheneinheit, in den folgenden Ausführungen ZRE genannt, ist auf der Systembasis des Mikroprozessors U 880 aufgebaut.

Der Mikroprozessor U 880, im weiteren CPU genannt, hat die Aufgabe, sämtliche Systeminformationen zu erzeugen, auszuwerten oder im Dialogbetrieb die peripheren Baugruppen zu steuern oder deren Informationen auszuwerten.

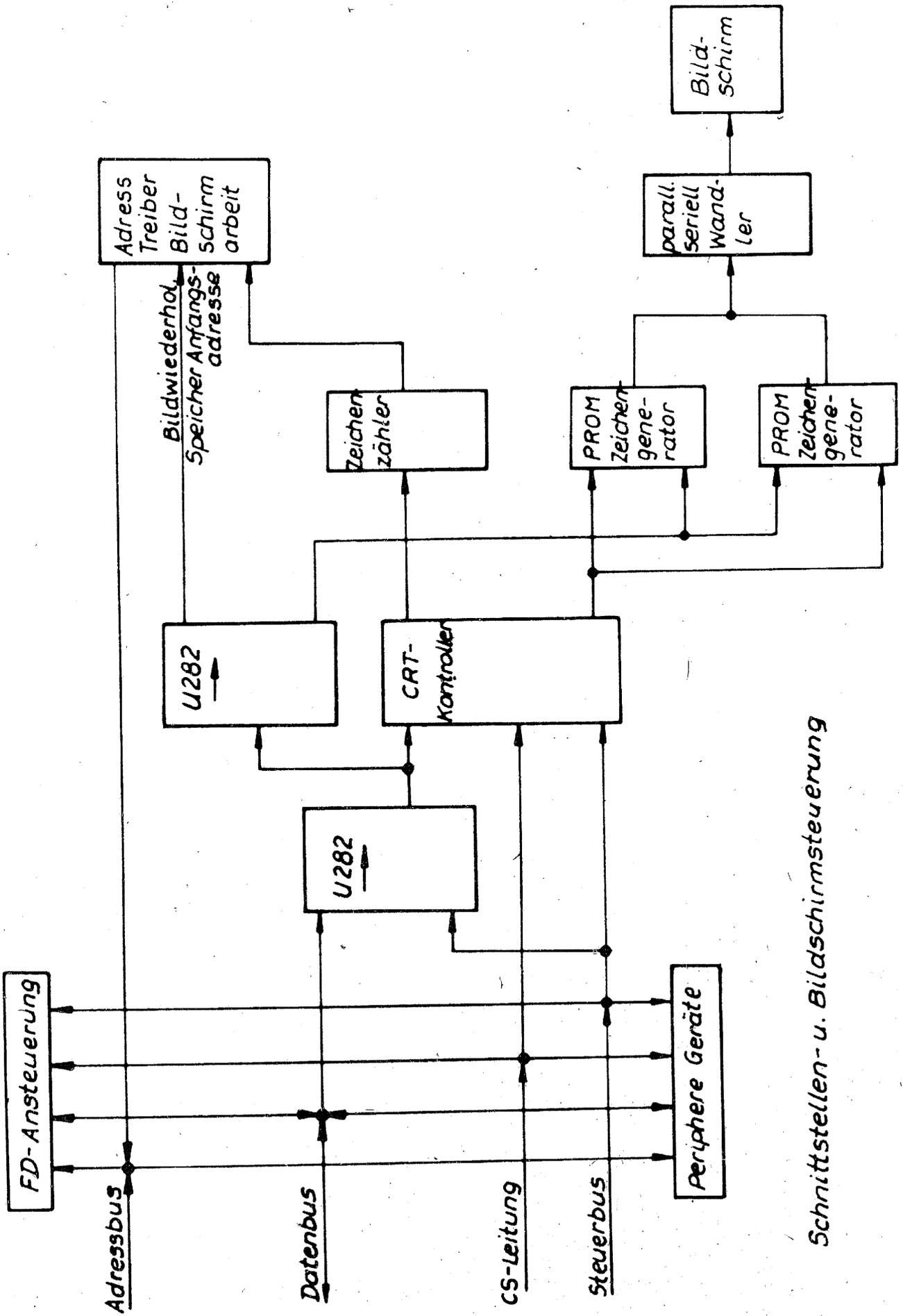
Die CPU ist zur Synchronisation mit dem Systemtakt verbunden. Die Taktversorgungseinheit besteht aus dem Quarzgenerator ($f = 9,832 \text{ MHz}$) und dem nachgeschalteten Flip-Flop-Teiler. Der Systemtakt schwingt mit einer Frequenz von $2,458 \text{ MHz}$, er ist somit zur Versorgung von seriellen Schnittstellen zur Erzeugung der gewünschten Übertragungsraten durch eine Zählerbaustein (CTC) geeignet.

An den Flip-Flop-Teiler sind Leistungsgatter über den Schalter S1.1 (1-8) angeschlossen. Die Ausgänge dieser NAND-Gatter sind mit den Systemtaktleitungen verbunden. Die Schaltergruppe S1.1. bietet die Möglichkeit, bei Instandsetzungsarbeiten die Eingänge der Leistungsgatter von der internen Takterzeugung abzutrennen und mit einem von außen (X1:A21) zugeführten Takt zu verbinden.



Blockschaltbild ZRE

CPU und RAM-Steuerung



Schnittstellen- u. Bildschirmsteuerung

1.2.1. Systembusbelegung

Der Systembus besteht aus den Leitungsbündeln:

Adreßbus ABO - AB15

Datenbus DBO - DB7

und den Steuersignalleitungen /M1, /MREQ, /IORQ, /RD, /WR, /RFSH, /WAIT, /INT, /RESET, /BUSRQ, /BUSAK, TAKT, TAKT-X1, TAKT-X2.

Es ergibt sich folgende Bedeutung und Funktion:

AB0 - AB15: Der Adreßbus liefert die Adressen für Speicher-Daten-Transporte (bis zu 64 KBytes) und Daten-transporte für E/A-Geräte. (TOR-ADR)
Die E/A-Adressierung benutzt die unteren 8 Adressen-Bit, um eine direkte Anwahl von 256 Eingangs- oder 256 Ausgangskanälen zu ermöglichen.
Während des Refreshzyklus enthalten die unteren 7 Bits die gültige Adresse für die Speicheraufrischtung. Die von der CPU erzeugten Adressen-Bits A0 bis A15 werden über Treiberschaltkreise zum Adreßbus ABO bis AB15 verstärkt. Während der Datenholzeit (RFSH-Zeit) vom Bildwiederholtspeicher werden die Adreßbus-Treiber durch /F3 = Low in den hochohmigen Zustand versetzt.

DB0 - DB7: DB0 bis DB7 bilden den bidirektionalen 8-Bit-Datenbus. Der Datenbus dient den Datentransporten von oder zum Speicher und von oder zu E/A-Geräten. Der Datenbus DBO bis DB7 steht über einen Treiberschaltkreis mit dem Datenbus DO bis D7 der CPU in Verbindung. Während der Datenholzeit (RFSH-Zeit) vom Bildwiederholtspeicher wird der Datenbustreiber durch /F3 = Low in den hochohmigen Zustand versetzt.

Richtungssteuerung:

Operation	/PROMCS	RD	M1	IORQ	T	Richtung
Lesen Anfangslader-PROM	0	1	X	0	1	A → B
Lesen RAM oder INPUT	1	1	X	X	0	A ← B
Schreiben RAM oder OUTPUT	1	0	0	X	1	A → B
INTA-Zyklus (Les. INT-Vektor)	1	0	1	1	0	A ← B

X = 0 oder 1

- /M1:** (Maschinenzyklus 1). /M1 ist low-aktiv und zeigt an, daß sich der laufende Maschinenzyklus der Befehlsabarbeitung im Zustand "Aufruf des Operationscodes" befindet. /M1 wird während der Ausführung eines 2 Byte langen Operationscodes beim Aufruf eines jeden OP-Code-Bytes erzeugt. /M1 tritt auch zusammen mit /IORQ auf, um einen Interrupt-Akzeptanzzyklus anzuzeigen.
- /MREQ:** Speicheranforderung (memory request). Das low-aktive Signal zeigt an, daß der Adreßbus eine gültige Adresse für eine Speicher-Lese- oder Schreiboperation enthält.
- /IORQ:** Ein-/Ausgabeanforderung (input/output request). /IORQ ist low-aktiv und zeigt an, daß die untere Hälfte des Adressenbusses eine gültige E/A-Adresse für eine E/A-Lese- oder Schreiboperation hält. Ein /IORQ-Signal wird auch während der /M1-Zeit aktiv generiert, um bei Interrupt-Akzeptanz anzuzeigen, daß ein entsprechender Interruptvektor auf den Datenbus gelegt werden kann. Interrupt-Akzeptanz-Operationen treten während der /M1-Zeit auf, wogegen E/A-Operationen niemals während der /M1-Zeit durchgeführt werden.
- /RD:** Lesen (read). /RD ist low-aktiv und zeigt an, daß die CPU Daten vom Speicher oder von einem E/A-Gerät lesen will.
- /WR:** Schreiben (write). /WR ist low-aktiv und zeigt an, daß der Datenbus gültige Daten enthält, die im adressierten Speicherplatz oder E/A-Gerät gespeichert werden sollen.
- /RFSH:** Speicherauffrischen (refresh). Das low-aktive Signal zeigt an, daß die unteren 7 Bits des Adreßbusses eine Auffrischadresse für den dynamischen Speicher enthalten.
- /HALT:** Halt-Zustand (HALT-state). Befindet sich dieser Ausgang im Zustand low, zeigt die CPU an, daß sie einen Software-HALT-Befehl ausführt und nun entweder einen nicht maskierten oder einen maskierbaren Interrupt erwartet. Nur dadurch kann die CPU diese Operation wieder verlassen. Die CPU führt in diesem Zustand NOP-Befehle aus, um die Auffrischung der Speicher durchzuführen.
- /WAIT:** Warten (WAIT). Low-aktiver Eingang an der CPU. /WAIT zeigt an, daß der adressierte Speicherplatz oder das E/A-Gerät noch nicht für einen Datentransport bereit sind. Solange dieses Signal aktiv ist, generiert die CPU WAIT-Zustände. Mit Hilfe dieses Signals können besonders E/A-Geräte mit abweichender Geschwindigkeit mit der CPU synchronisiert werden. Dabei ist zu beachten, daß durch die zusätzlichen WAIT-Zyklen das Auffrischen des Speichers

nicht beeinträchtigt wird.

- /INT:** Interrupt-Aufforderung (Interrupt-request). Eingang, low-aktiv. Das Interrupt-Anforderungssignal wird durch ein E/A-Gerät erzeugt. Eine Anforderung wird am Ende des laufenden Befehls beachtet, wenn das Interrupt-Aufnahme-Flip-Flop, das durch die interne Software gesteuert wird, bereit ist und wenn das /BUSRQ-Signal nicht aktiv ist. Nimmt die CPU den Interrupt an, so wird das Interrupt-Aufnahmesignal bei Beginn des nächsten Befehlszyklus (/IORQ während M1) ausgesandt.
- /NMI:** Nicht maskierbarer Interrupt (non maskable interrupt) Eingang, triggert auf Low-Flanke. Triggerflanke aktiviert ein internes NMI-Flip-Flop. Die Funktion NMI hat eine höhere Priorität als das INT und wird am Ende des anliegenden Befehls getestet, unabhängig von der Lage des Interrupt-Aufnahme-Flip-Flop. /NMI zwingt die CPU automatisch zu einem RESTART ab Speicherplatz 0066H. Der Befehlszähler wird automatisch im Kellerspeicher gerettet, so daß der Anwender zu dem Programm zurückkehren kann, das unterbrochen wurde. Es muß beachtet werden, daß zusätzliche WAIT-Zyklen das Ende des anliegenden Befehles verhindern und ein /BUSRQ ein /NMI überschreibt.
- /BUSRQ:** Busanforderung (bus request). Eingang low-aktiv. Das Busanforderungssignal wird benutzt, um die CPU aufzufordern, den Adressen- und Datenbus und die Drei-Zustands-Ausgangssignale in den hochohmigen Zustand zu bringen. Das erfolgt, sobald der laufende Maschinenzyklus der CPU abgeschlossen ist.
- /BUSAK:** Busbestätigung (bus acknowledge). Ausgang low-aktiv. Die Busbestätigung wird benutzt, um die Bustreiber-schaltkreise nach Busanforderung in den hochohmigen Zustand zu bringen.
- /RESET:** Eingang, low-aktiv. /RESET stellt den Befehlszähler auf Null und weist der CPU die Anfangswerte zu.

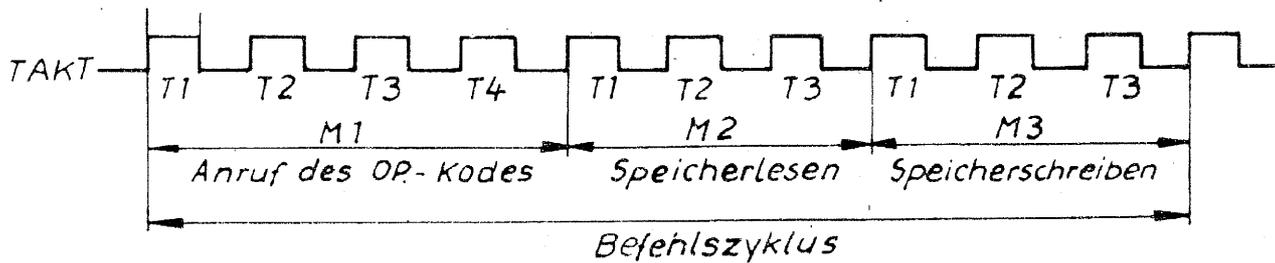
Diese Anfangswertzuweisung umfaßt:

- Ausschalten des Interrupt-Aufnahme-Flip-Flops
- Setzen des Registers I = 00H
- Setzen des Registers R = 00H
- Setzen der Interruptart 0

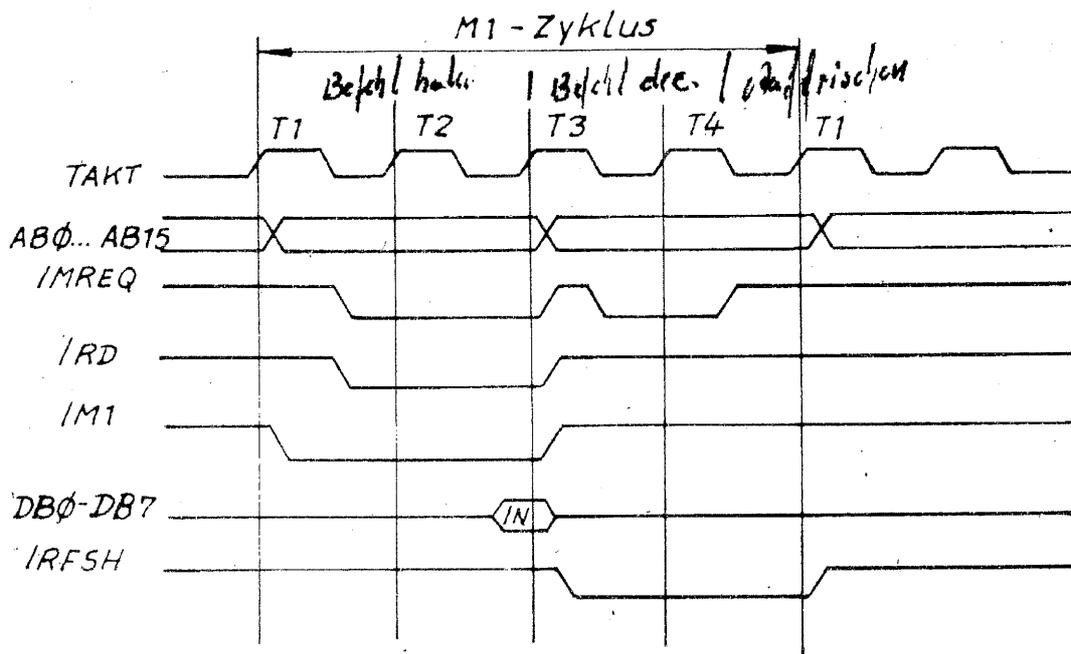
Während der RESET-Zeit gehen der Adressenbus und der Datenbus in den hochohmigen Zustand und alle Steuerausgänge gehen in den inaktiven Zustand.

/RESET wird gebildet beim Einschalten durch eine Schaltungsanordnung, die eine low-Zeit von 53 ms bis 146 ms ergibt. Ein /RESET = low für 10 µs bis 25 µs erreicht man beim Betätigen der RESET-Taste. Die Schaltungsanordnung dazu ist mit M1 synchronisiert, um eine Zerstörung des RAM-Speicher-Inhaltes zu vermeiden.

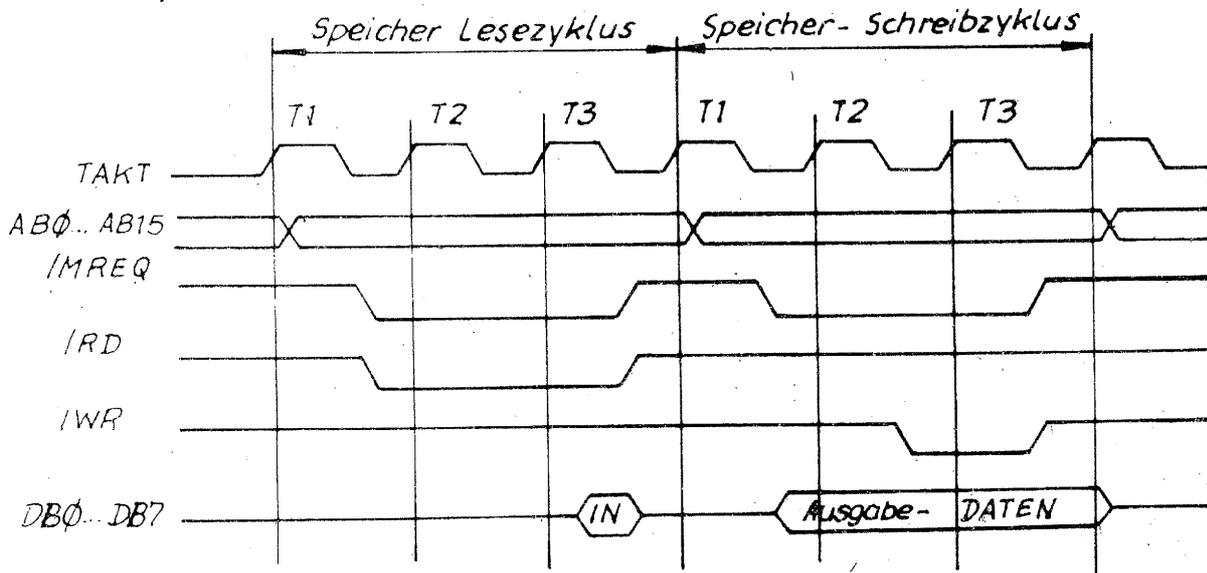
1.2.2. Zeitabläufe CPU
 1. Genereller Zeitablauf



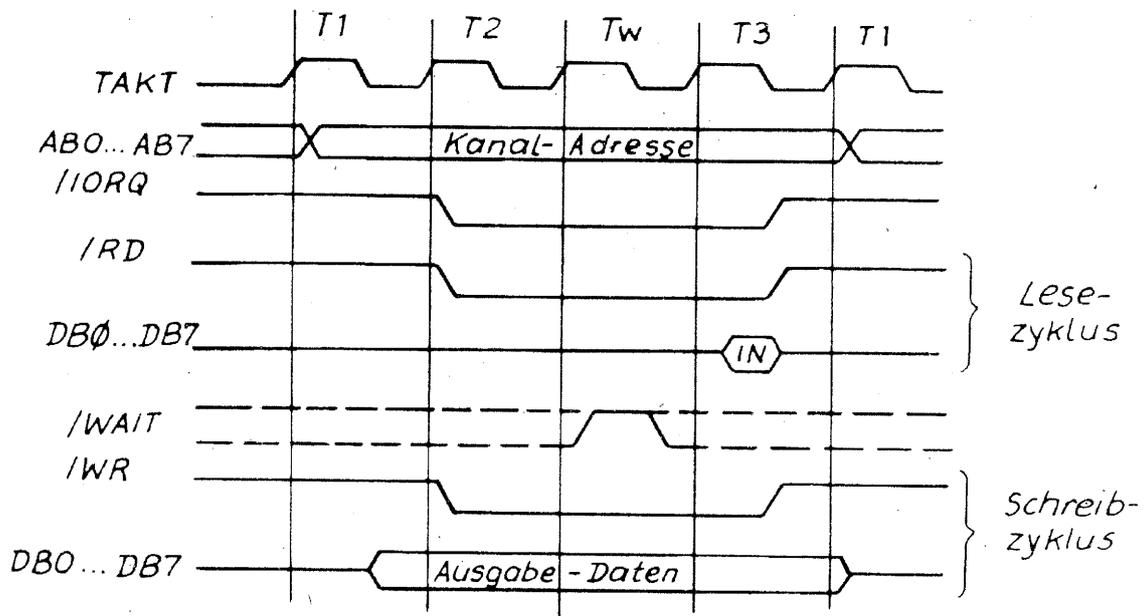
2. Aufruf des OP-Kodes eines Befehls



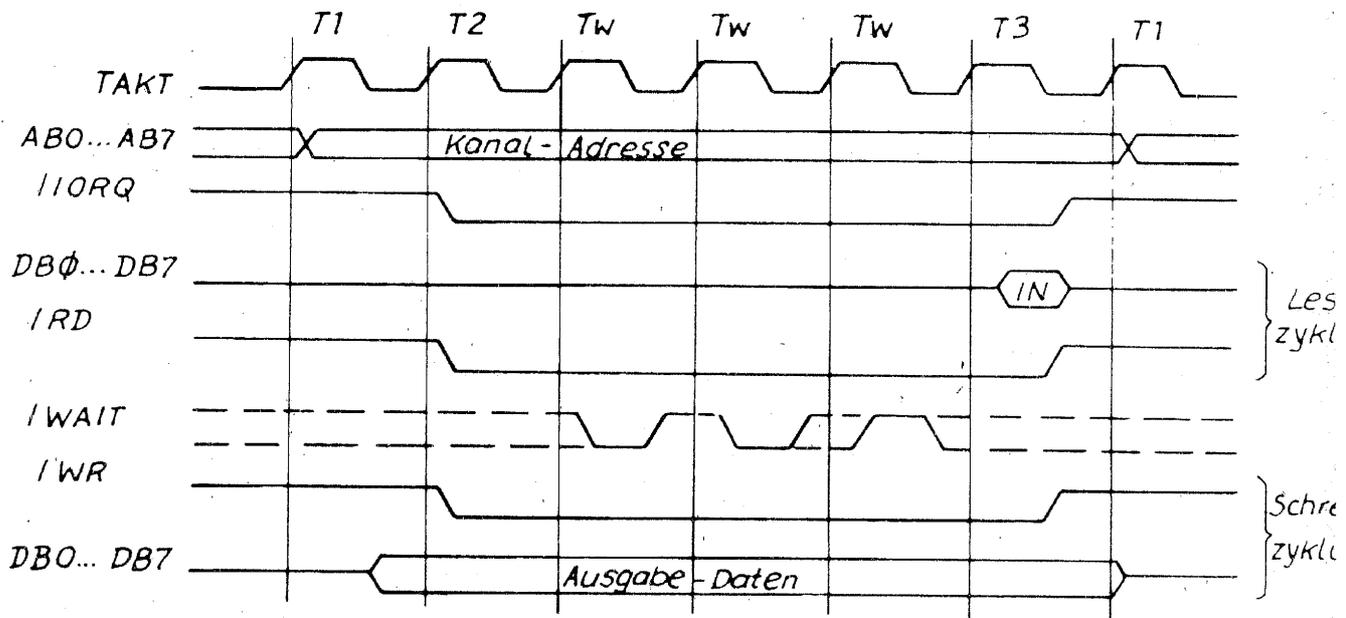
3. Speicher-Lese- oder Schreibzyklus



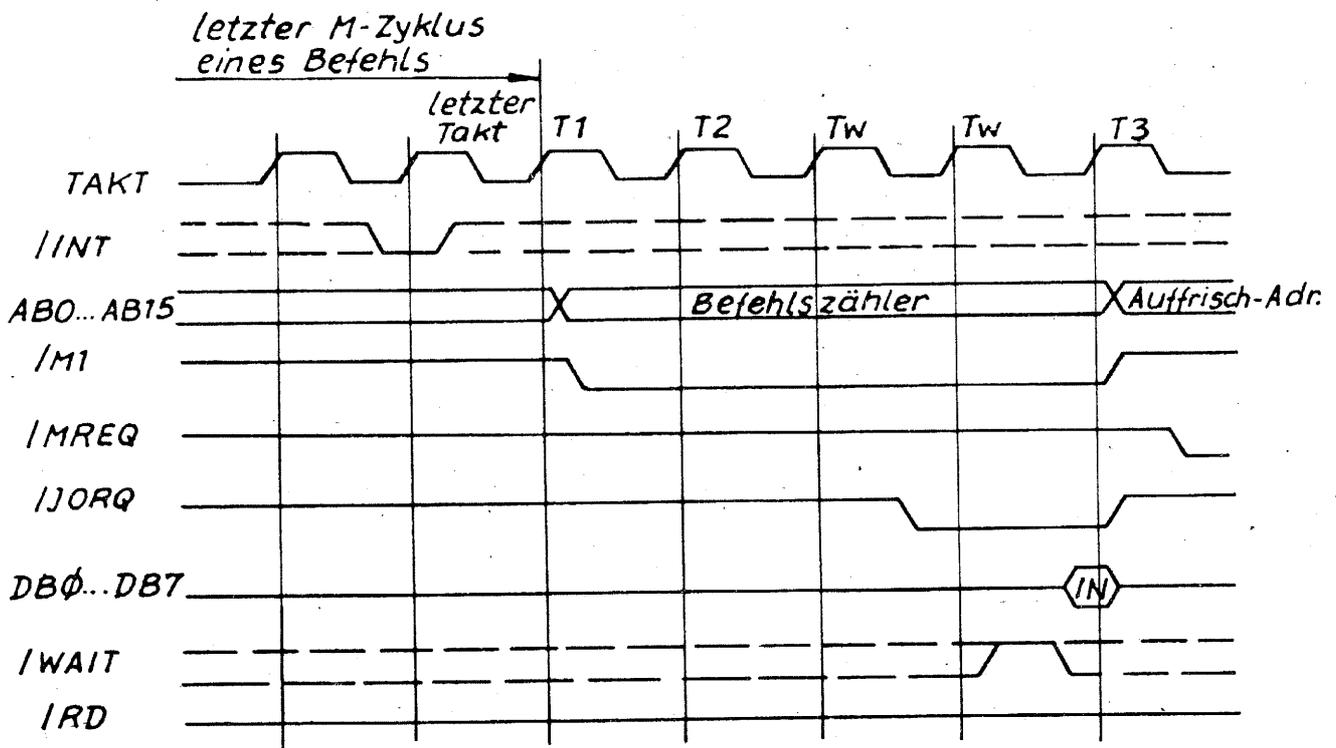
4. Eingabe - oder Ausgabe - Zyklen



5. Eingabe - oder Ausgabe - Zyklen mit WAIT-Zuständen



6. Interrupt - Anforderungs - / Annahme - Zyklus



1.2.3. Prioritätenkette

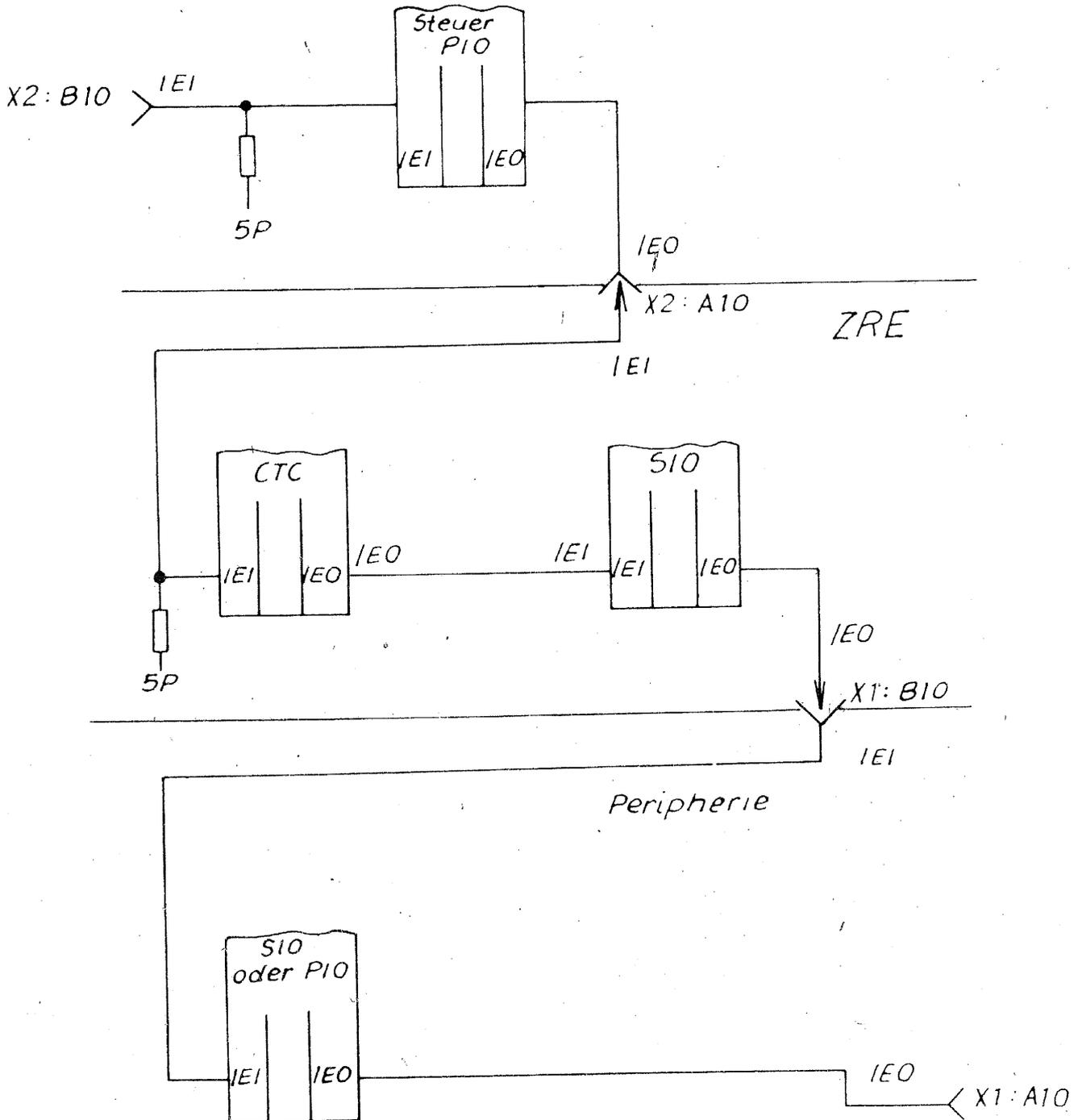
Die Verbindung von IEI mit IEO des nächsthöheren priorisierten E/A-Schaltkreises ermöglicht Interruptprioritäts-Kaskadierung. High-Pegel an IEI bedeutet, daß momentan kein Interrupt höherer Priorität abgearbeitet oder angemeldet wird. Die Interruptstrukturen aller peripheren E/A-Schaltkreise beinhalten eine automatisch wirkende Logik zur Auswahl der höchstwertigen Interruptanforderung. In dieser Prioritätenkaskadierung ist der Steuer-PIO der FD-Ansteuerung das vorderste Element und führt an seinem IEI-Eingang High-Pegel. Dieser Pegel setzt sich in der gesamten Kette fort, vorausgesetzt, daß kein E/A-Schaltkreis eine Interruptforderung an die CPU absetzt. Sinngemäß besteht die Kaskadierungskette auch intern in den peripheren E/A-Schaltkreisen, indem die einzelnen Kanäle über eine IEI-IEO-Linie in Reihe geschaltet sind. Weiter vorn liegende Schaltkreise oder Kanäle haben immer die höhere Priorität. Die Kaskadierungskette wirkt High-aktiv. Somit kann ein E/A-Schaltkreis, der am IEI-Eingang High-Pegel empfängt, eine anstehende Interruptforderung an die CPU weiterleiten. Er aktiviert seinen Ausgang. Der IEO-Ausgang wird gleichzeitig auf Low gesetzt und bewirkt das Durchschleifen dieses Pegels in der nachfolgenden Kette, so daß eine anstehende Interruptanforderung nicht zur CPU weitergeleitet wird.

Ein interruptanmeldender E/A-Schaltkreis mit niederer Wertigkeit wird durch die Interruptanforderung eines höherwertigeren E/A-Schaltkreises veranlaßt, seine Anmeldung zurückzunehmen. Die Interruptanmeldung des in der Prioritätenkette weiter vorn liegenden E/A-Schaltkreises wird bei Interruptfreigabe der CPU wirksam und die CPU schiebt die zugehörige Interrupt-Service-Routine in den Programmablauf ein. Nach Rückkehr der CPU aus dieser Routine in das zuvor aktuelle Programm erfolgt dann die erneute Anmeldung des niederwertigeren (zwischengespeicherten) Geräteinterrupts und es schließt sich die weitere Bearbeitung der unterbrochenen niederwertigen Bearbeitungsroutine an. So kann es zu einer Verschachtelung der Interruptbearbeitungsroutinen kommen.

Für den Fall, daß beim Bearbeiten des niederen Interrupts ein höherer Interrupt zustande kommt, die prozessorseitige Bearbeitung dieses Interrupt jedoch in der niederwertigen Interrupt-Service-Routine enthaltenen Interruptsperre verhindert wird, legt der höher priorisierte Schaltkreis mit nicht-quittierter Interruptanmeldung seinen IEO-Ausgang während der Ausführung des RETI-Befehls auf High. Auf dem folgenden Bild ist die Zusammenschaltung der E/A-Bausteine dargestellt.

Prioritätenkette

Ansteuerung Folienspeicherlaufwerke



1.2.4. I/O-Toradressen für Ein- und Ausgabekanäle

Der Decoder (U205) für die Toradressen der Ein- und Ausgabebefehle besteht aus drei "1 aus 8 Decoder". Zwei davon liefern die auscodierten Toradressen, während der erste die Adressenbit AB5, AB6 und AB7 auscodiert und der erste und zweite Ausgang ist mit den beiden anderen Decodern (/E2) verbunden. Die erste Gruppe ist ohne /IORQ, jedoch mit DACK als Bedingung beschaltet, da hier die Toradressen für E/A-Schaltkreise gebildet werden, wo als Eingang-PIN /IORQ vorhanden ist.

Die zweite Gruppe ist für Logik-Elemente vorgesehen, die ohne Eingang für /IORQ aufgebaut sind. Dieser Decoder enthält deshalb als weiteren Bedingungsingang (/E1) /IORQ. Der erste Decoder ist nur aktiv, wenn M1 (an /E1, /E2) auf Low liegt und kein /RESET = low anliegt. Über die Eingänge E3 können die Ein- und Ausgabe-Toradressen durch /IOOI = Low gesperrt werden.

In folgender Übersicht sind die Toradressen konkret dargestellt.

I/O-Toradressen

Signal	Zuordnung	Codierungen	
/PIOCS0	FD-Datentransport	Steuerregister: Kanal A: 01H Kanal B: 03H	Datenregister: Kanal A: 00H Kanal B: 02H
/PIOCS1	FD-Steuersignale	Steuerregister: Kanal A: 05H Kanal B: 07H	Datenregister: Kanal A: 04H Kanal B: 06H
/KRFD	FD-Steuersignale	Datenwort 20H, (21H, 22H, 23H)	
/CTCCS0	CTC (TAKT für SIO)	Kanal 00: 08H Kanal 01: 09H	Kanal 02: 0AH Kanal 03: 0BH
/SIOCS0	SIO Drucker, Tastatur V.24	Steuerregister: Kanal A: 0EH Kanal B: 0FH	Datenregister: Kanal A: 0CH Kanal B: 0DH
/CTCCS1	CTC (Takt für SIO)	Kanal 00: 10H Kanal 01: 11H	Kanal 02: 12H Kanal 03: 13H
/SIOCS1	SIO	Steuerregister: Kanal A: 16H Kanal B: 17H	Datenregister: Kanal A: 14H Kanal B: 15H
/CRTCS	Bildschirmkontroller CRT	Kommandoregister: Parameterregister:	19H, 18H 18H, 1AH

Signal	Zuordnung	Codierungen
/MEMCS0	PROM aktiv	24H, (25H, 26H, 27H)
/MEMCS1	PROM inaktiv	28H, (29H, 2AH, 2BH)
/LT107CS	1. Abfrage LT107	2DH, (2FH)
	2. Setzen Ltg.111	2CH, (2EH)
/LT111CS	Setzen Ltg. 111 ZRE	30H, (31H, 32H, 33H)
/BWSCS	Bildwiederhol- speicheranfangs- adresse und Um- schaltung Zeich.- generator (PROM)	34H, (35H, 36H, 37H)

1.2.5. Anfangslader ROM

Nach dem Einschalten oder nach dem Betätigen der RESET-Taste wird das System in den Zustand "Anfangsladen" versetzt. Das bedeutet, daß ein in einem PROM (ROM) enthaltenes Mikroprogramm (Urlader) ein auf einer Diskette enthaltenes Maschinenprogramm (Betriebssystem) in den RAM-Speicher transportiert.

Die Speicherorganisation ist dabei folgende:

0000H - 07FFH	ROM nur Lesen möglich
0000H - 07FFH	RAM nur Schreiben möglich
0800H - FFFFH	Lesen und Schreiben möglich

Die Lese-/Schreibsteuerung im Bereich 0000H - 07FFH erfolgt durch einen Decoder, der nur im Adreßbereich 0000H - 07FFH aktiviert wird, wenn eine Schaltungsanordnung, bestehend aus einem Haltekreis und einer Torschaltung MREQ . RD . /MEMDI auf High-Pegel liegt. Der erste Ausgang des Decoders ist mit der RAM-Speicher-Freigabe-Steuerung, mit der Datenbustreiber-Richtungssteuerung und mit dem CE-Eingang des PROM verbunden.

Ein Low auf dieser Leitung sperrt den RAM-Speicher, schaltet den Datenbustreiber in Richtung RAM-Speicher und aktiviert den PROM. Nach Abschluß des Anfangsladezustandes wird der Haltekreis durch die Ausführung eines "OUT" auf die Toradresse 28H, 29H, 2A oder 2B in den "Auszustand" versetzt.

Das Einschalten für das Anfangsladen erfolgt durch /RESET oder durch ein "OUT" mit der Toradresse 24H, 25H, 26H oder 27H.

1.2.6. RAM-Speicher

Der RAM-Speicher mit einer maximalen Kapazität von 64 K Byte dient als Arbeitsspeicher sowie als Speicher für das Betriebssystem und für Nutzerprogramme. Er ist als dynamischer Speicher mit 16 K x 1-DRAM-Schaltkreisen aufgebaut. Verwendbar sind folgende Schaltkreistypen:

U 256
K 565 RU3A
K 565 RU3G

sowie andere äquivalente Importschaltkreise. Die Refreshbedingungen der verwendeten Schaltkreise sind: 128 Refreshzyklen pro 2 ms, d.h. die 128 Reihen (Adressen AB0-6) müssen mindestens alle 2 ms einmal aufgerufen werden (Refresh-, Lese- oder Schreibzyklen). Die Einhaltung der Refreshbedingungen wird gewährleistet durch die DMA-Lesezyklen der Displaysteuerung (siehe 1.2.7.) und während der Pause, die durch den Strahlrücklauf entsteht, durch die Refreshzyklen des U880. Die verwendeten 16 K x 1-DRAMS benötigen zur Adressierung ihrer internen Speichermatrix eine 14-Bit-Adresse, die, um mit einem 16 Pin-Gehäuse auskommen zu können, in 2 Schritten über die Adreßanschlüsse A0 - A6 in schaltkreisinterne Adreßregister übernommen wird.

Die Reihenadresse (AB0 - AB6) wird mit der HL-Flanke von /RAS übernommen und die Spaltenadresse (AB7 - AB13) mit der HL-Flanke von /CAS1-4. Die Umschaltung von der Reihen- auf die Spaltenadresse wird über die Adreßmultiplexer A28.1 und A28.2 durch das Adreßumschaltsignal WS vorgenommen, das durch das Flip-Flop A33.1 bei $RAS^* = H$ (high) mit der LH-Flanke des Taktes erzeugt wird. Das Flip-Flop wird durch $RAS^* = L$ wieder zurückgesetzt (Diagramm 1).

/RAS wird durch das Steuerbussignal MREQ erzeugt. Die konjunktive Verknüpfung mit F2 dient der schnellen Abschaltung von /RAS im M1-Zyklus, um die von den langsamsten einsetzbaren DRAM-Schaltkreisen (K565 RU3A) geforderte H (high)-Zeit von /RAS (min. 200 ns) zu gewährleisten. F1 dient als Vorbereitungsflipflop für F2. Die Funktion von F1 und F2 im normalen M1-Zyklus (mit Refreshdurchführung durch die CPU) zeigt Diagramm 2.

Vom Einschalten der Spaltenadresse durch $WS = H$ (high) bis zur HL-Flanke von /CAS1-4 wird eine Verzögerung von min. 20 ns benötigt. Diese Verzögerung wird gewährleistet, indem das durch den Adreßmultiplexer A28.1 erzeugte Signal /CAS über 2 in Reihe geschaltete D108-Gatter als Verzögerungsstrecke am Decoder A10.1 anliegt, der aus den Adreßleitungen Ab14 und Ab15 die 4 Steuerleitungen /CAS1 - /CAS4 für die 4 16 K-Speicherbänke entschlüsselt.

/RAS liegt an allen Speicherschaltkreisen ständig an, um die Refreshdurchführung zu gewährleisten (beim sog. RAS-only-Refresh ist nur /RAS und die Reihenadresse nötig). Um eine Speicherbank lesen oder schreiben zu können, muß

jedoch /RAS und das entsprechende der Signale /CAS1-4 gleichzeitig aktiv sein (durch /CAS1-4 werden die Ausgänge der Speicherschaltkreise aktiviert).

Beim Schreiben liegen die Schreibdaten über den Datenbus DB0-DB7 direkt an den Dateneingängen DI der DRAMS an und werden mit der HL-Flanke des /WR-Impulses übernommen.

Beim Lesen, gekennzeichnet durch /WR=H (high) an den Speicherschaltkreisen, werden die Lesedaten von den Ausgängen DO der DRAMS über den Treiber A22.2. auf den Datenbus geleitet. Der Treiber A22.2 wird aktiviert durch /RDRAM=L, gebildet aus den Signalen RD und RAS* (Diagramm 1). RAS*, das bei Lese- und Schreiboperationen H (high) sein muß, kann gesperrt werden in 2 Fällen:

1. /MEMDI = L (low) (allg. Speichersperre)
2. /PROMCS = L (low) (PROM Lesen)

Die Sperre wird wirksam über NAND-Gatter A9 (Ausg. 11) und AND-NOR-Gatter A2.

1.2.7. Displaysteuerung

Kern der Displaysteuerung ist der CRT-Controller KR 580 WG75 (8275). Die Bildschirmsteuerung hat die Aufgabe, in einem Teilbereich des RAM-Speichers befindliche Daten auf einem der beiden Monitore (K 7221.25 oder K 7222.25) abzubilden.

1.2.7.1. Kurzcharakteristik des CRT-Controllers

Der CRT-Controller 8275 besteht aus folgenden Funktionsgruppen:

Zeichenzähler: betrieben mit dem Zeichentakt CCLK; programmierbar auf 1 - 80 Zeichen/Zeile; bestimmt auch die Länge des horizontalen Strahlrücklauf-Intervalles (programmierbar 2 - 32 Zeichentakte)

Linienzähler: programmierbar auf 1 - 16 Linien/Zeile; seine Ausgänge LC0-LC3 werden benutzt, um den externen Zeichengenerator zu adressieren.

Zeilenzähler: programmierbar auf 1 - 64 Zeilen/Bild; bestimmt außerdem die auf 1 - 4 Zeilen programmierbare Länge des vertikalen Strahlrücklauf-Intervalles.

Raster- und Displaysteuerung: Die Rastersteuerung erzeugt die Ausgangssignale HRTC (horizontaler Strahlrücklauf) und VRTC (vertikaler Strahlrücklauf).

Die Displaysteuerung erzeugt die Ausgangssignale:

LA0-1 (Linienattribut): werden benutzt zur Erzeugung von

Befehl/Parameter	A0	Datenbus
Load Cursor	1	1 0 0 0 0 0 0 0
Zeichen-Nr.	0	Zeichen-Pos. in Zeile
Zeilen-Nr.	0	Zeilen-Nr.

Bedeutung der Parameter:

S = 0: normale Zeilen

S = 1: Zeilen mit Zwischenraum

HHHHHH: Anzahl der Zeichen pro Zeile (1 - 80)

VV: Länge des vertikalen Strahlrücklauf-Intervalles
(1 - 4 Zeilen)

RRRRRR: Anzahl Zeilen/Bild (1 - 64)

UUUU: Linien-Nr. des Unterstreichstrichs

LLLL: Anzahl der Linien/Zeichenzeile

M: Linienzähler-Modus

M = 0: duale Zählweise, mit 0000 beginnend

M = 1: Zählweise um 1 versetzt (mit höchster Linien-Nr.
beginnend, dann 0000, 0001, ...)

F: Feldattribut-Modus

F = 0: Transparent (Feldattribute werden auf dem Bildschirm
nicht sichtbar; Benutzung des FIFO-Speichers)

F = 1: Nicht-Transparent (Feldattribute stehen an Stellen
darstellbarer Zeichen und werden als Blank darge-
stellt)

Beispiel: Unterstreichen

F = 0 : A B C D E F G H

F = 1 : A B C D E F G H

CC: Cursor-Modus

00: Blinkend invers

01: Blinkend unterstreichen

10: Nicht-blinkend invers

11: Nicht-blinkend unterstreichen

ZZZZ: Länge des horizontalen Strahlrücklauf-Intervalles
(2 - 32 Zeichentakte)

SSS: Anzahl der Zeichentakte zwischen 2 DMA-Anforderungen
(bei 1715: 0 Takte, zu progr. 000)

BB: Anzahl der DMA-Zyklen pro Busanforderung
(Beim 1715 1 DMA-Zyklus, zu progr. 00)

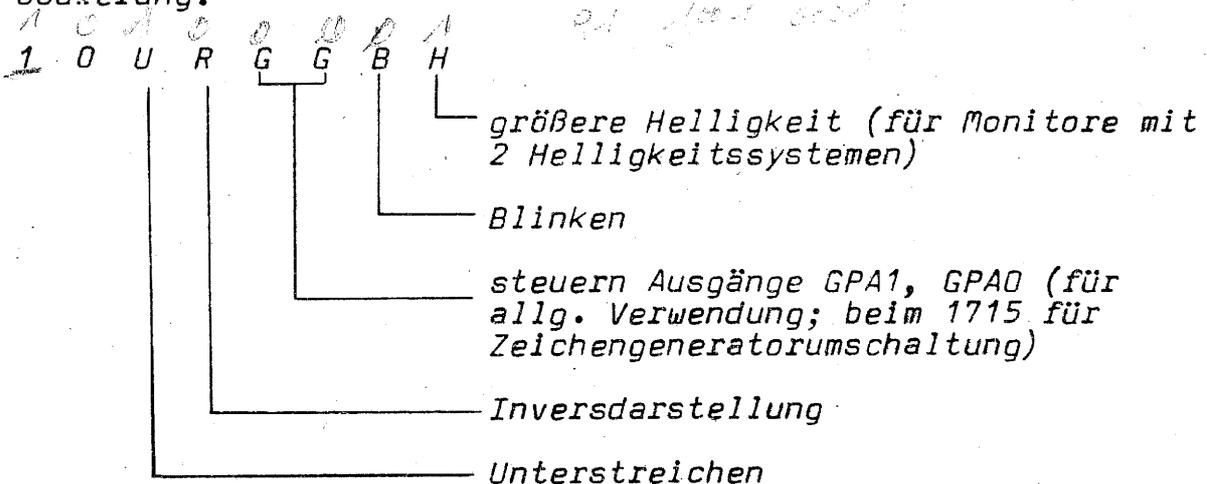
Die Eingabe der Befehle und Parameter in den CRT-Controller erfolgt über die Dateneingänge D0-D7 bei Aktivierung von /CS und /WR.

Das Füllen der Pufferspeicher geschieht im transparenten DMA-Betrieb während der Refreshzyklen. Der CRT-Controller gibt zu Beginn einer Zeile (für die 1. Bildschirmzeile bereits zu Beginn der letzten Zeile des vertikalen Strahlrücklaufs $VRTC = H$ (high)) DMA-Anforderungen $DRQ = H$ (high) aus. Die DMA-Steuerung meldet dem CRT-Controller mit dem DMA-Anerkennungssignal $/DACK = L$ (low), daß auf D0-D7 ein Datenbyte bereitsteht, das mit $/WR = L$ (low) in den Pufferspeicher (oder FIFO) übernommen wird.

Das höchstwertige Bit (D7) des Datenbytes entscheidet, ob es sich um ein auf dem Bildschirm über den Zeichengenerator darstellbares Zeichen (D7=0) oder bei D7=1 um einen Zeichenattributcode (11 graphische Zeichen, die ohne Zeichengenerator mit LA0-1 durch eine Zusatz-Hardware erzeugt werden), einen Spezialcode (Ende der Zeile mit oder ohne Stop DMA, Bildende mit oder ohne DMA) oder um einen Feldattributcode handelt.

Ein Feldattributcode (als Blank dargestellt oder transparent) schaltet einen bestimmten Zustand ein, der vom folgenden Zeichen an solange wirkt, bis er durch einen weiteren Feldattributcode, in dem das betreffende Bit 0 ist, wieder aufgehoben wird oder bis zum Bildende.

Codierung:



z.B.: B = 1 Blinken ein B = 0: Blinken aus

1.2.7.2. Programmierung des CRT-Controllers bei Display 1/2

Die Programmierung (Initialisierung) des CRT-Controllers bei Anschluß des Display1(16 x 64 Zeichen) = K 7221.25

oder des Display 2 (24 x 80 Zeichen) = K 7222.25
kann in folgender Weise erfolgen:

Befehl/Par.	Toradresse	K 7221.25	K 7222.25
Reset	19	00	00
Par. 1	18	3F	4F
Par. 2	18	4F	57
Par. 3	18	6E	6B
Par. 4	18	6B	6D
Start-Display	19	20	20

1.2.7.3. DMA-Steuerung

Der CRT-Controller 8275 ist von der Konzeption her für DMA-Betrieb ausgelegt. Normaler DMA-Verkehr mit Übernahme der Busherrschaft vom U 880 durch /BUSRQ = L und damit verbundener Programmunterbrechung war wegen zeitlicher Kollision mit dem programmgesteuerten Floppy-Disk-Betrieb nicht möglich und hätte außerdem Zeitverluste von 20 - 25 % ergeben. Der Einsatz eines separaten Bildwiederholerspeichers ergibt erhöhten Aufwand, da die Zeichenadresse durch den CRT-Controller nicht ausgegeben wird.

Aus diesen Gründen erfolgt beim 1715 das Füllen der Zeilenpuffer des CRT-Controller im transparenten DMA-Betrieb unter Verwendung eines Teils der Refreshzyklen des U 880. Da die übrigbleibenden Refreshzyklen, außer während des Vertikalstrahlrücklaufs, nicht unter allen Bedingungen ausreichen, um die Refreshforderungen der DRAMS zu erfüllen, müssen die DMA-Lesezyklen gleichzeitig die Refreshdurchführung übernehmen. Beim Zeilenpufferfüllen werden die Speicheradressen fortlaufend durchgezählt, so daß bei Anschluß des Display spätestens nach 2 Zeilen (bei K 7221.25 mit 64 Zeichen Zeilenlänge genau nach 2 Zeilen) alle 128 Refreshadressen einmal aufgerufen worden sind. Bei K 7221.25 beträgt die Zeit für 1 Zeile gerade 1 ms (bei 15 Linien/Zeile), bei K 7222.25 0,75 ms (bei 12 Linien/Zeile). Die Refreshforderung, daß in 2 ms alle 128 Refreshadressen einmal aufgerufen werden, wird also bei beiden Display durch die DMA-Lesezyklen erfüllt. In der 2 Zeilenlängen dauernden, durch den Vertikalstrahlrücklauf bedingten DMA-Pause übernehmen die Refreshzyklen des U 880 die Refreshdurchführung.

Die für den DMA-Lesevorgang nötigen Signale erzeugen die Flip-Flops F3 und F4 unter Zuhilfenahme des Flip-Flops F1 (Diagramm 3). Während F1 in jedem M1-Befehlslesezyklus einschaltet, können F3 und F4 nur einschalten, wenn eine DMA-Anforderung DRQ = H (high) vom CRT-Controller am Eingang 10 vom D108-Gatter A3.1 anliegt. Durch /F3 = L (low) werden /BA0 = L (low) und alle U880-Treiber hochohmig. Durch /F3 = L (low) an /OE der Treiber A22.4 und A22.5 wird die Adresse des RAM-Speicherbereiches aktiviert, in dem die Displaydaten

abgespeichert sind. Der niederwertige veränderliche Teil der Adresse wird vom Adreßzähler A26.1-3 erzeugt (10 Bit bei K 7221.25, 11 Bit bei K 7222.25, 11. Bit über Br.X12 zuschalten). Der höherwertige Adreßteil, der die Lage des Bildschirmspeichers im 64 K-Bereich festlegt, wird aus dem Speicherregister A23.2 übernommen, wo er mit einem OUTPUT-Befehl mit der Toradresse 34 eingestellt werden kann (bei K 7221.25 wird das 11. Adreßbit über Br.X12 auch von A23.2 übernommen).

Der Eingang 10 des D108-Gatter A3.1 ist über einen Umschalter S2 mit dem DMA-Anforderungssignal DRQ verbunden. Das bietet die Möglichkeit, bei Instandsetzungsarbeiten den Eingang 10 des D108-Gatter A3.1 von DRQ auf 0V umzuschalten. Die Schaltereinstellung ist dem Abschnitt 5.3.9.2. zu entnehmen.

Der Adreßzähler wird am Ende jedes DMA-Lesezyklus mit der Rückflanke von F4 weitergeschaltet. Die Synchronisation des Zählers (Nullsetzen) erfolgt bei jedem Bildwechsel mit dem vom Vertikalsynchronsignal VRTC abgeleiteten Impuls /VIMP.

Im DRAM-Speicher muß das Signalspiel für einen Lesevorgang erzeugt werden. Durch F3.F4 wird über AND-NOR-Gatter A2/RAS erzeugt (verzögerte Einschaltung, um die Mindest-H (high)-Zeit von /RAS zu gewährleisten). Die Erzeugung von RAS* und damit von einem der Signale /CAS1-4 wird durch /F4 = L (low) am Eingang 1 von A2 ermöglicht, auch wenn der DRAM-Speicher durch /MEMDI = L (low) gesperrt sein sollte. /RDRAM = L (low) wird gleichfalls durch F3.F4 (A1) aktiviert.

Die Lesedaten können nicht direkt vom Datenbus DBO-7 in den Zeilenpuffer des CRT-Controllers übernommen werden, da die Forderung "Datensetzzeit mind. 150 ns" nicht erfüllt werden kann. Aus diesem Grund erfolgt eine Zwischenpufferung während STB = L (low) (Diagramm 3) im Speicherregister A23.1. Die Übernahme der Daten in den CRT-Controller geschieht mit der LH-Flanke des Schreibimpulses /WRCRT. Die Übernahme der Daten in den Zeilenpuffer (oder FIFO-Speicher) wird gesteuert durch das DMA-Quittungssignal /DACK = L (low), dabei muß /CS = H (high) sein (bei /DACK = H (high) und /CS = L (low) werden die Daten mit /WRCRT = L (low) in ein Befehls- oder Parameterregister übernommen.

1.2.7.4. VIDEO-Steuerung

Durch einen quarzgesteuerten Multivibrator wird der Bildpunkt-takt BPT1/2 (Entkopplung aus Belastungsgründen) erzeugt.

10,7 MHz für K 7221.25
13,8 MHz für K 7222.25

Da ein Zeichenfeld 8 Punkte breit ist (bei Verwendung von K 7221.25 8 x 15 Punkte, bei K 7222.25 8 x 12 Punkte; Zeichendarstellung mit 6 x 9 Punkten), muß der Bildpunkt-takt

mit Hilfe des aus Zeitgründen aus Schottky-Flip-Flop A7.1/ A7.2 aufgebauten Dualzählers 1:8 untersetzt werden, um den Zeichentakt CCLK zu erhalten. CCLK dient als Grundtakt für den CRT-Controller, der /CCLK als Synchronisationstakt für die Videosteuersignale (Diagramm 4). Der CRT-Controller stellt den Zeichencode und die Attribut- und Steuersignale gegenüber der HL/Flanke von CCLK verzögert zur Verfügung (max. 150 bzw. 275 ns). Der Zeichencode (CCO-6) liegt gemeinsam mit den Ausgängen des Linienzählers (LCO-3) an den Adress- eingängen A0-A10 der beiden umschaltbaren Zeichengenerator- PROMS A25.1 und A25.2 an. Die Auswahl eines der beiden ZG geschieht mit DB6 = low/high durch OUTPUT 34 (A23.2). Durch GPA0 = low/high (Feldattributcode) kann zeichenweise (auch innerhalb einer Zeile) auf den jeweils anderen ZG umgeschaltet werden. Es kann also innerhalb einer Zeile oder eines Bildes mehrfach zwischen den Zeichensätzen gewechselt werden.

Die Zeichengeneratorausgänge sind über trennbare Brücken mit den Paralleleingängen des Schieberegisters A18.1/2 verbünden, das der Parallel-Serien-Wandlung von jeweils einer Punktzeile eines Zeichens dient. Bei Auftrennung der Brücken kann eine Sondereinrichtung eingefügt werden, die es gestattet, mit Hilfe der Ausgänge LA0/LA1 des CRT-Controllers, die durch die Zeichenattributcodes gesteuert werden, 11 graphische Zeichen (senkrechte und waagerechte Linien) zu erzeugen (ohne Benutzung des ZG, dessen Ausgänge gesperrt werden, wenn LA0 oder LA1 High ist).

Die Punktzeilen werden bei V=H (high) parallel in das Schieberegister übernommen und mit den 7 folgenden Takten (V=L (low)) seriell herausgeschoben. Dabei bewirkt H= (high) Hellsteuerung, L= (low) Dunkelsteuerung des Bildpunktes.

Durch die dem SR-Ausgang nachgeschalteten Gatter können die Punktzeilenbits noch verändert werden: RVV* = H (high) bewirkt durch das Antivalenzgatter A17 eine Negation und damit Inversdarstellung; durch /VSP* = L (low) erfolgt Dunkelsteuerung VIDEO = L (low), was z.B. beim Strahlrücklauf und beim Blinken verwendet wird; durch /LTEN* = L (low) erfolgt Hellsteuerung (VIDEO = H (high) z.B. beim Unterstreichen). Durch /HLGT* = L (low) wird INTENS = H (high). Damit kann beim Display mit 2 Helligkeitsstufen die größere Helligkeit eingeschaltet werden.

1.2.7.5. Synchronsteuerung

Die Synchronsteuerung hat die Aufgabe, aus den vom CRT-Controller gelieferten Signalen

HRTC: = H (high) bei horizontalem Strahlrücklauf
VRTC: = H (high) bei vertikalem Strahlrücklauf

das von den zum Anschluß vorgesehenen Display benötigte Synchronsignal BSYN, das die Informationen für horizontalen

und vertikalen Strahlrücklauf mit spezifischen Zeitbedingungen enthalten muß, zu erzeugen.

Technische Daten bei Verwendung von Display

Parameter:	K 7221.25	K 7222.25
Anzahl Zeichen/Bild	16 x 64	24 x 80
Linien/Zeile	15	12
Punktfrequenz	10,7 MHz	13,8 MHz
Punkttaktperiode (BPT1/2)	93,5 ns	72,3 ns
Zeichentaktperiode (CCLK)	750 ns	580 ns
Linien Schreibzeit	48,0 us	46,2 us
Strahlrücklaufzeit/Linie	18,0 us	16,2 us
Anzahl Zeichentakte/Rücklauf	24	28
Gesamtzeit/Linie	66,0 us	62,4 us
Zeit für 1 Zeile	1,0 ms	0,75 ms
Zeit für vertikalen Strahlrücklauf (zu progr. 2 Zeilen)	2,0 ms	1,50 ms
Zeit für 1 Bild (16/24 Zeilen)	16,0 ms	18,0 ms
Gesamtzeit für 1 Bild mit Strahlrücklauf (18/26 Zeilen)	18,0 ms	19,5 ms
Bildwechselfrequenz	55 Hz	51 Hz

Die Synchronisation der Strahlrücklaufsteuerung im Display erfolgt durch die HL-Flanken des Signals BSYN, die ständig im gleichen Abstand erzeugt werden müssen.

Während der Bilddarstellung hat BSYN den Grundzustand H (high) und der horizontale Strahlrücklauf wird synchronisiert durch 6 us lange negative Impulse (Diagramm 5). Das Synchronsignal für den vertikalen Strahlrücklauf wird erzeugt durch den Grundzustand L (low) von BSYN und positive Impulse von 6 us Länge. Der Zustand L (low) von BSYN darf jedoch nicht während der gesamten Zeit $VRTC = H$ (high) vorhanden sein, sondern nur während der 1. Hälfte. Deshalb wird der Haltekreis VSYN durch den von der LH-Flanke von VRTC abgeleiteten negativen Impuls /VIMP (ca. 100 ns) eingeschaltet und zu Beginn der 2. Zeile ($VRTC = H$ (high) dauert 2 Zeilenlängen) durch /F3 = L (low) beim 1. DMA-Lesevorgang wieder zurückgesetzt. Das Zurücksetzen von VSYN erfolgt in Abhängigkeit von den M1-Zyklen des U880, also asynchron zu den Signalen des CRT-Controllers, so daß die LH-Flanke, die den Grundzustand L (low) von BSYN beendet, zeitlich schwankt.

Die positiven und negativen Impulse von BSYN werden durch UV1 und UV2 mit einer Haltezeit von je 6 us erzeugt. UV1 wird durch die positive Flanke von HRTC und UV2 durch die Rückflanke von UV1 eingeschaltet.

BSYN wird L (low) während /UV1=L (low) und während /UV1 x VSYN=H (high)

Während des horizontalen und vertikalen Strahlrücklaufs erfolgt eine Dunkeltastung (VIDEO= L (low) durch /VSP= (low)

Diagramm 1: RAM-Speicher Lesen / Schreiben

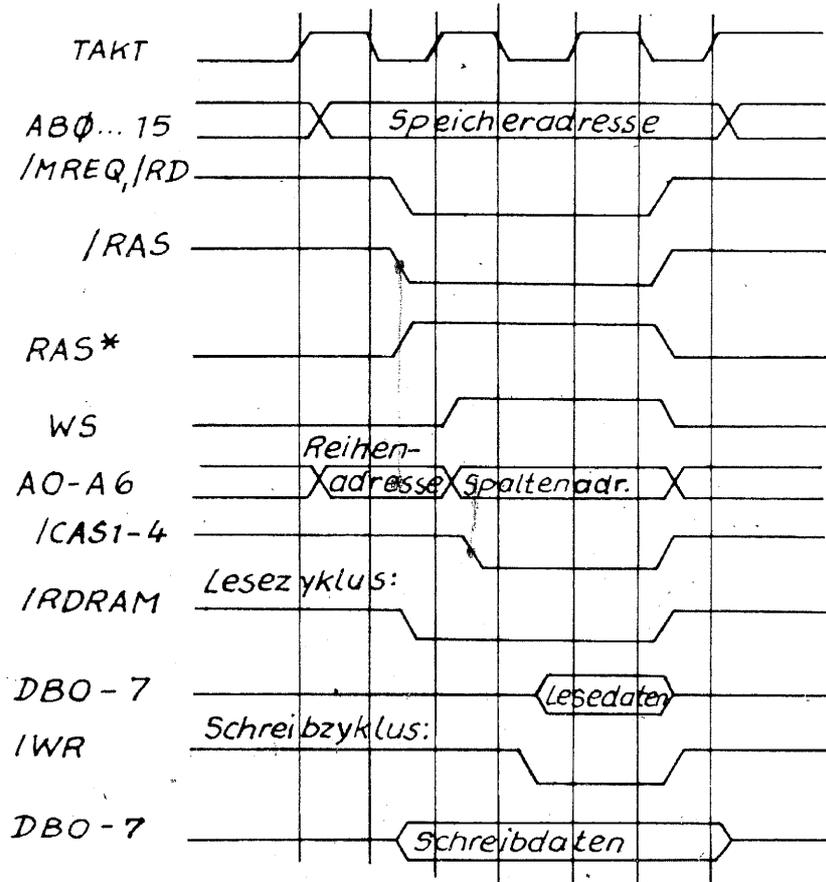


Diagramm 2: M1-Zyklus mit Refreshdurchführung

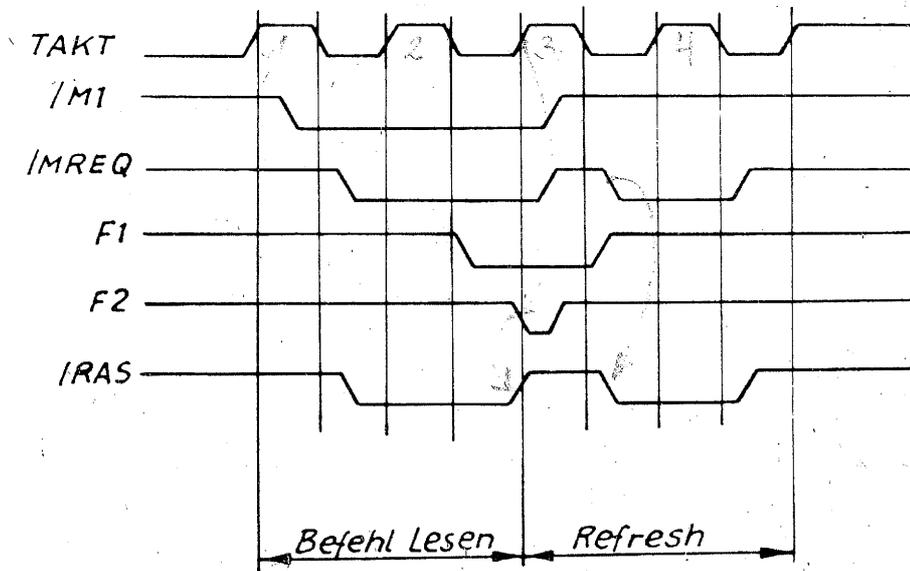


Diagramm 3: M1 - Zyklus mit DMA - Lesezyklus

z. Tabelle

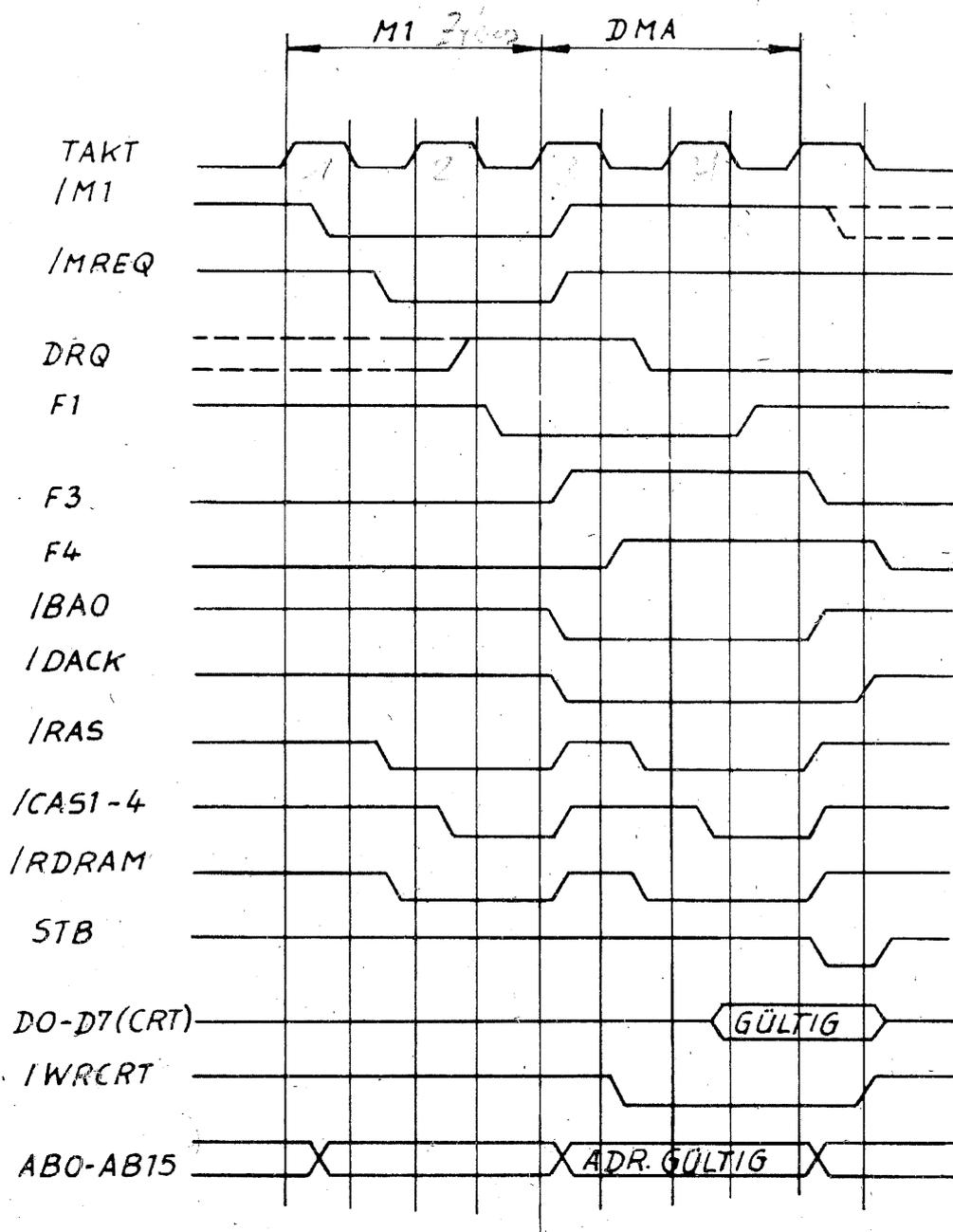
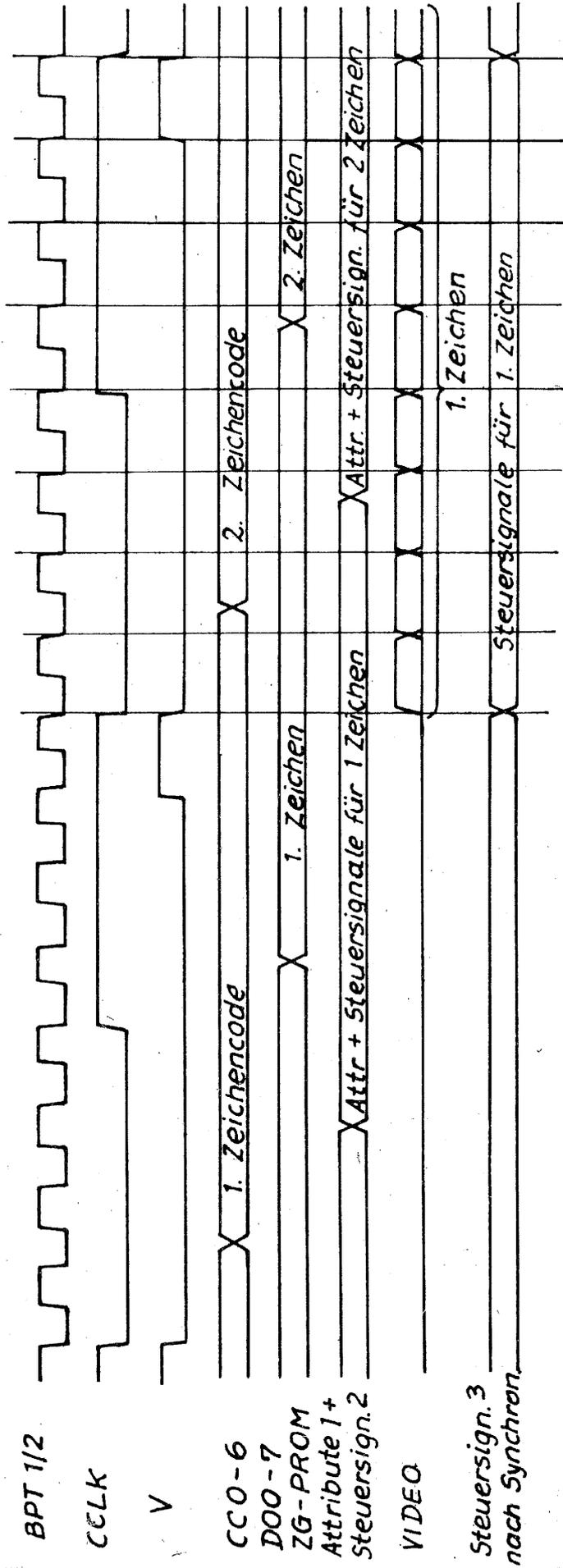


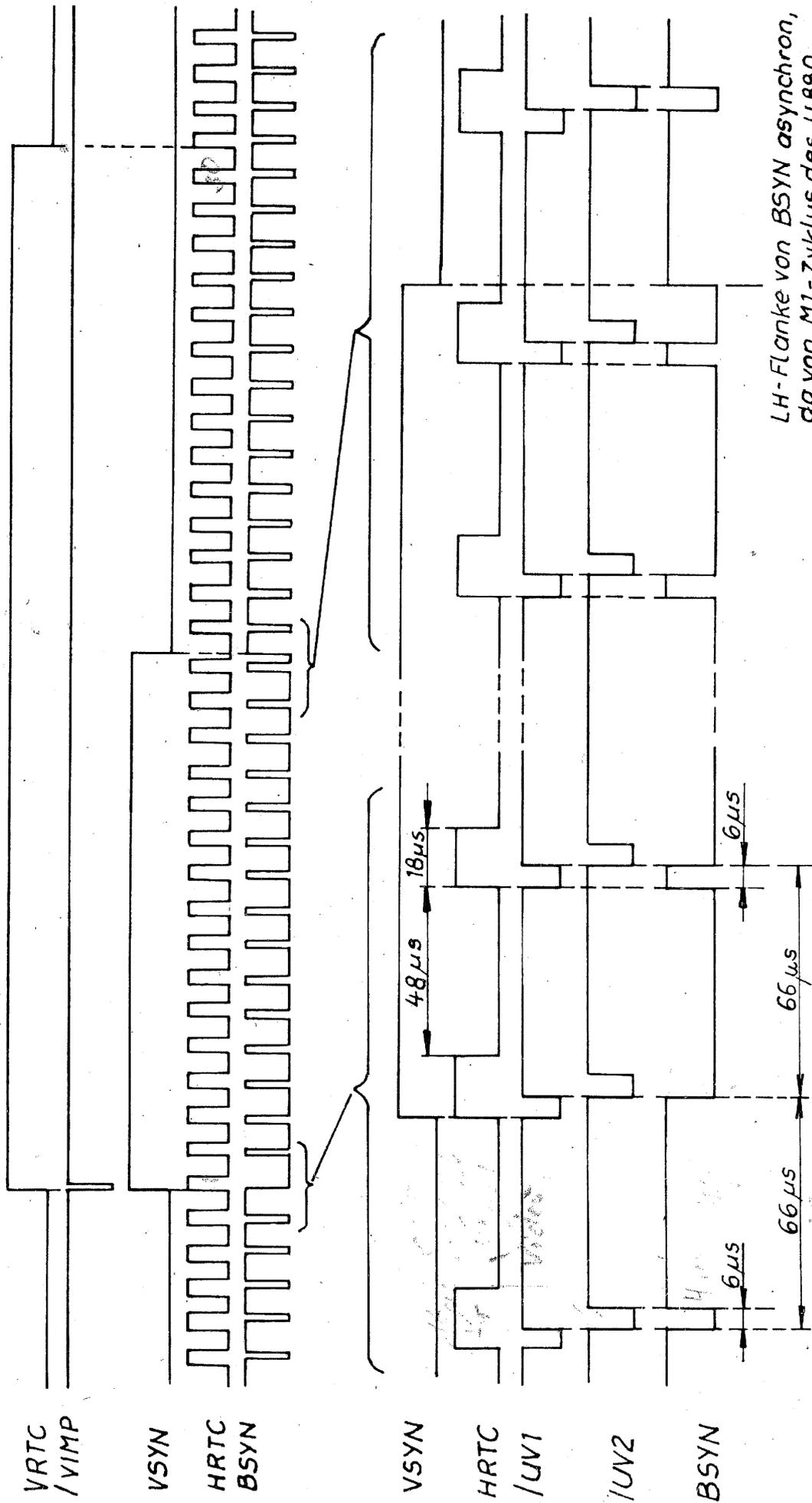
Diagramm 4: VIDEO - Steuerung



1 28 1

- 1 : LAO, LA1, GPAO
- 2 : RW, VSP, LTEN, HLGT
- 3 : RVV*, /VSP*, /LTEN*, /HLGT*

Diagramm 5: Erzeugung des Synchronsignals (MON1)



LH-Flanke von BSYN asynchron,
da von M1-Zyklus des U880
abgeleitet (/F3)

1.2.7.6. Grafiksymbole

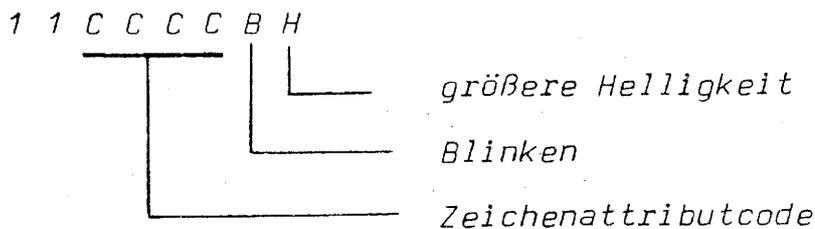
Mit Hilfe des Zeichenattributcodes ist es möglich, 11 Grafiksymbole ohne Benutzung des Zeichengenerators, also zusätzlich zum maximal darstellbaren Zeichenvorrat von 128 Zeichen, zu erzeugen.

Die Grafiksymbole werden durch eine als Zusatzeinrichtung vorgesehene Hardwareschaltung unter Benutzung der Linienattributeausgänge LA0, LA1 des CRT-Controllers realisiert, wobei durch den CRT-Controller auch die Ausgänge VSP und HLG mit benutzt werden.

Die Grafiksymbole beanspruchen jeweils einen vollen Zeichenplatz auf dem Bildschirm. Die waagerechten Striche werden in der Linie plaziert, in der der Unterstreichstrich programmiert ist. Aus Gründen der Symmetrie ist es also vorteilhaft, den Unterstreichstrich in die Mitte des Zeichenfeldes zu legen (z.B. auf Linie 7 (0110), wobei dann als Cursor die Inversdarstellung genommen werden muß.

Die Grafiksymbole können blinkend oder mit größerer Helligkeit dargestellt werden (beides auch kombinierbar).

Codierung der Zeichenattribute:



Zuordnung Code-Grafiksymbole

Zeichenattributcode CCCC	Grafiksymbol	Hex-Code bei folgender Darstellung:			
		normal	blinkend	großen Helligkeit	blinkend und größ.Helligk.
0000	┌	C0	C2	C1	C3
0001	┐	C4	C6	C5	C7
0010	└	C8	CA	C9	CB
0011	┘	CC	CE	CD	CF
0100	├	D0	D2	D1	D3
0101	┤	D4	D6	D5	D7
0110	┴	D8	DA	D9	DB
0111	┬	DC	DE	DD	DF
1000	—	E0	E2	E1	E3
1001		E4	E6	E5	E7
1010	+	E8	EA	E9	EB

Standardmäßig sind auf der ZRE zwischen Zeichengenerator (A25.1/2) und Schieberegister (A18.1/2) 8 Leiterzugbrücken X11:1-11 bis X11:8-18 angeordnet, die bei Bestückung der Grafik-Zusatzeinrichtung aufgetrennt werden müssen. Die Zusatzeinrichtung besteht aus den 7 Gatterschaltkreisen A12, A19, A20, A21, 1-4. Die Funktion ist aus dem Stromlaufplan "Quasi-Grafik" zu entnehmen.

An Q39 und Q40 liegen die CRT-Controller-Ausgangssignale LA0, LA1 an. Liegt auf LA0 oder LA1 oder auf beiden Leitungen H-Pegel an, werden über die NOR-Gatter von A12 die NAND-Gatter A21.3 und A21.4 (ZG-Ausgänge) gesperrt (Ausgänge H). Durch die nachgeschalteten 8 Gatter (A19, A21.1, A21.2), dessen Ausgänge D0-D7 mit den SR-Eingängen verbunden sind, kann auf D0-D7 H-Pegel und damit Hellsteuerung erzeugt werden, und zwar in folgender Zuordnung:

LA0=H, LA1=L: D3=H (senkrechter Strich)

LA0=L, LA1=H: D0=D1=D2=D3=H (rechte Hälfte des waagerechten Striches)

LA0=H, LA1=H: D3=D4=D5=D6=D7=H (linke Hälfte des waagerechten Striches).

Der durchgehende waagerechte Strich wird durch LTEN=H erzeugt, das Sperren der ZG-Ausgänge bei LA0=L, LA1=L durch VSP=H (/VSP=L an A16, also nach dem Ausgang des SR).

1.2.8. Schnittstelle für serielle Datenübertragung V.24

1.2.8.1. Verwendung

Die Anschlußsteuerung übernimmt die Anpassung des parallel arbeitenden Systembusses an die serielle Schnittstelle entsprechend ESER-Standard für S2 bzw. TGL 29077/01 (CCITT - V.24). Die Schnittstelle bzw. das Gerät stellt eine Datenendstelle (DEE) dar, die über Datenübertragungseinrichtungen (DUE) mit fernaufgestellten DEE oder mit nahaufgestellten DEE direkt verbunden werden können.

1.2.8.2. Technische Daten

Steckverbinder: Steckerleiste 103 - 13 (13polig) TGL 29331/04

Betriebsweisen: duplex, halbduplex

Gleichlaufverfahren: synchron, asynchron

Übertragungsgeschwindigkeit: 200, 300, 600, 1200, 2400, 4800, 9600 Bd.

(wird programmtechnisch bei der Generierung des Betriebssystems festgelegt)

Zeichenformat: 5 ... 8 bit/Zeichen

Stopbitlänge: 1, 1 1/2, 2 Bit

Paritätsprüfung: ohne, gerade, ungerade
 Anschlußgeräte: Modem, GDN oder Terminale mit Schnittstellen nach V.24
 Länge der Anschlußkabel: max. 15 Meter
 Art des Kabels: HYF (C) Y(12x2x0,14)mm²

1.2.8.3. Funktionskomplexe

Die Schnittstellensteuerung besteht aus den Funktionskomplexen:

- Takterzeugung
- Schnittstellensteuerung V.24 durch SIO Kanal B und
- Treiber- und Empfängerschaltkreise

1.2.8.4. Taktauswahl

Die Taktbereitstellung für den SIO-Kanal B erfolgt über einen Multiplexerschaltkreis, der durch Schalter programmierbar ist. Es ist möglich, den gewünschten Takt entweder durch die zwei CTC-Kanäle oder durch die Leitungen 113, 114 sowie 115 zur Verfügung zu stellen. Am Kanal B steht bei der eingesetzten Bondvariante 0 nur 1 Takteingang zur Verfügung. Es ist möglich, bei unterschiedlichen Taktfrequenzen des Send- und Empfangstaktes über den Taktmultiplexer durch Steuerung mit der Leitung 105 den gewünschten Takt zur Wirkung zu bringen. Die Einstellanleitung ist im Abschnitt 3,2. Schnittstellenstecker und Einstellschalter beschrieben.

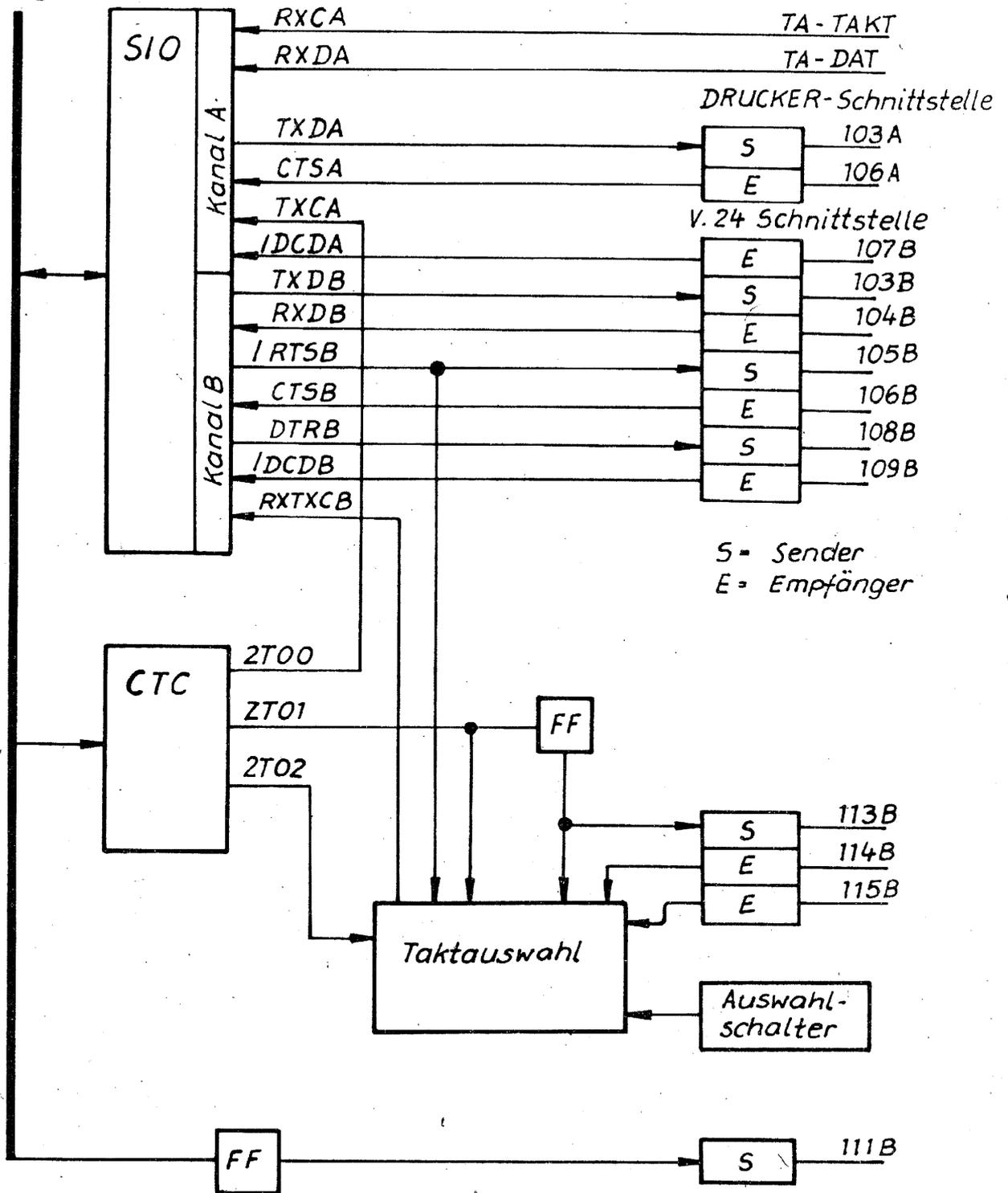
1.2.8.5. Bedeutung der Schnittstellenleitungen

SIO-Anschlüsse Kanal B	Schnittstellenleitung	Übertragungs- richt. DEE-DÜE 1715-Peripherie
	102 Betriebserde	↔
TxDB	103 Sendedaten	→
RxDB	104 Empfangsdaten	←
/RTSB	105 Aufforderung zum Senden	→
/CTSB	106 Bereit zum Senden	←
/DCDA	107 Betriebsbereitschaft (DÜE)	←
/DTRB (nur bei Bondvariante 0)	108/1 Datenendstelle mit Über- tragungsweg verbinden	→
	108/2 Datenendstelle betriebs- bereit	
/DCDB	109 Empfangssignalpegel	←
<u>Bondvar.</u> <u>Bondvar.</u>		
0	1	
	/TxCB	113 Sendeschrittakt (Quelle DEE) →
/RxTxCB		114 Sendeschrittakt (Quelle DÜE) ←
	/RxCB	115 Empfangsschrittakt (Quelle DÜE) ←
Flip-Flop D174 Toradresse /LT111CS 30H, 31H, 32 H oder 33H	111 Wahl der Übertragungs- geschwindigkeit	→
DB1 = 0 = 111 AUS		
DB1 = 1 = 111 EIN		

1.2.8.6 Blockschaltbild

Systembus-
leitung

TASTATUR-Schnittstelle



S = Sender
E = Empfänger

AB0 $\hat{=}$ Kanalauswahl SIO und KSO beim CTC

AB1 $\hat{=}$ Daten- od. Steuerwort beim SIO und KS1 beim CTC

1.2.9. Serielle Schnittstelle zur Ansteuerung der Tastatur

Der Informationsaustausch zwischen Tastatur und Systemeinheit findet über eine serielle Schnittstelle statt.

Die Serien-Parallel-Wandlung erfolgt über den Kanal A des SIO. Die seriellen Daten der Tastatur gelangen über den Eingang RXDA des SIO zur weiteren Umwandlung in parallele Daten ins Empfangsdatenregister und werden durch die CPU von dort gelesen. Der dazugehörige Empfangstakt wird vom /WR-Steuersignal des Mikroprozessors der Tastatur abgeleitet.

1.2.10. Serielle Schnittstelle zur Ansteuerung eines Druckers

Der Sendeteil des SIO-Kanals A wird zur Bildung einer seriellen Schnittstelle zur Ansteuerung eines Druckers verwendet. Dabei werden die Leitungen 102, 103 und 106 einer V.24-Schnittstelle verwendet. Der Sendetakt wird durch den CTC-Kanal 00 erzeugt.

1.3. Techn. Beschreibung Anschlußsteuerung 2xV.24

1.3.1. Kurzcharakteristik

Die Anschlußsteuerung übernimmt die Anpassung des parallel arbeitenden Systembuses an die serielle Schnittstelle entsprechend ESER-Standard für S2 bzw. TGL 29077/01 (CCITT-V.24).

Die Anschlußsteuerung stellt, von der Schnittstelle aus betrachtet, eine Datenendstelle (DEE) dar, die über Datenübertragungseinrichtungen (DÜE) mit fernaufgestellten DEE oder mit nahaufgestellten DEE direkt verbunden werden kann.

1.3.2. Technische Daten

Abmessungen: 150 mm x 150 mm

Steckverbinder: 1 x Buchsenleiste 202-58 (58polig)
TGL 29331/03
2 x Steckerleiste 102-13 (13polig)
TGL 29331/04

Stromversorgung: + 5 V +/-5 % typ 0,4 A
+12 V +/-5 % typ 0,03 A
-12 V +/-5 % typ 0,02 A

Kanäle: 2 unabhängige V.24-Kanäle

Betriebsweisen: duplex, halbduplex

Gleichlaufverfahren: synchron, asynchron

Übertragungsgeschwindigkeit: 200, 300, 600, 1200, 2400,
4800, 9600 Bd.

Zeichenformat: 5 ... 8 Bit/Zeichen

Stopbitlänge: 1, 1 1/2, 2 Bit

Paritätsprüfung: ohne, gerade, ungerade

Anschlußgeräte: Modem, GDN oder Terminale mit Schnittstellen
nach V.24

Schnittstellenleitungen: 102, 103, 104, 105, 106, 107, 108,
109, 111, 113, 114, 115 nach V.24

Länge der Anschlußkabel: max. 15 m

Art des Kabels: HYF (C) Y 12 x 2 x 0,14 mm²

Anschluß zum Systembus: 2 Adreßleitungen (AB0, AB1)
8 Datenleitungen (DB0 ... DB7)
9 Steuerleitungen (/M1, /IORQ, /RD,
TAKT, /RESET, IEI,
IEO, /WAIT, /INT)

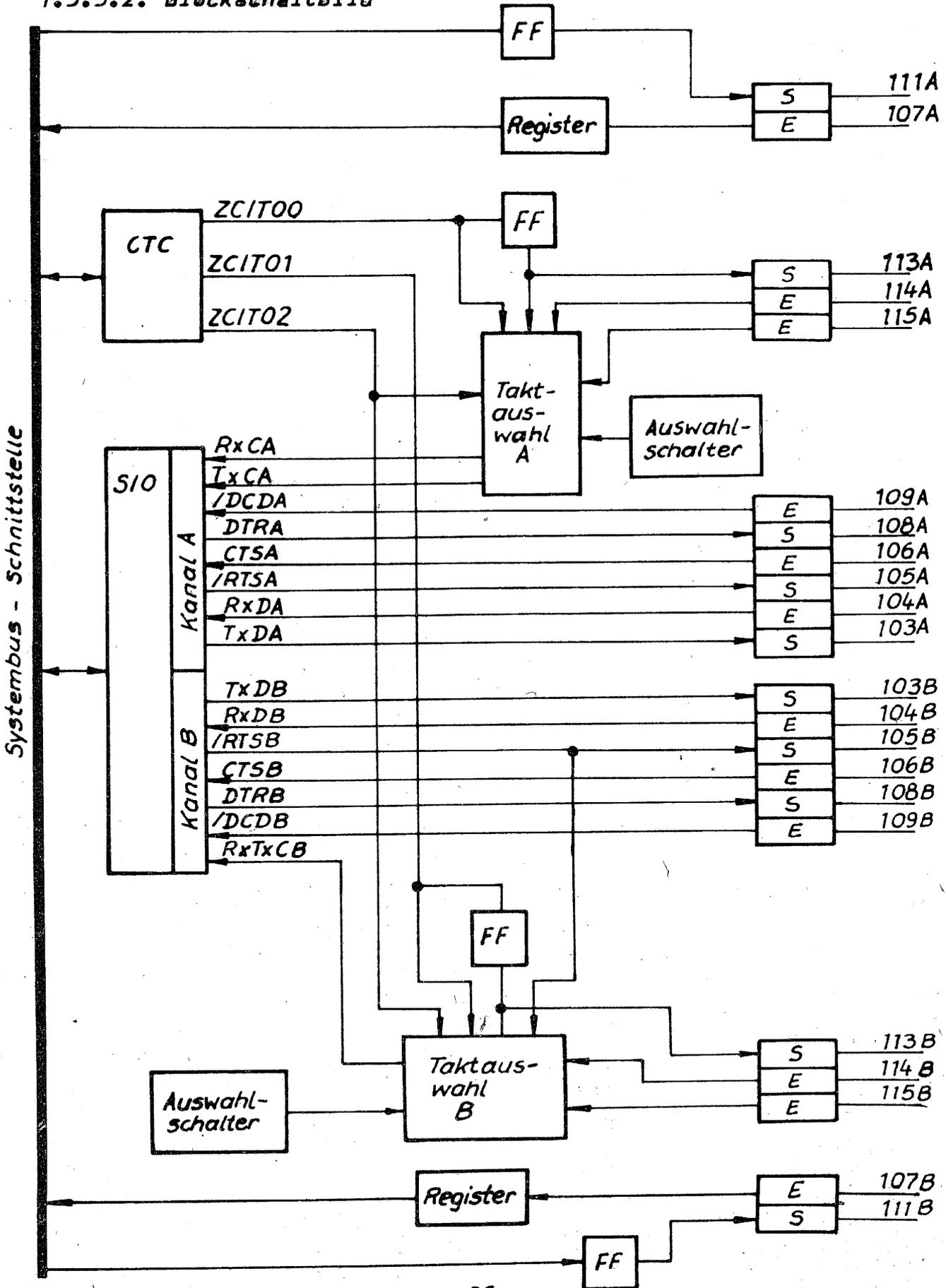
1.3.3. Funktionsbeschreibung

1.3.3.1. Funktionskomplexe

Die Anschlußsteuerung besteht aus den Funktionskomplexen

- Takterzeugung
- Taktverteilung
- Schnittstellensteuerung für V.24 durch SIO
- Treiber und Empfängerschaltkreise

1.3.3.2. Blockschaltbild



1.3.3.3. Taktauswahl

Die Takteingänge des SIO können über Multiplexerschaltkreise mit den gewünschten Takten verbunden werden.

Es ist möglich, den jeweiligen Takt durch die 3 CTC-Kanäle oder durch die Leitungen 113, 114 sowie 115 zur Verfügung zu stellen. Am Kanal B steht bei der Bondvariante 0 nur ein Takteingang für Sende- und Empfangstakt zur Verfügung. Es ist möglich, bei unterschiedlichen Taktfrequenzen des Sende- und Empfangstaktes über den zum Kanal B gehörenden Taktmultiplexer durch Steuerung mit der Leitung 105 den gewünschten Takt zur Wirkung zu bringen.

Die Zuordnung der Sende- und Empfangstakte ist in folgender Tabelle dargestellt:

SIO-Kanal A

Sendetakt TXCA	Empfangstakt RXCA	S1:1	
		1-4	2-3
Ltg 114	Ltg 115	x	x
Ltg 113	Ltg 115	x	-
ZC/T00	ZC/T02	-	x
ZC/T00	ZC/T00	-	-

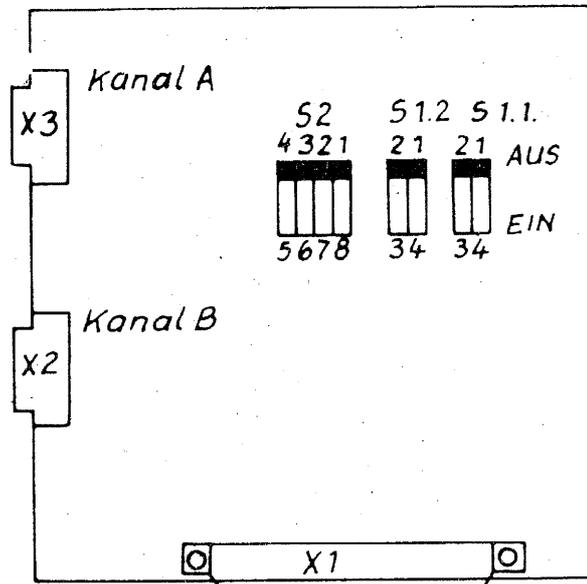
SIO-Kanal B

Steuerung durch Ltg 105	Sendetakt	RXTXCB Empfangstakt	S1:2		S2		
			1-4	2-3	1-8	2-7	3-6
-	Ltg 114	Ltg 114	-	x	x	x	-
-	Ltg 113	Ltg 113	x	-	x	x	-
x	Ltg 114	Ltg 115	-	x	x	-	x
x	Ltg 113	Ltg 115	x	-	x	-	x

-	Ltg 115	Ltg 115	-	-	x	-	-
-	ZC/T02	ZC/T02	-	-	-	x	-
x	ZC/T02	ZC/T01	-	-	-	-	x
-	ZC/T01	ZC/T01	-	-	-	-	-

x = geschlossener Schalter

Schalteranordnung



1.3.3.4. Bedeutung der Schnittstellenleitungen und Kontaktbelegung

SIO-Anschlüsse		Schnittstellenleitung	Schnittstellenkontakt X2, X3	Übertragungsrichtung DÉE - DÜE
Kanal A	Kanal B			
		102 Betriebserde	A1	↔
TxDA	TxDB	103 Sendedaten	A3	→
RxDA	RxDB	104 Empfangsdaten	B4	←
/RTSA	/RTSB	105 Aufforderung zum Senden	A5	→
/CTSA	/CTSB	106 Bereit zum Senden	B6	←
/DTRA	/DTRB	108/1 Datenendstelle mit Übertragungsweg verbinden. 108/2 Datenendstelle betriebsbereit	B8	→
/DCDA	/DCDB	109 Empfangssignalpegel	A9	←
/TxCA	/RxTxCB	113 Sendeschrittakt	A11	→
		114 Sendeschrittakt	B12	←
/RxCA		115 Empfangsschrittakt	A13	←
Register-Abfrage Datenbit DB0 DB2		107 Betriebsbereitschaft (DÜE)	A7	←
Flip-Flop Datenbit DB0 DB2		111 Wahl der Übertragungsgeschwindigkeit	B10	→

Leitung 107 und 111

Leitung	Kanal A (DB0)		Kanal B (DB2)		Toradresse
	EIN	AUS	EIN	AUS	
107	0	1	0	1	2DH oder 2FH /LT107CS
111	1	0	1	0	2CH oder 2EH

1.4. STE Schnittstelle 2 x IFSS

1.4.1. Kurzcharakteristik

Diese Steckeinheit enthält die Anschlußsteuerung für zwei IFSS-Datenübertragungskanäle. Die Anschlußsteuerung realisiert zwei Interface zum sternförmigen Anschluß von Ein-/Ausgabegeräten mit serieller Informationsübertragung (IFSS). Das angewendete Interface entspricht dem im System der Kleinrechner (SKR) vereinbarten System zur seriellen Informationsübertragung zwischen Ein-/Ausgabegerät (E/A-Gerät) und Anschlußsteuerung (AS) eines SKR-Rechners in der speziellen Auslegung für eine 20 mA Stromschleife.

1.4.2. Technische Daten

Abmessungen: 150 mm x 150 mm

Steckverbinder: 1 x Buchsenleiste 202-58 (58polig)
TGL 29331/03
2 x Steckerleiste 103-5 (5polig)
TGL 29331/04

Stromversorgung: +5 V \pm 5 % typ 0,3 A
+12 V \pm 5 % typ 0,1 A

Kanäle: 2 unabhängige IFSS-Kanäle
Betriebsweisen: duplex, halbduplex
Gleichlaufverfahren: asynchron
Zeichenformat: 5 ... 8 Bit/Zeichen

Stopbitlänge: 1, 1 1/2, 2 Bit

Parität: gerade, ungerade, ohne

Übertragungsgeschwindigkeit: 150, 200, 300, 600, 1200, 2400, 4800, 9600 Bd

Übertragungsentfernung: max. 500 m

Elektrische Bedingungen der Stromschleifen: Logisch "0": 0 ... 3 mA
Logisch "1": 15 ... 25 mA

Anschluß zum Systembus (X1)

2 Adreßleitungen (AB0, AB1)

8 Datenleitungen (DB0 ... DB7)

9 Steuerleitungen (/M1, /IORQ, /RD, TAKT, /RESET, IEI, IE0, /WAIT, /INT)

1.4.3. Funktionsbeschreibung

1.4.3.1. Funktionskomplexe

Die Anschlußsteuerung besteht aus den Funktionskomplexen:

- Takterzeugung durch CTC
- Schnittstellensteuerung für IFSS durch SIO
- Kabelstufen für IFSS
- Konstantstromquellen

1.4.3.2. Takterzeugung durch CTC

Der Baustein U857 (CTC) wird als programmierbarer Frequenzteiler zur Bereitstellung der vom U856 benötigten Sende- und Empfangstakte benutzt. Die Kanäle 0, 1 und 2 des CTC sind zu diesem Zweck als Zeitgeber entsprechend der zu realisierenden Übertragungsgeschwindigkeit der seriellen Daten (Baudrate) zu programmieren. Dabei gilt folgende feste Zuordnung:

Kanal A Sendetakt	Kanal 0
Empfangstakt	Kanal 1
Kanal B Sende-/Empfangstakt	Kanal 2

1.4.3.3. Steuerung der Datenübertragung durch SIO

Die Aufgabe des SIO U856 besteht in der Parallel-Serien-Wandlung der Ausgabedaten der ZVE sowie der Rückwandlung der über die Kabelstufen empfangenen seriellen Eingabedaten und der zugehörigen Schnittstellensteuerung. Die Kanäle A und B des SIO sind unabhängig voneinander zu betreiben und zu programmieren. Bezüglich der spezifischen Arbeitsweise des SIO U856 sei auf die umfangreiche Technische Beschreibung des Schaltkreisherstellers verwiesen.

1.4.3.4. IFSS-Kabelstufen

Das IFSS ist ein serielles Interface zur direkten Kopplung von Ein-/Ausgabe-Geräten über Entfernungen bis zu 500 m in der Auslegung als 20 mA-Stromschleife. Der Datenaustausch erfolgt asynchron im Start-Stop-Verfahren über eine vieradrige Duplexverbindung. Je 2 Leitungen bilden eine Stromschleife (Sende- und Empfangsschleife), die über optoelektrische Koppler mit der Ein- und Ausgabe-Schaltungsanordnung verbunden ist. Der Strom in der Schleife beträgt im Zustand der logischen "1" (Ruhezustand) 15 mA ... 25 mA (Nennwert 20 mA) und im Zustand logisch "0" 1 mA ... 3 mA (Nennwert 2 mA). Die Einspeisung des Schleifenstromes kann sowohl von der Anschlußsteuerung (Aktivmodus) als auch auf der jeweiligen Gegenstelle (Passivmodus) erfolgen. Die Anschlußsteuerung besitzt zur Realisierung des gewünschten Arbeitsmodus zwei Konstantstromquellen, die in die Sende- und Empfangsschleife eingeschaltet werden können.

Die Kabelstufen der Anschlußsteuerung (IFSS) sind so ausgelegt, daß Vertauschungen der Anschlüsse oder Schlüsse auf den Übertragungsleitungen nicht zu Schäden führen.

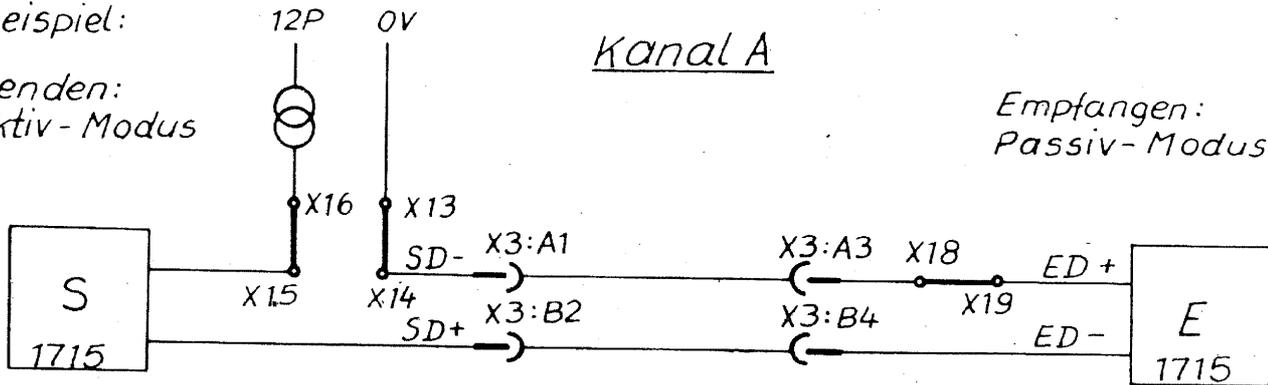
1.4.3.5. Zusammenschaltungsmöglichkeiten

Beispiel:

Kanal A

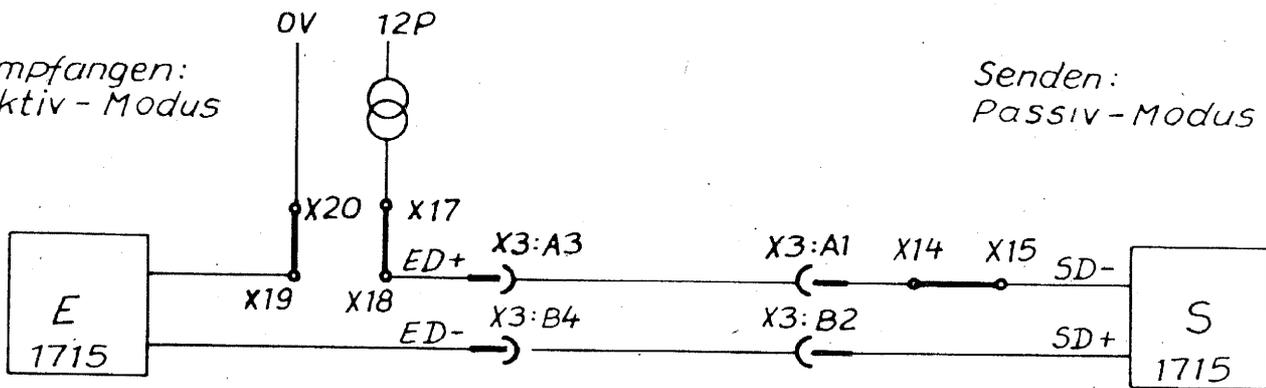
Senden:
Aktiv-Modus

Empfangen:
Passiv-Modus



Empfangen:
Aktiv-Modus

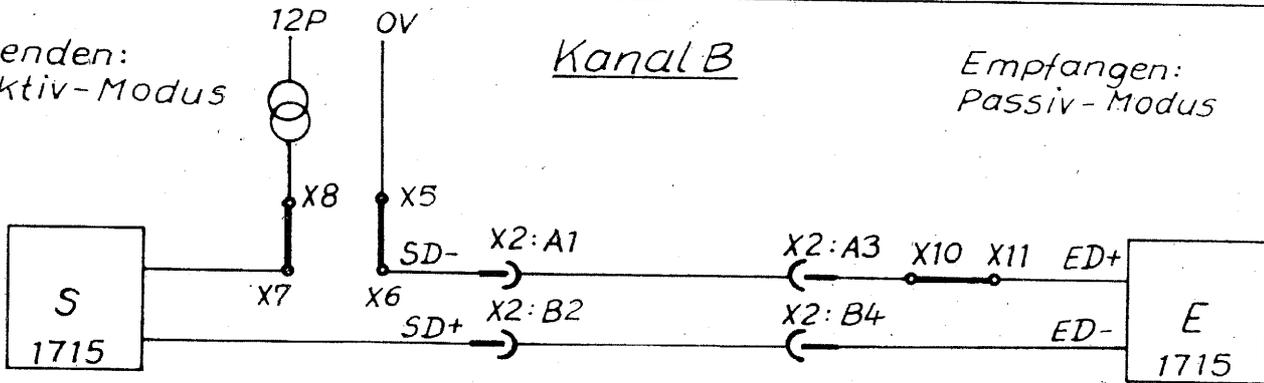
Senden:
Passiv-Modus



Senden:
Aktiv-Modus

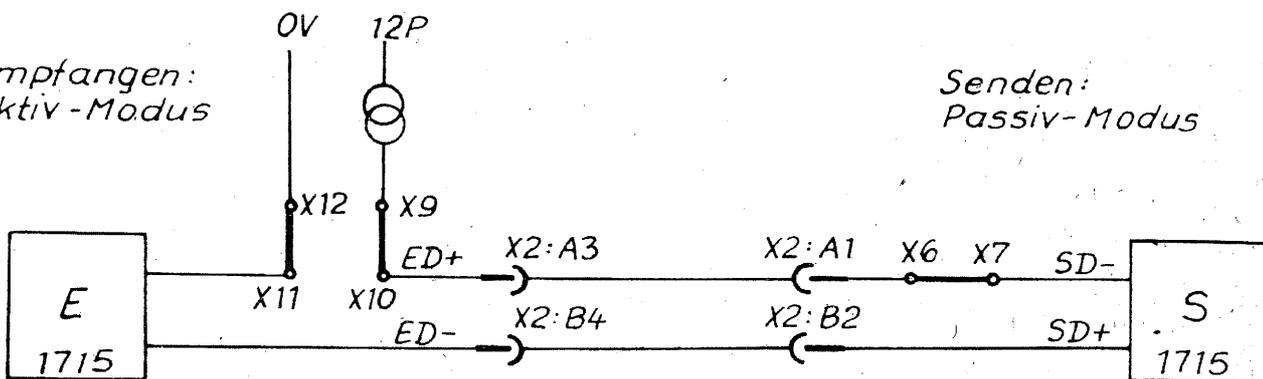
Kanal B

Empfangen:
Passiv-Modus

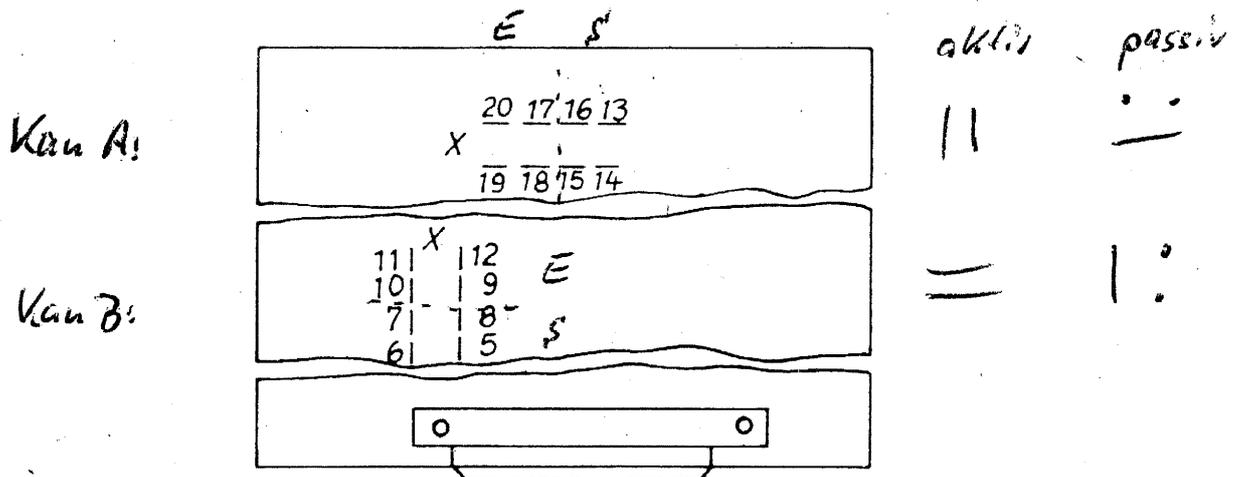


Empfangen:
Aktiv-Modus

Senden:
Passiv-Modus



Der gewünschte Arbeitsmodus ergibt sich aus folgenden Brücken:



Kanal	Modus	Brücken
A	aktiv	senden X 13 - X14; X15 - X16
		empfangen X 17 - X18; X19 - X20
	passiv	senden X 14 - X15
		empfangen X 18 - X19
B	aktiv	senden X 5 - X6; X7 - X8
		empfangen X 9 - X10; X11 - X12
	passiv	senden X 6 - X7
		empfangen X 10 - X11

1.4.3.5. Anschlüsse zur seriellen Datenübertragung

Die Anschlüsse der beiden Datenübertragungskanäle befinden sich an der Griffseite der Anschlußsteuerung. Die beiden 5poligen Steckerleisten X2 (Kanal B) X3 (Kanal A) sind durch ein Fenster in der Verkleidung erreichbar.

Die Schnittstellenleitungen der IFSS-Kanäle sind folgenden Kontakten der beiden Steckverbinder zugeordnet:

Kontakt	Leitung
A01	SD-
B02	SD+
A03	ED+
B04	ED-
A05	Schirm

1.4.3.7. Konstantstromquellen

Die Konstantstromquellen sind für den Betriebsfall einer maximalen Leitungslänge von 500 m (200 Ohm) konzipiert. Sie liefern einen Strom von 15 bis 25 mA bei einer Spannung (gegen Masse) von 2 V bis 9 V. Dieser Spannungsabfall entsteht durch die Summe der Spannungen über Sendestufe, Kabelwiderstand und Empfängerstufe. Im Leerlauf bzw. "0" Zustand stellt sich eine Spannung von ca. 12 V ein. Die Schaltungen in der Stromschleife einschließlich der Stromquellen sind so dimensioniert, daß beim Vertauschen von Leitungen keine Schäden entstehen.

1.5. Ansteuereinheit für Floppy-Disklaufwerke 20-330-0102-4 und 20-330-0202-5

1.5.1. Allgemeines

Die Steckeinheit 20-330-0102 bzw. -0202 dient der Ansteuerung von maximal vier Floppy-Disklaufwerken der Typen MF 3200, MF 6400, K5602.10 und K 5600.10. Dabei können 5,25 Zoll und 8 Zoll Disketten in den Aufzeichnungsverfahren FM und MFM *) bearbeitet werden. Eine gemischte Bestückung und damit Ansteuerung von Floppy-Disklaufwerken ist möglich. Auf der Steckeinheit befinden sich ein bzw. zwei (Variante -0202) Kabel mit 26-pol. Steckverbindern, über die je ein geräteinternes Floppy-Disklaufwerk angeschlossen werden kann. Über einen weiteren 39-pol. Steckverbinder können noch zwei externe Floppy-Disklaufwerke angeschlossen werden. Entfallen die zwei internen Laufwerke, können über den 39-pol. Steckverbinder maximal vier Floppy-Disk gesteuert werden.

*) MFM vorerst nur bei 5,25 Zoll Laufwerken möglich.

1.5.2. Schnittstellen

1.5.2.1. Schnittstelle zum Rechnerbus

Die Ansteuersteckeinheit für Floppy-Disklaufwerke ist mit der ZRE-STE über einen 58-pol. Steckverbinder direkt verbunden. Über diese Verbindung wird der Datenbus, der Steuerbus (/M1, /IORQ, /RD, /RESET, /WAIT, /INT, IEI, IEO), der Adressbus, der Takt, die CS-Signale der PIOs und Register und die Stromversorgung geführt. Da sich die Adressdecodierung auf der ZRE befindet, genügt es, die CS-Signale und die Adressen AB 0 und AB 1 zur Adressierung der PIOs und Register zu verwenden.

CS-Signal	AB1	AB0		Tor
/PIO CS0	0	0	Daten-PIO	Kanal A Daten
/PIO CS0	0	1	Daten-PIO	Kanal A Steuerwort
/PIO CS0	1	0	Daten-PIO	Kanal B Daten
/PIO CS0	1	1	Daten-PIO	Kanal B Steuerwort
/PIO CS1	0	0	Steuer-PIO	Kanal A Daten
/PIO CS1	0	1	Steuer-PIO	Kanal A Steuerwort
/PIO CS1	1	0	Steuer-PIO	Kanal B Daten
/PIO CS1	1	1	Steuer-PIO	Kanal B Steuerwort
/KRFD	X	0	SE-Register	
/KRFD	X	1	MO-Register	

X=beliebige Belegung, Daten-PIO - A1:1, Steuer-PIO - A1:2

1.5.2.2. Belegung der PIO's und Register

Die Steuerung der Ansteuereinheit und der Laufwerke erfolgt durch den Steuer-PIO A1:2 sowie die Register A13:1 und A13:2. Der Daten-PIO A1:1 dient der Pufferung des Datenaustausches zwischen den Folienspeichern und dem Datenspeicher. Die beiden PIO's arbeiten in den Betriebsarten:

Steuer-PIO	Kanal A - OUTPUT	(Mode 0)
	Kanal B - BIT	(Mode 3)
Daten-PIO	Kanal A - OUTPUT	(Mode 0)
	Kanal B - INPUT	(Mode 1)

Steuer-PIO

Anschluß Signalbezeichnung Kurz- Wirkrichtung Bedeutung
 zeil.

Anschluß	Signalbezeichnung	Kurz-	Wirkrichtung	Bedeutung
A0	/WRITE ENABLE	/WE	zum Laufwerk, zur internen Steuerung d. STE	/WE=LOW gibt Schreib- steuerung auf d. STE und im Lauf- werk frei
A1	MARK	MK	z. int. St.	Doppelbedeutung Lesen: (A2:2/23) /MK=LOW Markener- kennung FM und Synchr.-Byte C2 bei MFM /MK=HIGH Erkenn. Synchr.-Byte A1 bei MFM Schreiben: (A2:1/22)/MK=LOW Markenschreiben FM u. Synchr.- Byte MFM
A2	/FAULT RESET	/FR	z. LW	/FR=LOW Rücksetzen des Fehlerbit i. Laufwerk
A3	/START	/STR	z. int. St.	/STR=LOW gibt in- terne Steuerung frei STE
A4	MARK 1	MK 1	z. int. St.	Doppelbedeutung Lesen: (A7:5/2) /MK1=HIGH Information ins Schieberegist. einlesen /MK1=LOW ständig 1 ins Schiebereg. einlesen Schreiben: (A2:1/ 20)/MK1=LOW Schreib- Marken FM, Synchr.- Byte und Daten MFM /MK1=HIGH Schreiben Daten FM

Anschluß	Signalbezeichnung	Kurz- zeich.	wirkricht.	Bedeutung
A5	STEP DIREKTION o. MARK RESET	SD-MR	z.LW z.int.St.	Doppelbedeutg. für Laufwerk: /SD=LOW Schritt- richtung nach höherer Spur- Nr. /SD=HIGH Schrittrichtung n. niedrigerer Spur-Nr. für int. Steuerung: (A7:3/13)/MR=LOW Rücksetzen Mar- ken-FF /MR=1 inaktiv - Kopfandruck /HL=LOW Diskette wird gegen Mag- netkopf gedrückt
A6	HEAD LOAD	/HL	z.LW	
A7	STEP	/ST	z.LW	Schritimpuls Kopfbewegung in die durch SD an- gegebene Richtung. Jeder LOW-Impuls entspr. einer Spur.
/ASTE	INDEX	IX	vom LW	Auswertung des In- dexloches L-H- Flanke meldet Be- ginn des Indexlo- ches.
B0	LAUFWERK BEREIT	/ROYL	v.LW	/ROYL=LOW signalis. Bereitschaft des LW zum Lesen oder Schreiben.
B1	MARKE ERKANNT	MKE	V.int.St.	MKE=HIGH Marke erkannt
B4	FORMAT	FO	z.int.St.	Aufzeichnungsfor- mat FO=LOW 5,25" Dis- kette FO=HIGH 8"Dis- kette
B3	PRECOMPENSATION	PRE	z.int.St.	Präkompensation PRE=0 Schreiben ohne Pr. PRE=1 Schreiben m. Pr.
B2	MODIFIZIERTE FREQUENZMODULATION	/MFM	z.int.St.	Aufzeichnungsverfahren MFM=LOW FM-Verfahren MFM=HIGH MFM-Verfahren
B5	WRITE PROTECT	/WP	v.LW	/WP=LOW Schreibschutz auf Diskette

Anschluß	Signalbezeichnung	Kurz- zeich.	Wirkricht.	Bedeutung
B6	FAULT Write	/FW	v.LW	/FW=LOW Schreibfehler
B7	TRACK 00	/TO	v.LW	/TO=LOW Kopf befindet sich auf Spur 00

Daten-PIO (A1:1)

A0 - A7	Schreibdaten (Daten, die auf Diskette geschrieben werden sollen)
/ASTB	Schiebekette hat Daten vom PIO übernommen
ARDY	PIO hat Schreibdaten übernommen
B0 - B7	Lesedaten
/BSTB	PIO wird zur Übernahme der Lesedaten aus der Schiebekette aufgefordert.
BRDY	PIO hält Lesedaten zur Übergabe an Datenbus bereit

Register A13:1

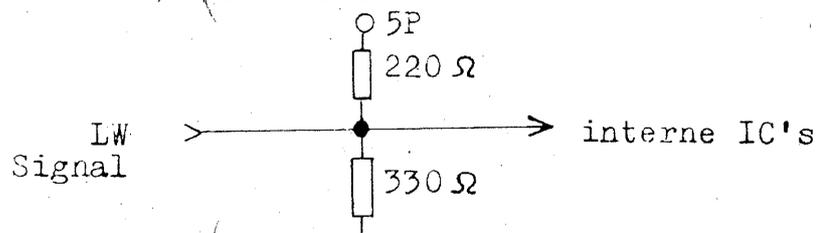
Eingang	Ausgang	Bedeutung
DB 0	/LCK 0	Türverriegelung LW 0
DB 1	/LCK 1	" LW 1
DB 2	/LCK 2	" LW 2
DB 3	/LCK 3	" LW 3
DB 4	/SE 0	Selektion LW 0
DB 5	/SE 1	" LW 1
DB 6	/SE 2	" LW 2
DB 7	/SE 3	" LW 3

Register A13:2

Eingang	Ausgang	Bedeutung
/SE 0	/MO 0	Motoreinschaltung LW 0
/SE 1	/MO 1	" LW 1
/SE 2	/MO 2	" LW 2
/SE 3	/MO 3	" LW 3

1.5.2.3. Schnittstelle zu den Laufwerken

Die Signaleingänge sind entsprechend den technischen Forderungen der anschließbaren Laufwerkstypen mit folgender Widerstandskombination beschaltet:



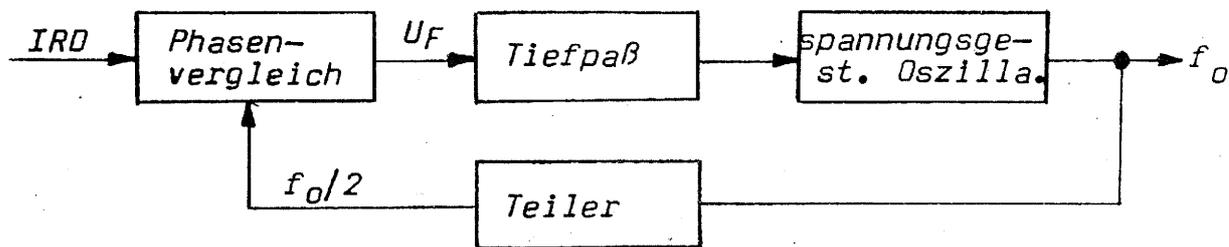
Als Leitungstreiber für die Ausgangssignale /WE, /WD, /SD, /ST, /HL, /FR wird der Schaltkreis 75 450 (A14) eingesetzt, der einen Ausgangsstrom von 300 mA ermöglicht. Die Signaleingänge der Laufwerke sind ebenfalls mit Widerstandsbeschaltung versehen und benötigen einen LOW-Eingangsstrom von je 24 mA. Da maximal 4 Laufwerke parallel angeschlossen sein können, muß der Leitungstreiber 96 mA liefern können.

Für die Signale /SE, /LCK und /MO wird als Treiber der Schaltkreis DS 8282 eingesetzt, der 32 mA liefern kann. Dies ist ausreichend, weil jede dieser Leitungen nur ein Laufwerk ansteuert.

1.5.3. Beschreibung der Funktionsgruppen (siehe Blockschaltbild)

1.5.3.1. Der Phasenregelkreis (PLL)

Der Phasenregelkreis hat die Aufgabe, einen Oszillator in Frequenz und Phase mit einem Eingangssignal zu synchronisieren. Er erzeugt Taktimpulse, die in fester Relation zu den Lesedaten /RD stehen. Damit können Langzeitschwankungen der Bitabstände infolge von Gleichlaufschwankungen bzw. geringfügige Drehzahlabweichungen von Laufwerken ausgeglichen werden.



Der Phasenregelkreis besteht aus Phasenvergleich (A4:6/08 u. 11), nachgeschaltetem Tiefpaß, einem spannungsgesteuerten Oszillator (A18, V2, A16, A6:5/08 u. 10, A15/08 u. 10) und einem Teiler (A7:4/09). Zwei weitere Teiler (A7:5/09 u. A7:4/05) können je nach Wahl von Aufzeichnungsverfahren und -format eingeschaltet werden. Die geteilte Oszillatorfrequenz wird gemeinsam mit dem /RD-Signal, welches mit UV A17 auf 780 ns verlängert wurde, dem Phasenvergleich zugeführt. Je nach Frequenz- und Phasenabweichung entsteht eine impulsförmige Fehlerspannung am Phasenvergleich, die durch V1 begrenzt, durch Tiefpaß R9, R10, R11, und C6 geglättet und den Operationsverstärker A18 steuert, dessen Ausgang die steuerbare Konstantstromquelle V2 beeinflusst. Über V2 wird C8 aufgeladen. Die Anschlüsse 11 und 12 des Schaltkreises A16 wirken als Komparator. Erreicht die Ladespannung des C8 die Komparatorschwelle, ändert A16/09 von LOW nach HIGH und entlädt über A6:5/10 und 08 sowie A15/08 den Kondensator C8 wieder. In diesem Moment wird A16 wieder umgesteuert und C8 kann erneut aufgeladen werden. A15/10 ändert parallel dazu die Komparatorschwelle, um eine gewisse Hysterese des Schaltvorganges zu erreichen.

In bestimmten Grenzen ist diese Schaltungsanordnung damit in der Lage, eine mit dem READ-Signal phasenstarr verkoppelte Impulsfolge einer bestimmten Frequenz zu liefern.

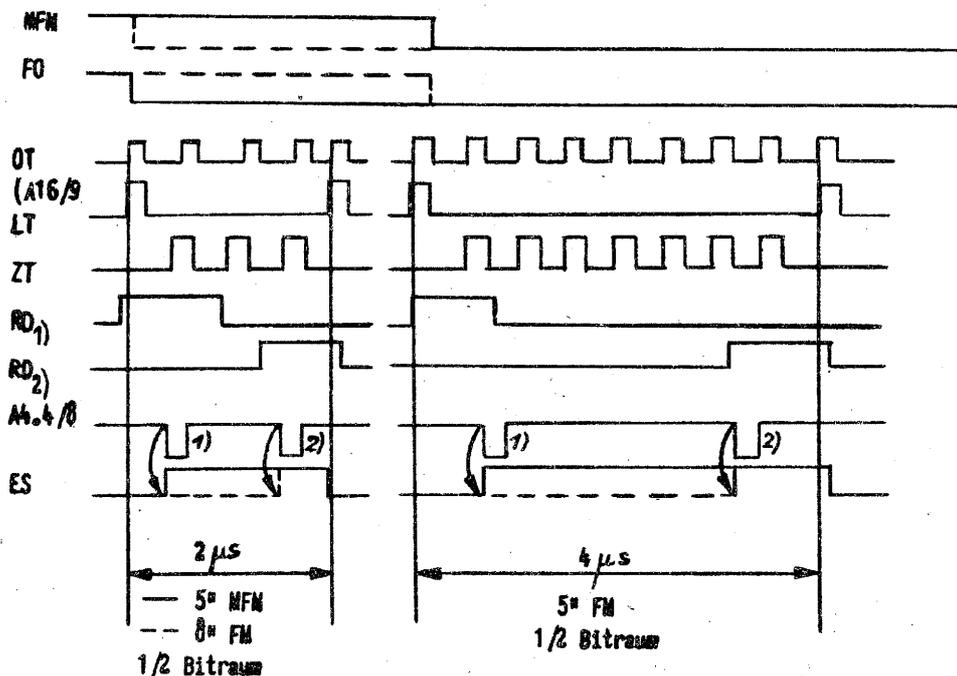
Liegen keine Lesedaten an, so schwingt der Oszillator auf der durch R23 eingestellten Freilauffrequenz von 2 MHz.

1.5.3.2. Lesedatenaufbereitung

Die Ansteuersteckeinheit kann unterschiedliche Aufzeichnungsformate bearbeiten, d.h., sie muß Lesedaten unterschiedlicher Frequenz verarbeiten können.

Die Oszillatorfrequenz wird über die FF A7:5/o9 und A7:4/o5 durch die Steuersignale /MFM und /FO auf 1/4, 1/2 oder gar nicht geteilt, je nach ausgewähltem Aufzeichnungsverfahren. Der dritte Teiler A7:4/o9 dient zur Teilung der Oszillatorfrequenz für den Phasenregelkreis. Der Teiler wird mit /WE gesperrt. Vom Ausgang des Teilers werden die Signale Lesetakt LT und Zwischentakt ZT abgeleitet. Der Lesetakt kann somit eine Frequenz von 250 kHz, 500 kHz besitzen und kennzeichnet immer einen halben Bitraum. Der Zwischentakt entspricht der Differenz zwischen Oszillatortakt und dem jeweiligen Lesetakt.

Der Zwischentakt wird mit den durch UV A17 verlängerten Lesedaten konjunktiv verknüpft. Sind beide Signale "HIGH", wird über den Rücksetzeingang des FF A7:5/o5 die Leitung ES aktiv. Mit LT schaltet das FF ES inaktiv. Durch dieses Verfahren kann auch bei sehr langsamen Aufzeichnungsverfahren (5,25"FM) der gesamte Bitraum mit ZT sehr gut nach Daten abgetastet werden und damit ist die Lesesicherheit auch bei großen Zeittoleranzen von Bit zu Bit gewährleistet. Falls die Steuerleitung /MK1=0 ist, kann ES nicht abgeschaltet werden und damit wird ständig 1 ins Schieberegister eingelesen.



- 1) Lesedaten mit max. zulässiger Abweichung zum vorh. Impuls
- 2) Lesedaten mit max. zulässiger Abweichung zum nachfolgenden Impuls

1.5.3.3. Seriell-Parallel-Wandlung und Markenerkennung

Die Seriell-Parallel-Wandlung wird in einem 20-Bit-Schieberegister A9:1 bis A9:5 durchgeführt. Beim Lesevorgang werden die aufbereiteten Lesedaten ES zum seriellen Eingang A9:1/01 der Schiebekette geführt und mit der HL-Flanke von C1 durchgeschoben. Die Schieberegister sind während des Lesevorgangs über die Steuereingänge auf seriellen Betrieb geschaltet. Die Ausgänge der Schieberegister sind erstens mit einem rückgekoppelten Festwertspeicher A2:2 verbunden, der zur Markenerkennung dient und zweitens mit dem Kanal B des Daten-PIO A1:1. Die Notwendigkeit einer Markenerkennung ergibt sich aus der Verwendung der Aufzeichnungsformate nach ISO (TC-97) SC-11 Nr. 149 und 347 bzw. KR05 5108 und 5110. Im Kanal B des Daten-PIO werden die Lesedaten zwischengespeichert. Die zeitliche Differenz von vier C1-Takten zwischen der Datenbereitstellung am Lese-ROM A2:2 und am Daten-PIO gibt dem Betriebssystem zusätzliche Zeit zur Markenerkennung.

Der C1-Takt ist eine ODER-Funktion aus Lese- und Schreibtakt (LT, SCHR). Beim Lesen laufen demzufolge in jedem Bitraum zwei Schiebetakte ab, einer für die Taktinformation und einer für die Dateninformation der Lesedaten des Follenspeichers. Da nur jeder zweite Ausgang der Schiebekette auf die Adreßleitungen des Lese-ROM geschaltet ist, liegt entweder das Taktbyte oder das Datenbyte der geschachtelten Takt-Daten-Information als Adresse am ROM an. Die Taktinformation kommt dabei einen C1-Takt früher.

Entspricht die ROM-Adresse 0-7 dem Taktteil einer Marke, wird Ausgang 8 mit HIGH belegt. Dieses Signal wird als Rückkopplung an den 0-Eingang des FF A7:3/05 → A7:3/02 geführt. Mit dem nächsten C1-Takt wird der Datenteil der Marke an die Eingänge des ROM gelegt. Gleichzeitig erfolgt die Durchschaltung des FF A7:3/05 und dieser Ausgang liegt als weiterer Eingang A9 am ROM. Damit wird die Speicherzelle angesprochen, deren Inhalt bei Vorliegen der Marke ein HIGH auf Ausgang 7 ausgibt. Dieses Signal wird anschließend noch mit dem Zwischentakt verknüpft. Der entstandene Impuls setzt das Marken-FF A7:3/09 und zum PIO A1:2/28 kommt die Quittung MKE - Marke erkannt. Die Verknüpfung mit ZT ist notwendig, um Verzögerungszeiten und Einschwingvorgänge an den ROM-Ausgängen ausschließen zu können. Die Rückführung des Signals /MKE an das Rückkoppel-FF A7:3/01 bewirkt, daß keine weitere Marke erkannt werden kann, solange MKE= High ist. Welche Marke erkannt wurde, entnimmt das Betriebssystem aus dem Datenbyte, das in den PIO A1:1 Kanal B eingelesen wurde.

Speicherbelegung des Lese-ROM A2:2

A9	A8	A7-A0	Speicherinh.	Bedeutung
0	0	14	80	Taktteil Synchr. C2 - MFM
0	0	C7	80	Taktteil IO-Marke, Datenmarke, gelöschte Datenmarke
0	0	D7	80	Taktteil Indexmarke
0	1	0A	80	Taktteil Synchr. A1 - MFM

A9	A8	A7-A0	Speicherinh.	Bedeutung
1	0	C2	40	Datenteil Synchr. C2 - MFM
1	0	F8	40	Datenteil gelöschte Datenmarke
1	0	FB	40	Datenteil Datenmarke
1	0	FC	40	Datenteil Indexmarke
1	0	FE	40	Datenteil IO-Marke
1	1	A1	40	Datenteil Synchr. A1 - MFM
alle anderen			00	keine Marke

1.5.3.4. Parallel-Seriell-Wandlung

Für die eigentliche Parallel-Seriell-Wandlung werden 16 Bit benötigt. Die Bits 17 bis 20 werden für die Schreibpräkompensation und die Auswahl der Taktinformation beim MFM-Verfahren bei Bytewechsel gebraucht.

Der Daten-PIO A1:1 stellt ein Byte zur Übernahme ins Schieberegister bereit. Diese Dateninformation liegt gleichfalls am Schreib-ROM A2:1 an. Entsprechend dieser Information stellt der ROM an seinen Ausgängen die dazugehörigen Taktinformationen zur Übernahme ins Schieberegister bereit. Durch die Art der Zusammenschaltung von PIO- und ROM-Ausgängen mit den Paralleleingängen der Schiebekette erfolgt eine Verschachtelung der Daten- mit der Taktinformation.

Der ROM-Eingang A8 schaltet in Abhängigkeit des letzten Bits des vorangegangenen Bytes die Taktinformation um, da beim MFM-Verfahren dieses Bit bestimmt, wie das erste Bit des nachfolgenden Bytes aufzuzeichnen ist.

Während einer FM-Aufzeichnung wird der ROM nicht selektiert, damit hochohmig und ins Schieberegister werden Einsen als Taktbyte übernommen. Die Adreßbelegung des Schreib-ROM ist folgende:

- A0-A7 - zu schreibendes Datenbyte
- A8 - letztes Bit des vorherigen Datenbytes
- A9 - Steuert beim MFM-Aufzeichnungsverfahren, ob die Taktinformation für Daten oder für Marken bzw. Synchronisationsbytes an den Ausgängen anliegt.
0 ≙ Marken/Synchronbytes 1 ≙ Daten

Die parallele Übernahme der Takt-Dateninformation in das Schieberegister wird durch die Schreibsteuerung realisiert.

1.5.3.5. Schreibsteuerung

Es besteht die Forderung, daß die Toleranz der Aufzeichnungsfrequenz 0,5 bzw. 1% nicht übersteigen darf. Deshalb wird ein quarzgesteuerter Taktgenerator (A4:2) verwendet. Seine Frequenz beträgt 10 MHz-0,1% und wird über zwei FF (A7:1/05 und 09) und einen Dezimalzähler A8 für die unterschiedlichen Aufzeichnungsverfahren geteilt. Gesteuert werden die FF über die Signale /FO und /MFM, die das Aufzeichnungsverfahren bestimmen.

Der Dezimalzähler wird mit WE= High freigegeben. Bei Aufzeichnung von Informationen auf magnetische Datenträger entsteht bei hohen Aufzeichnungsdichten der Effekt der Spitzenverschiebung, der zu Fehlern bei der Wiedergabe der Daten führen kann. Die Größe der Spitzenverschiebung ist von der Bitdichte der jeweiligen Spur und der Bitfolge abhängig. Aus diesen Gründen wird beim Aufzeichnungsverfahren MFM eine gegenläufige Verschiebung (Präkompensation) der Schreibimpulse durchgeführt, um die Spitzenverschiebung in gewissen Grenzen auszugleichen. Die auf der Steckereinheit eingesetzte Präkompensationsschaltung führt eine Verschiebung an den Übergängen von max. Bitdichte auf größere Bitabstände und umgekehrt durch.

Aufzeichnungs- max.Bitdichte $\hat{=}$ min.Bitdichte $\hat{=}$ Präkompensation um
 verfahren min.Bitabstand max. Bitabstand tion um

5,25" MFM	4 μ s	6/8 μ s	400 ns
-----------	-----------	-------------	--------

Das Einschalten der Präkompensation erfolgt bei 5 1/4"-Laufwerken (MFS K 5600) ab Spur 25. Dabei wird über das Signal PRE der Dekoder A5:2 aktiviert, welcher die Schreibdaten mit Vorgänger und Nachfolger auswertet. Wird Ausgang 3 aktiv, muß der Schreibimpuls verzögert und bei Ausgang 5=0 vorgezogen werden.

Die Schreibtaktte SCHAT werden im Multiplexer A10 generiert. Die Adreßeingänge A0-A2 werden vom Dezimalzähler A8 erzeugt und stellen eine Taktierung der Dateneingänge 0 bis 7 dar. Die Dateneingänge sind mit den Ausgängen des Präkompensationsdekoders verbunden, wobei Eingang 2 = 1 keine Verschiebung bedeutet.

Mit der LH-Flanke des Schreibtaktes /SCHAT (A10/06) wird das FF A7:2/05 gekippt und dadurch der Multiplexer gesperrt. Damit wird die Bildung eines weiteren Schreibimpulses innerhalb eines Zyklus des Zählers A8 verhindert. Sein Ausgang P1 (A8/12) = LOW hebt die Sperre wieder auf.

Der Schreibtakt SCHAT wird mit dem Ausgang der Schiebekette konjunktiv verknüpft (A4:3/08) und der Ausgang über den Leitungstreiber A14:3 als Schreibdaten /WD auf das LW-Interface gelegt. (Siehe dazu auch Taktdiagramm "Schreiben mit Präkompensation")

1.5.3.6. Synchronisation der Datenübertragung

Der gleiche Impuls, der das FF-MKE einschaltet, setzt den Bitzähler A12 auf den Wert "12". Mit dem vierten C1-Impuls wird der Übertrag A12/12 des Zählers 0. Zum gleichen Zeitpunkt liegt das Markenbyte am Daten-PIO B0-B7 an. Am Ausgang A4:3/03 entsteht /BSTB, das die Übernahme des Markenbytes veranlaßt. Der Zähler und das Schieberegister werden mit C1 weiterschaltet. Nach 16 Takten entsteht erneut /BSTB und das nächste Datenbyte wird übernommen usw.

Während des Schreibvorganges wird C1 durch den Schreibtakt erzeugt. Alle 16 Takte wird analog dem Lesen ein Übertrag erzeugt, zum Zeichen dafür, daß ein Byte auf die Diskette

geschrieben wurde. Eine extra Synchronisation des Bitzählers für das Schreiben ist nicht notwendig, da dem Schreibvorgang immer das Lesen eines IO-Feldes vorausgeht. Der Bitzähler-Übertrag bildet, durch einen Takt des A8 gesteuert, im FF A7:2/09 die Signale /ASTB und V.

Das FF wird mit der nächsten Flanke des Schreibtaktes rückgesetzt.

Während des Lesens ist es gesperrt. Mit V=High schaltet die Schiebekette auf parallele Übernahme und zwischen zwei Schreibtakten SCHK werden die PIO-Daten durch einen Impuls an C2 in die Schieberegister übernommen.

Das Betriebssystem und der unmittelbare Datenaustausch mit den Folienspeichern arbeiten in unterschiedlichen Zeitabläufen. Deshalb ist eine Synchronisation zwischen beiden nötig. Hier wird dies über die WAIT-Leitung realisiert. Sie soll aktiviert werden, wenn folgende Bedingungen vorliegen:

- 1) Durch das Betriebssystem erfolgt ein OUT-Befehl, obwohl seit dem letzten IN-Befehl kein Byte von der Schiebekette in den PIO übernommen wurde.
- 2) Durch das Betriebssystem erfolgt ein IN-Befehl, obwohl seit dem letzten IN-Befehl kein Byte von der Schiebekette in den PIO übernommen wurde.

Die Signale ARDY und BRDY werden durch das Betriebssystem vor Arbeitsbeginn auf High gestellt. Erfolgt ein IN- oder OUT-Befehl (PIO CS0=High, /AB1=High) mit den Voraussetzungen STR=High und /PS=High, schaltet der Ausgang A11/08 auf LOW. Damit wird über den Rücksetzeingang das FF A7:6/06 HIGH und /WAIT wird über A3:3/11 und A15/02 aktiv.

Erfolgt eine Übernahme der Schreibdaten oder eine Übergabe der Lesedaten aus bzw. in den PIO, d.h., der /ASTB bzw. /BSTB-Impuls lag an, wird ARDY bzw. BRDY=LOW, der Ausgang A11/08 damit HIGH. Mit der nächsten steigenden Flanke des Systemtaktes wird FF A7:6/09=HIGH. Das hat zur Folge, daß der PIO-Eingang für /IORQ aktiviert. Damit beginnt für den PIO der OUT- bzw. IN-Zyklus.

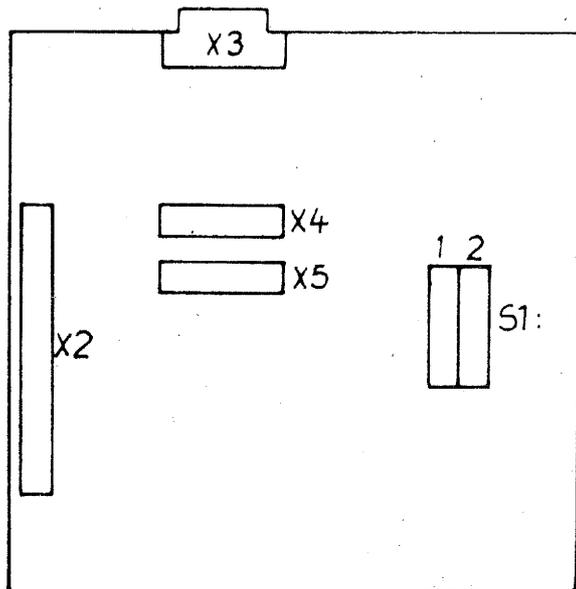
Die nächste LH-Flanke des Systemtaktes schaltet FF A7:6/06 auf LOW und inaktiviert somit /WAIT.

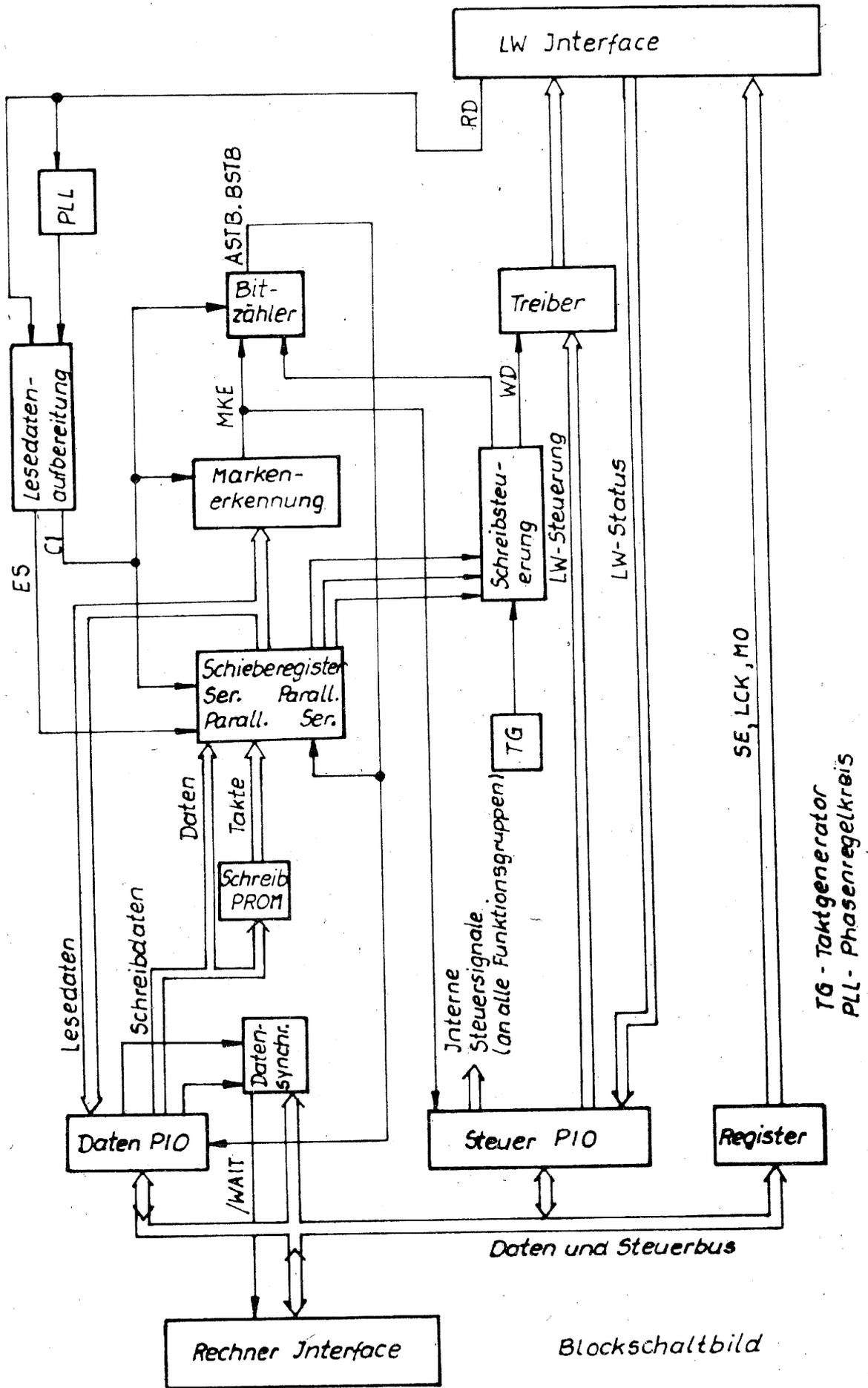
Der OUT- bzw. IN-Zyklus des PIO wird von der CPU-Steuerung durch /IORQ = HIGH beendet. Diese Steuerung gewährleistet durch zusätzliche WAIT-Zyklen, daß dem PIO die für eine ordnungsgemäße Durchschaltung der Daten notwendige /IORQ-Zeit wie bei normalen, ohne zusätzliches WAIT durchgeführten, OUT- und IN-Operationen zur Verfügung steht.

1.5.3.7. Prüfschaltung

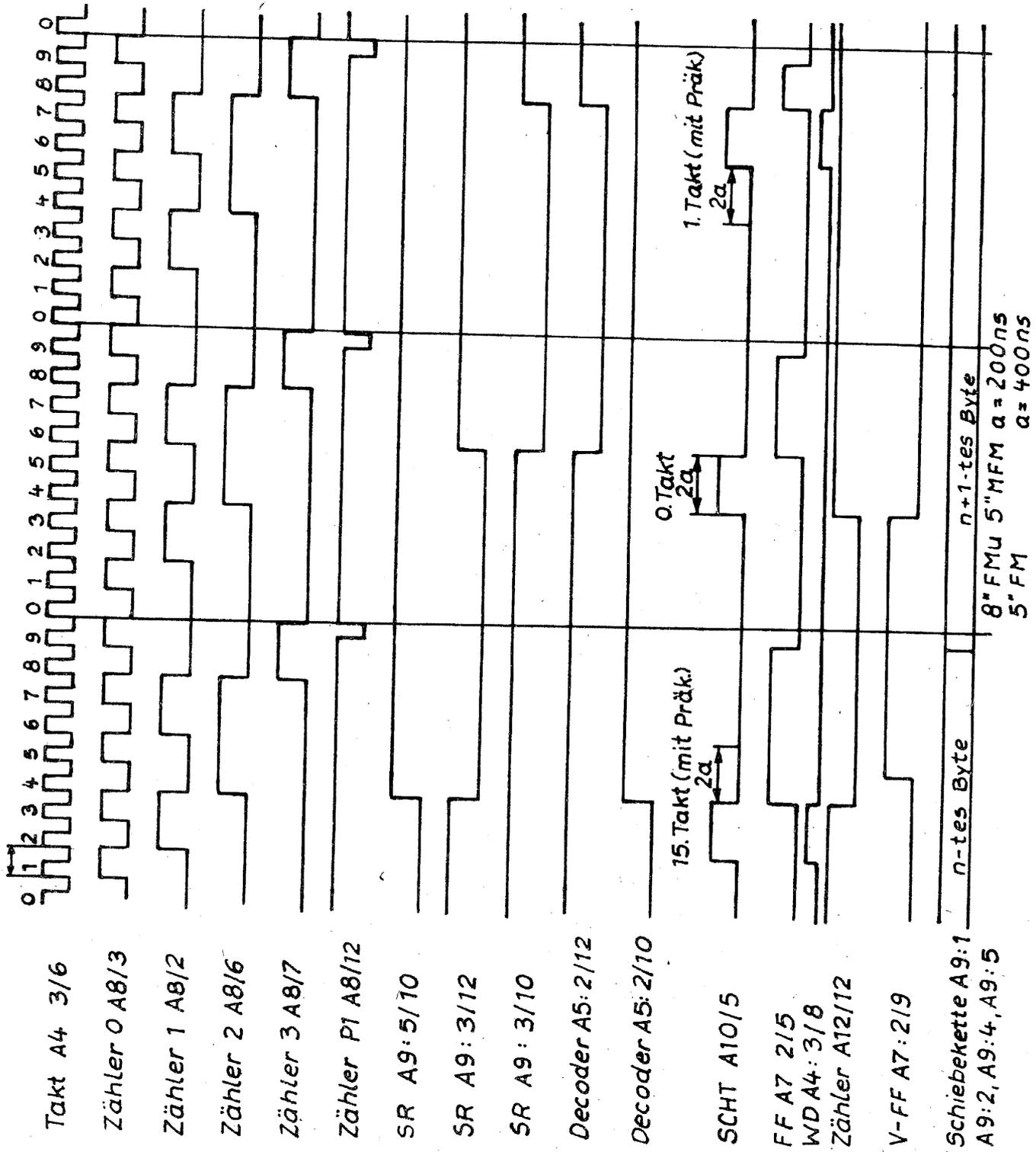
Über den Schalter S1:1 kann /PS=LOW geschaltet werden, womit alle Signalarückführungen auf der STE aufgetrennt werden. Dies ist für eine Prüfung mit Signaturanalyse erforderlich. Über die Meßpunkte 1 und 2 bzw. 5 und 6 ist eine externe Taktierung des Quarzgenerators und des PLL-Oszillators möglich. Die Rückkopplung zwischen FF A7:3/05 und dem Lese-ROM ist über den Schalter S1:2 auftrennbar. Damit kann auch im Prüf-

fall eine Marke erkannt und das Lesen eingeleitet werden.
Im normalen Betriebsfall muß S1:1 geöffnet und S1:2 ge-
schlossen sein.





Blockschaltbild



1.6. Floppy-Disk-Laufwerk 1.2. (K 5600.10)

1.6.1. Allgemeines

Der K 5600.10 ist ein Speicher mit Direktzugriff und einer maximalen Speicherkapazität von $2 \cdot 10^6$ Bit

Das Gerät erhält vom Netzteil (1.93.302700.8/GU) seine
30-330-2700-1
Versorgungsspannungen von +5V und +12V.

Der Informationsaustausch sowie die notwendigen Steuer- und Regelvorgänge realisiert die geräteeigene Logik in Verbindung mit der Steckeinheit (21-330-1202-3).
Der Anschluß des Speichers an die Steckeinheit (21-330-1202-3) erfolgt über einen 26-poligen Steckverbinder.
Als Datenträger können alle international handelsüblichen Disketten mit 5,25 Zoll Durchmesser eingesetzt werden.

1.6.2. Konstruktiver Aufbau

1.6.2.1. Antriebsmechanismus

Den Antrieb der Diskette übernimmt in Zusammenarbeit mit einer Spannvorrichtung eine zentral angeordnete Spindel, welche über einen Flachriemen von einem elektronisch geregelten Gleichstrommotor angetrieben wird. Mit Schließen der Spannvorrichtung wird ein Mikroschalter betätigt, so daß bei entsprechender Mikrobefehlsfolge der Motor funktionstüchtig ist.

1.6.2.2. Positioniermechanismus

Die Positionierung des Schreib-Lese-Kopfes erfolgt durch eine schrittmotorgetriebene Schnecke.
Dabei sind jedem Positionierschritt des Kopfschlittens 12 Motorschritte zugeordnet (entspricht $1/8$ Motorachsumdrehung).

1.6.2.3. Schreib-Lese-Kopf

Der Schreib-Lese-Kopf ist im Kopfschlitten montiert und verfügt über ein Schreib-Lese-System und ein Tunnellöschsystem. Zur Gewährleistung eines sicheren Kopf-Schicht-Kontaktes dienen der elektromagnetisch betätigte Kopfandruckhebel und das Diskettenberuhigungskissen.

1.6.2.4. Indexerkennung

Die Synchronisation der mechanischen und elektronischen Abläufe erfolgt durch photoelektrische Abtastung des in der Diskette angebrachten Indexloches.

1.6.2.5. Spur 00-Erkennung

Die der genormten Spurlage 00 entsprechende Kopfposition wird als Synchronisationspunkt photoelektrisch erkannt.

1.6.2.6. Schreibsperre

Über die Abtastung einer in der Diskettenhülle befindlichen Aussparung durch einen Mikroschalter besteht die Möglichkeit eines Diskettenschreibschutzes.

1.6.2.7. Elektronische Funktionsgruppen

- Auswahllogik
- Kontroll- und Statuslogik
- Positionierelektronik
- Wiedergabeelektronik
- Aufzeichnungselektronik
- Interface-Treiber
- Magnetverstärker
- Schrittmotorverstärker
- Motorregelung und -verstärker
- Hilfsspannungserzeugung

1.6.2.8. Anzeigen

Bei Auswahl eines MFS-Laufwerkes durch den 1715 leuchtet eine in der Frontplatte befindliche LED.

1.6.2.9. Elektrischer Interface

1.6.2.9.1. Signal Interface

1.6.2.9.1.1. Floppy-Disk-Laufwerk K 5600.10

Signalaustausch und Spannungsversorgung zwischen MFS und Fechner (Controller) erfolgt über 26-polige Steckverbinder und entsprechender Kabel mit einer maximalen Länge von ca. 5 m. Insgesamt verteilen sich die 26 zur Verfügung stehenden Pole auf 11 Spannungs-, 6 Sende- und 9 Empfangsleitungen.

1.6.2.9.2. Eingangssignale

\overline{MO} - Motor ON

Das Signal \overline{MO} schaltet den Antriebsmotor zu, setzt damit die Spindel in Bewegung. Es muß statisch anliegen. Seine Wirkung wird unterbrochen, wenn der Spannmechanismus geöffnet ist. \overline{MO} wirkt unabhängig vom Auswahlsignal \overline{SE} .

\overline{SE} - Select ($\overline{SE0}$, $\overline{SE1}$, $\overline{SE2}$, $\overline{SE3}$)

Mit dem Signal \overline{SE} geschieht die generelle Auswahl des Lauf-

werkes. \overline{SE} kommt dabei über eine LED in der Frontplatte zur Anzeige. SE ist Bedingung für das Wirksamwerden weiterer Steuersignale und muß statisch anliegen.

\overline{ST} - Step

Das Signal \overline{ST} bewirkt im MFS die Ausführung eines Positionierschrittes. Es wirkt dynamisch und wird vom MFS für die Schrittdauer intern gespeichert.

\overline{SD} - Step Direction

Das Signal \overline{SD} wirkt statisch und legt die Richtung des Positionierschrittes fest.

$\overline{SD} = 0$ entgegen Spur 00
 $\overline{SD} = 1$ in Richtung Spur 00

\overline{LCK} - Lock

Das Signal \overline{LCK} wirkt statisch und unabhängig vom Anwahlsignal SE. Im aktiven Zustand sperrt es durch Betätigung eines Elektromagneten den Entriegelungsmechanismus.

\overline{HL} - Head Load

Das Signal \overline{HL} wirkt statisch und stellt über einen Elektromagneten den Kopf-Schicht-Kontakt her. Voraussetzung für die Funktion ist das intern gebildete RDY und die Auswahl durch SE.

\overline{WE} - Write Enable

Das Signal \overline{WE} wirkt statisch, aktiviert das Tunnellöschsystem des Magnetkopfes und die Aufzeichnungsverstärker.

\overline{WD} - Write Data

Das Signal WD beinhaltet die Aufzeichnungsinformation (MFM). Jeder 1-0-Potentialwechsel (negative Flanke) führt über den Aufzeichnungsverstärker zur Flußrichtungsänderung im Magnetkopf und damit zum Magnetisierungswechsel auf der Diskette.

\overline{FR} - Fault Reset

Das Signal \overline{FR} setzt den infolge falscher Aufzeichnungssteuerabläufe im MFS gesetzten Fehlerkreis (Fw) zurück.

1.6.2.10. Ausgangssignale

RDY - Ready

Das RDY-Signal wird im MFS gebildet und meldet den mechanisch betriebsbereiten Zustand (Nenngeschwindigkeit der Diskette). Es entsteht im Ergebnis eines Zählvorganges von vier Indeximpulsen und einer Verknüpfung mit HL und SE.

IX - Index

Das \overline{IX} -Signal ist das Resultat der fotoelektrischen Abfrage

des Indexloches in der Diskette. Pro Indexloch entsteht ein Null-Impuls von $6 \text{ ms} \pm 3 \text{ ms}$.

\overline{TO} - Track 00

Das Signal \overline{TO} meldet beim Positionieren des Magnetkopfes das Erreichen der Spur 00. Es wird fotoelektrisch erzeugt und entsteht ab einer Wegdifferenz kleiner $0,25 \text{ mm}$ des Kopfschlittens zur Spurlage 00.

\overline{WP} - Write Protect

Durch Abfühlen der charakteristischen Aussparung in der Diskettenhülle mittels eines Mikroschalters bewirkt das entstehende Signal \overline{WP} einen Schreibschutz.

\overline{FW} - Fault Write

Das Signal \overline{FW} wird vom MFS gesendet, wenn vom Rechner (Controller) unzulässige Schreibsteuerungen vorliegen. Es entsteht bei anliegendem Signal \overline{WE} und

- eingeschalteter Schreibsperre \overline{WP}
- Durchführung einer Kopfpositionierung
- nicht nachfolgenden Schreibdaten \overline{WD}
- fehlender mechanischer Bereitschaft \overline{RDY}

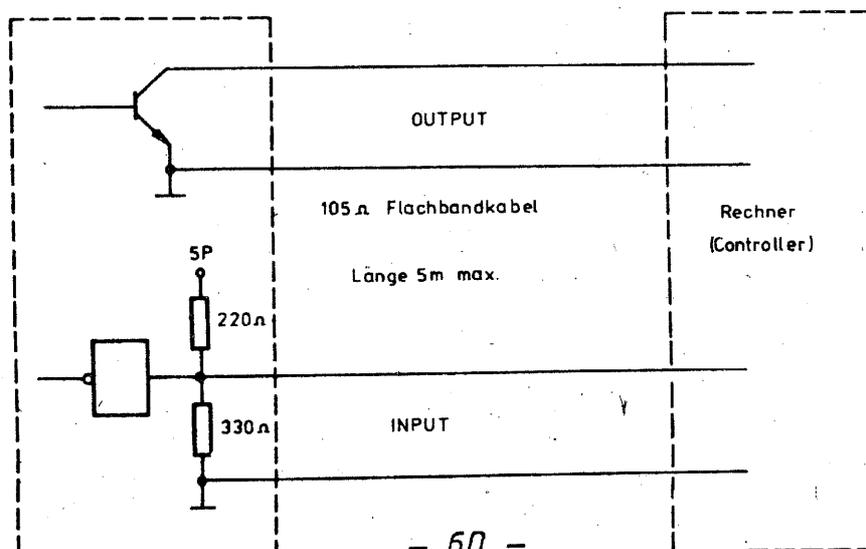
Das Signal \overline{FW} wird solange gesendet, bis das Rücksetzsignal \overline{FR} ein Abschalten bewirkt.

\overline{RD} - Read Data

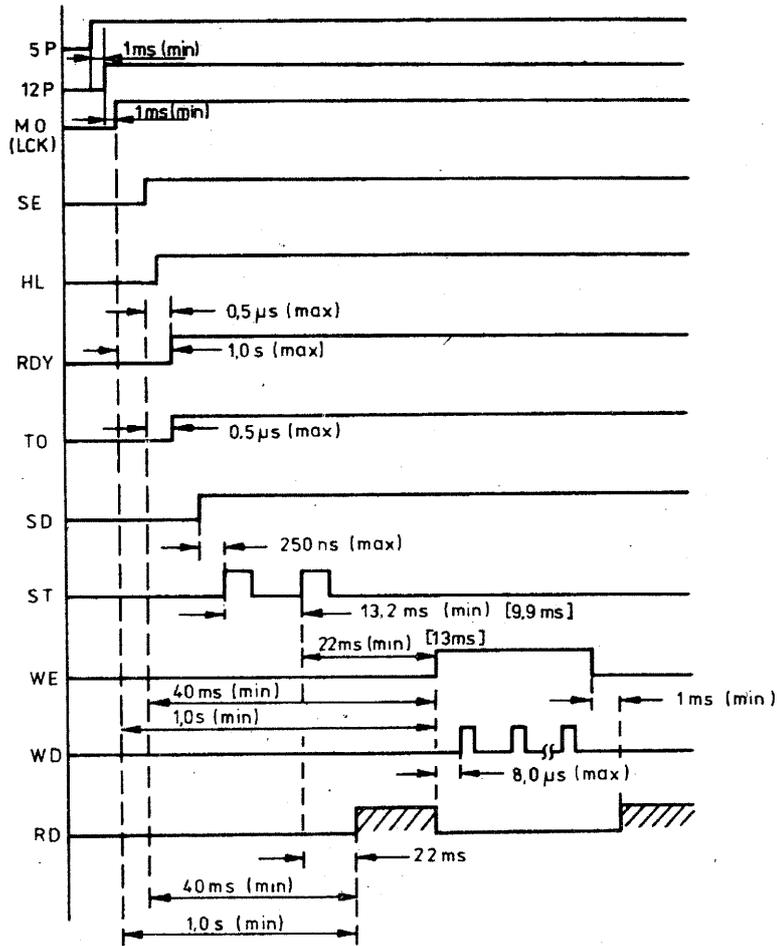
\overline{RD} -Signale entstehen im Ergebnis des Wiedergabevorganges. Dabei entspricht jedem Spitzenwert der analogen Wiedergabespannung ein Nullimpuls von $600 \text{ ns} \pm 60 \text{ ns}$ Breite.

Infolge der Spitzenverschiebung (Peak shift) sind diese Impulse besonders in den inneren Spuren zeitlich versetzt. Dieser Tatsache muß bei Anwendung des MFM-Verfahrens zum Erreichen der angegebenen Zuverlässigkeit durch Schreib-Prä-kompensation von ca. 10 % des Datenfensters begegnet werden (Spur 25 ... 39).

1.6.2.11. Interface-Zeitdiagramm



Generelle Zeitbedingungen

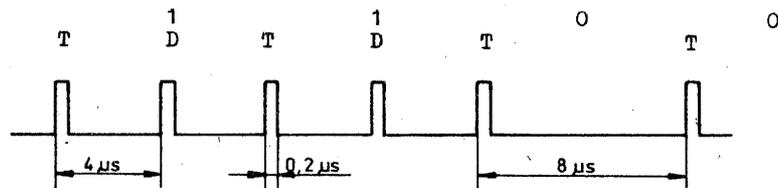


Aufzeichnen

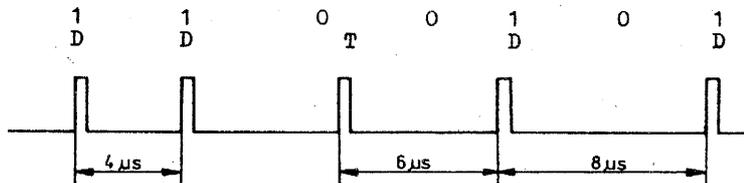
(siehe V. Beschreibung spezieller Baugruppen, Punkt 1)

Zeitdiagramme

Bitmuster
FM 5,25"



Bitmuster
MFM 5,25 "



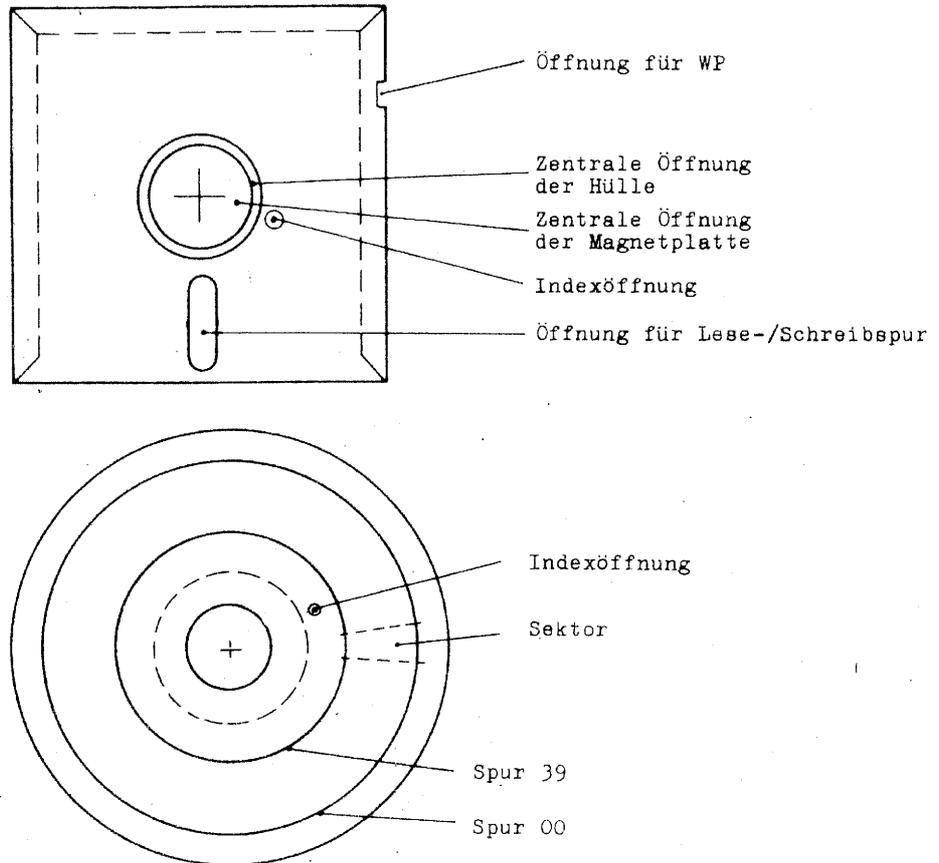
MFM bringt in der gleichen Zeit bei nicht veränderter Aufzeichnungsdichte gegenüber FM die doppelte Informationsmenge.

Organisation der Diskette im System SIOS 1526

Der Aufzeichnungsbereich besteht aus 40 Spuren (bei MFS K 5600.10). Sie werden von außen nach innen mit 00 ... 39 bezeichnet.

Physischer Spurenbereich	Spurenbezeichnung
00	Indexspur
01 ... 37	Spuren für Datenaufzeichnung
38, 39	Ersatzspuren

Diskettenaufbau:



Logische Einteilung:

Die Spur 00 (Indexspur) ist für Aufgaben, die die Diskette und ihren Inhalt beschreiben, reserviert.
 Die Spur 01 ... 37 (physisch) sind für die Datenaufzeichnung in Dateien nutzbar.
 Die Spuren 38 und 39 (physisch) sind als Ersatzspuren reserviert, die bei der Initialisierung zugewiesen werden, wenn Datenspuren als fehlerhaft erkannt werden.

Einteilung der Indexspur:

Sektor	Verwendung
01	Nachlader
02 ... 04	reserviert
05	Fehlerkennsatz
06	reserviert
07	Datenträgerkennsatz
08 ... 26	Dateikennsatz (jeweils 1 Dateikennsatz pro phys. Satz) zur Beschreibung der Dateien, die auf den Spuren 01 ... 37 (log.) geschrieben werden.

Datenformat und Datenorganisation:

Der Aufzeichnungsbereich besteht aus 40 einzelnen konzentrischen Spuren. Sie werden von außen nach innen mit 00 bis 39 (physisch) bezeichnet.

Die Spur 00 wird als Indexspur bezeichnet, die Spuren 01 ... 37 als Datenspuren. Die Spuren 38 und 39 dienen als Ersatzspuren.

Jede Spur beginnt mit der Indexlücke. Jeder Sektor einer Spur besteht aus dem Kennzeichnungsfeld und dem Datenfeld. Zur Abgrenzung der einzelnen Abschnitte auf der Spur dienen Lücken. Diese sind mit H'4E-Bytes belegt.

Für die Spur 00 ist eine Länge des physischen Satzes von 128 Bytes vorgeschrieben. Bei den Spuren für die Datenaufzeichnung kann die Länge des physischen Datensatzes

128 Bytes bei 26 physischen Datensätzen/Spur
256 Bytes bei 15 physischen Datensätzen/Spur
512 Bytes bei 8 physischen Datensätzen/Spur
1024 Bytes bei 4 physischen Datensätzen/Spur

betragen.

Die Länge aller physischen Datensätze des Datenträgers ist gleich (außer Spur 00, s. o.).

Initialisierung:

Die Minidiskette wird durch das Beschreiben jeder Spur von Anfang bis Ende ohne Unterbrechung initialisiert. Der Anfang und das Ende jeder Spur ist definiert durch den Index. Die Daten werden als 8-bit (Bytes) aufgezeichnet. Die Aufzeichnung erfolgt mit dem modifizierten Frequenzmodulationsverfahren (MFM). Das Schreiben jedes Bytes wird mit dem höchstwertigen Datenbit begonnen und endet mit dem Schreiben des niederwertigsten Datenbit. Eine binäre Eins wird durch einen Flußwechsel vollzogen. Aufeinanderfolgende binäre Nullen erhalten zur Trennung Taktflußwechsel.

Fehlerhafte Spuren:

Liegen ein oder zwei fehlerhafte physische Spuren im Datenbereich (Spur 01 ... 37) vor, werden die fehlerhaften physischen Spuren übersprungen und die logische Numerierung kontinuierlich mit der nächsten brauchbaren Spur fortgesetzt.

Die Kennzeichnungsfelder der fehlerhafter physischen Spuren sind mit H'FF aufzufüllen. Das CRC-Zeichen ist zu bilden. Alle übrigen Felder sind mit H'4E zu initialisieren. Die Spur 00 muß in jedem Fall fehlerfrei sein. Es dürfen nicht mehr als zwei Spuren fehlerhaft sein. Sind diese Bedingungen nicht erfüllt, ist die Minidiskette unbrauchbar.

Logische Einteilung der Minidiskette:

Die Spur 00 (Indexspur) ist für Aufgaben, die die Diskette und ihren Inhalt beschreiben, reserviert. Die Spuren 01 ... 37 (physisch) sind für die Datenaufzeichnung nutzbar. Die Spuren 38 und 39 (physisch) sind als Ersatzspuren reserviert, die bei der Initialisierung zugewiesen werden, wenn Datenspurten als fehlerhaft erkannt werden.

Signal Interface Steckverbinder X3 bei K 5600.10

<u>Kontakt-Bezeichnung</u>	<u>Name</u>	<u>Benennung</u>	<u>Richtung</u>
1 A	0 V	0 V-Spannung	-
2 A	+ 5 V	+ 5 V-Spannung	-
3 A	<u>MO</u>	Motor On	IN
4 A	<u>RDY</u>	Ready	OUT
5 A	<u>TO</u>	Track 00	OUT
6 A	<u>WP</u>	Write Protect	OUT
7 A	<u>FW</u>	Fault Write	OUT
8 A	<u>RD</u>	Read Data	OUT
9 A	<u>IX</u>	Index	OUT
10 A	<u>FR</u>	Fault Reset	IN
11 A	0 V	0 V-Spannung	-
12 A	0 V	0 V-Spannung	-
13 A	0 V	0 V-Spannung	-
1 B	0 V	0 V-Spannung	-
2 B	+ 5 V	+ 5 V-Spannung	-
3 B	+ 5 V	+ 5 V-Spannung	-
4 B	<u>HL</u>	Head load	IN
5 B	<u>SE</u>	Select	IN
6 B	<u>ST</u>	Step	IN
7 B	<u>LCK</u>	Lock	IN
8 B	<u>WD</u>	Write Data	IN
9 B	<u>WE</u>	Write Enable	IN
10 B	<u>SD</u>	Step Direction	IN
11 B	+ 12 V	+ 12 V-Spannung	-
12 B	+ 12 V	+ 12 V-Spannung	-
13 B	+ 12 V	+ 12 V-Spannung	-

1.6.3. Funktionsbeschreibung

Die Elektronik des Minifolienspeichers steuert in geeigneter Weise die einzelnen Mechanikbaugruppen, realisiert über den Magnetkopf den Informationsaustausch mit dem Speichermedium "Magnetplatte" und verwirklicht die Interface-Steuerung zum Rechner.

Insgesamt ist sie auf den zwei Steckeinheiten "Antriebssteuerung" und "Interface-Steuerung" angeordnet. Funktionell gliedert sich die gesamte Elektronik wie folgt:

- Auswahllogik
- Kontroll- und Statuslogik

- | | | |
|---------------------------------|---|------------------------------------|
| - Positionierelektronik | } | Steckeinheit "Interface-Steuerung" |
| - Wiedergabeelektronik | | |
| - Aufzeichnungselektronik | | |
| - Interface-Treiber | | |
| - Magnetverstärker | } | Steckeinheit "Antriebssteuerung" |
| - Schrittmotorverstärker | | |
| - Motorregelung und -verstärker | | |
| - Hilfsspannungserzeugung | | |

Auswahllogik

Die Auswahllogik verarbeitet als kombinatorische Logik die Eingangssignale MO, SE, ST, SD, LCK, HL, WE und FR.

Alle Eingangssignale sind zur Vermeidung von Reflexionen auf dem Anschlußkabel mit Widerstandskombinationen 220 Ohm/330 Ohm gegen + 5 V bzw. Masse auf der Steckeinheit wellenwiderstandsgerecht abgeschlossen. Die Weiterverarbeitung erfolgt über TTL-Gatter, wobei jedes Signal nur mit einer TTL-Lasteinheit belastet ist. Das Signal MO gelangt über einen im Laufwerk angebrachten Schalter mit der Bezeichnung SMO (Schalter Motor On) auf die Ste "Interface-Steuerung". Bei betätigtem Spannmechanismus und damit geschlossenem Schalter SMO liegt bei aktivem MO über die beiden Negatoren 23/04 und 23/06 0-Potential am Steuereingang der Motorregelung. Hierdurch wird der Motor für die Spindelbewegung eingeschaltet und läuft mit geregelter Drehzahl so lange, bis MO 1-Potential führt.

Das Signal SE ist verantwortlich für die Aktivierung des gesamten Minifolienspeichers und ermöglicht das Wirksamwerden der Signale ST, HL und WE, sowie der gesamten Kontroll- und Statuslogik.

Die Auswahl des MFS durch SE wird von einer in der Frontplatte befindlichen Luminiszenzdiode sichtbar gemacht. Ihre Ansteuerung erfolgt über Kontakt X17 (LDSE) durch den R16.2 vorgeschalteten Negator. Das Schrittsignal ST steht mit SE verknüpft am Ausgang 06 des 2fach-Nand 18 zur Weiterverarbeitung zur Verfügung. Die gleiche Verknüpfung erfolgt mit dem Kopfladesignal HL in 24/06 und mit WE in 5/03.

Kontroll- und Statuslogik

Die Kontroll- und Statuslogik dient der Erfassung und Meldung charakteristischer Betriebs- und fehlerhafter Steuerzustände.

- Signal \overline{IX} (Index)

Das Signal IX wird vom MFS durch ein Fotosystem gebildet und auf der Steckeinheit "Interface-Steuerung" mit spez. Triggerschaltkreis 13 TTL-gerecht verstärkt.

Nach der Verknüpfung mit SE im Schaltkreis 11/06 steht das verstärkte und bewertete Signal am Kontakt A9 zur Verfügung.

- Signal $\overline{T0}$ (Track zero)

Die Bildung des Signals T0 geschieht analog dem Indexsignal.

Der Signalweg verläuft vom Kontakt X16 mit dem Fototransistorarbeitswiderstand R22.1 über den Triggerschaltkreis A14 und anschließender SE-Verknüpfung bis zum Ausgang A5.

- Signal \overline{WP} (Write protect)

Das Signal \overline{WP} wird im MFS von einem die entsprechende Diskettenhüllenausparung abtastenden Mikroschalter erzeugt. Bevor das Signal den zugehörigen Kabelsender aktiviert, wird es im Schaltkreis 9/08 mit SE bewertet und kann schließlich am Ausgang A6 entnommen werden.

- Signal \overline{RDY} (Ready)

Mit dem Signal \overline{RDY} meldet das MFS seine Betriebsbereitschaft. Gebildet wird es durch Zählen von 5 Indeximpulsen in der D-FF-Zählkette Schaltkreise 8 und 19 bei gleichzeitig aktiven Signalen SE und HL am Ausgang 6 des Schaltkreises 24. Der Zählvorgang von 4 Indeximpulsen entspricht der max. Motorstartzeit. Bei Wegschalten von \overline{MO} wird der Zähler in seinem Grundzustand versetzt, so daß bei Neustart für die \overline{RDY} -Bildung wiederum der Zählvorgang ablaufen muß. Wird das MFS nur durch Wegschalten von SE inaktiviert, bleibt das Zählergebnis als Kennung des laufenden Motors gespeichert, bei erneuter Aktivierung steht damit das \overline{RDY} -Signal sofort zur Verfügung. \overline{RDY} kann am Ausgang A4 entnommen werden.

- Signal FW (Fault write)

Mit dem Signal FW meldet das MFS fehlerhafte Schreibsteuerungen. Solche Steuerungen liegen vor, wenn bei aktivem Signal \overline{WE} Positionsschritte ausgeführt werden sollen bzw. das MFS sich in nicht schreibbarem Zustand (kein \overline{RDY} , \overline{WP} aktiv) befindet oder dem anliegenden Signal \overline{WE} keine Schreibdaten \overline{WD} folgen. Gebildet und gespeichert wird FW in dem zu einem Zähler zusammenschalteten D-FF Schaltkreis 10. Das Schreibfehler bedeutende 0-Potential am Ausgang 08, Schaltkreis 10 stellt sich auf zwei Wegen unter Nutzung der statischen oder dynamischen Eingänge der FF's ein. Die statischen Bedingungen Schritt, Ready und Schreibsperre werden im Schaltkreis 3/12 verknüpft und bewirken bei aktivem \overline{WE} über 5/11 und die Eingänge 10/01 und 10/10 das Einschalten des Schreibfehlers. Der an den Takteingängen anliegende Zähler 20 kHz-Positioniertakt bewirkt nach spätestens 100 us (von 2 Takten) bei aktivem \overline{WE} und fehlenden \overline{RDY} -Impulsen 0-Potential am Ausgang 08. Sind Schreibdaten vorhanden, so verhindern diese nach Passieren der Impulsverkürzerstufe 25/06 und 24/12 über die statischen Eingänge 10/04 und 10/13 durch ständiges Rücksetzen des Zählers das Ankippen des D-FF 10/08 und damit ein Einschalten des Schreibfehlers. Auf die gleichen Eingänge wirken verknüpft durch das NAND-Gatter 24/08 die Signale SE und FR. Damit wird der Zähler rückgesetzt bzw. bei nicht angewähltem Laufwerk ($SE = 1$) in Grundstellung gehalten.

Positionierelektronik

Die Positionierelektronik gewährleistet in Verbindung mit

dem Schrittmotorverstärker eine zeitoptimale Positionierung des Kopfschlittens. Ausgangspunkt eines Positionierschrittes ist ein 0-Impuls am ST-Eingang. Bei aktivem Laufwerk ($SE = 0$) wird dieses Schrittsignal im Selbsthaltekreis 18/08 und 18/11 für die mechanische Schrittdauer zwischengespeichert und damit gleichzeitig über Schaltkreis 18/03 der Hilfsstakt zur Steuerung des weiteren Funktionsablaufes freigegeben. Die Takterzeugung erfolgt durch Schaltkreis 2 im Zusammenwirken mit den umliegenden frequenzbestimmenden Bauelementen C10.1, R5.2, R24.1 und R23.1. Schaltungs- und Bauelementwahl gewährleisten die notwendige Stabilität des Taktes mit einem Nennwert von 20 kHz, welcher mittels Widerstand R24.1 eingestellt wird. Die einzelnen Taktimpulse werden durch zwei in Reihe geschaltete 4-bit-Zähler (Schaltkreis 16 und 17) gezählt und ändern damit alle 50 μ s die 8-bit-Adresse des an die parallelen Ausgänge der Zählkette geschalteten PROM (Schaltkreis 15 06).

Der Start des Zählvorganges aus der Grundstellung 0 wird erreicht, indem in den Positionierpausen die statischen Rücksetzeingänge 14 der Zählerkreise 16 und 17 vom Gatter 17/11 mit aktivem 1-Potential beschaltet werden. Von der byteseriellen Ausgabe des PROM ist der Informationsinhalt der 3 hochwertigen bit den Schrittmotorphasen zugeordnet. Die niederwertigen bit 1 und 2 beenden den Positionierschritt nach 240 Takten (= 12 ms) bzw. verhindern Positionierungen über die Spur 0 hinaus. Die hierzu notwendigen logischen Verbindungen vollziehen die Gatter 3/09, 9/03 und 9/06.

Das Ändern der Drehbewegung geschieht, festgelegt durch das Signal SD, durch Vertauschen der Zuordnung der Statoren 1 und 3 (SM1, SM3) an den PROM-Ausgängen 09 und 11 mit Hilfe des Schaltkreises 20 (20/03, 20/06, 20/08, 20/11). Bei $SD = 0$ -Potential bewegt sich der Kopfschlitten zum Diskettenzentrum. Zur Reduzierung der Halteerregung des Schrittmotors in der Positionierpause ist die Steuerung der Schrittmotorphase 2 unabhängig vom PROM 15 zusätzlich mit dem Signal SM 2 s möglich. Die Information hierfür liefert das Gatter 18/11 im Speicherkreis für das Schrittmotorsignal ST. Die genaue Statoraktivierung während eines Positionierschrittes ist in Abb. 1 ersichtlich.

Interface-Treiber

Die Interface-Treiber haben eine Stromergiebigkeit - 48 mA und sind mit diskreten Bauelementen aufgebaut (Transistoren V10.2 - V10.7). Als Steuergatter dienen NAND-Schaltkreise mit offenem Kollektor. Im Zusammenwirken mit den 1 kOhm-Lastwiderständen (Netzwerk W1.1, R12.11) stellen sie den für eine ausreichende Sättigung der Schalttransistoren notwendigen Basisstrom zur Verfügung. Bei ordnungsgemäßem Abschluß der Leitungsenden können mit den Interface-Treiberstufen Kabellängen von max. 5 m (105 Ohm-Flachbandkabel) getrieben werden.

Magnetverstärker

Die Erregung der beiden Magnete des MFS erfolgt durch die Kollektorströme der vom Open-Kollektor-Gatter gesteuerten Transistoren V7.1 und V7.2. Die induktiven Abschaltspannungsspitzen werden von den beiden Freilaufdioden V8.1 und V8.2 begrenzt.

Schrittmotorverstärker

Der Bauelementeaufwand für den Schrittmotorverstärker ist aufgrund der von der Positionierelektronik in geeigneter Weise taktiert bereitgestellten Ansteuerimpulse relativ gering. Für die drei Motorphasen ist der Aufbau des Verstärkers gleich. Die einzelnen Wicklungen liegen dabei jeweils im Kollektorkreis der Kleinleistungstransistoren V5.1, V5.2, V5.3. Der Basisstrom für diese Transistoren fließt über die Widerstände R10.2, R10.3, R10.4 und wird von den Vorstufentransistoren V4.1, V4.2, V4.3 gesteuert. 0-Potential am Eingang der Vorstufen bewirkt einen Stromfluß in der entsprechenden Schrittmotorphase. Durch die Impulslängenmodulation der Phasensteuerung (SM1, SM2, SM3) wird in Verbindung mit den Freilaufbauelementen R12.1, V9.1, V9.2 usw. erreicht, daß im Schrittmotor nach kürzest möglicher Anstiegszeit ein günstiger Feldabbau erfolgt. Zur Reduzierung der Motorverlustleistung bei Stillstand schaltet der zusätzliche PNP-Transistor V6.1 für die Phase 2 die Betriebsspannung von + 12 V ab. Stattdessen wird über die Diode V12.1 die + 5 V-Versorgungsspannung mit einem entsprechend geringeren Motorstrom (ca. 500 mA) wirksam. Erreicht wird dieser Zustand mit 0-Potential am Eingang X1 (SM2s). Damit wird der Vorstufentransistor V4.4 stromlos.

Motorregelung und -verstärker

Die hochkonstante Regelung der Motordrehzahl kommt ohne zusätzliche Geber aus und erfolgt prinzipiell durch getastete Vergleichsmessung der drehzahlproportionalen Generatorspannung des Motors. Ausgangspunkt dieser rhythmischen Messung ist der vom Schaltkreis 03 mit Randbauelementen erzeugte Hilfstakt von ca. 1 kHz und einem Tastverhältnis von ca. 1:7. In der kurzen Taktzeit arbeitet dabei der Motor als Meßgenerator, in der langen Taktzeit als Antriebselement. Die lange Taktzeit erscheint am Ausgang 06 des Schaltkreises 03 als 0-Potential. Der Regelkreis selbst setzt sich aus der Schaltung zur Bildung der drehzahlproportionalen Istwertspannung, aus dem Spannungsregelschaltkreis mit Sollwert-Spannungsbereitstellung und dem Stellglied zusammen. Für die Zeit der Probenentnahme zur Istwertbildung wird das Stellglied V5.4 vom Regelschaltkreis 01 über den Transistor V1.2 getrennt. Damit wird dem Motor keine Energie mehr zugeführt und am Emitter von V5.4 liegt nach erfolgtem Feldabbau (Diode V11.1, Z-Diode V10.1) die drehzahlproportionale Generatorspannung an.

Diese Spannung wird über den Emitterfolger V3.1 im Kondensator C7.1 gespeichert. Nach Ablauf der Meßzeit ist vom Taktgenerator 03 Ausgang 06 über die Diode V8.3 der Transistor V3.1 durch 0-Potential an der Basis gesperrt. Die analoge Meßgröße steht für den weiteren Regelvorgang vom Emitterfolger V2.1 widerstandstransformiert schließlich am Eingang 02 des Spannungsregelschaltkreises zur Verfügung. Die bei erforderlicher Abwärtsregelung notwendige Spannungsreduzierung an C7.1 erfolgt in der Meßzeit über die Strecke V8.4, R5.2, V4.5. Die komplementäre Ausführung der Emitterfolger V3.1 und V2.1 ermöglicht eine weitgehende Kompensation der Störgröße "Temperaturgang der Basis-Emitterspannung". Der Schaltkreis 01 vergleicht den Istwert am Eingang 02 mit dem eigenerzeugten, hochkonstanten, mit R13.1 einstellbaren Sollwert und verstärkt die Spannungsdifferenz. Damit ändert sich der als Stellgröße wirkende Pegel am Ausgang 01/06 entsprechend Höhe und Polarität der Differenz. Bei leitendem Transistor V1.1 (nichtleitend in der Meßzeit) gelangt die erzeugte Stellgröße über den stromverstärkenden Transistor V5.4 schließlich als veränderliche Betriebsspannung an den Antriebsmotor (Signal Mo+). Zur Unterdrückung von Regelschwingungen ist eine kapazitive Rückkopplung der Stellgröße (C4.1, R14.1) vorgesehen. Der gesamte Regler bekommt hierdurch eine PI-Regelcharakteristik. Der Widerstand R9.1 koppelt zusätzlich einen geringen Gleichspannungsanteil an den Eingang 01/02 zurück und kompensiert damit die aus der endlichen Feldabbauzeit resultierende Tendenz zur Vorwärtsregelung. Das Abschalten der Regelung und damit des Motors geschieht mit dem Signal SMO unter Benutzung des Eingangs 01/10.

Hilfsspannungserzeugung

Zur Versorgung des PROM-Schaltkreises 15 sowie des Komparators 6 auf der Ste "Interface-Steuerung" ist eine negative Betriebssteuerung notwendig. Die Spannung - 9 V wird intern auf der Steckereinheit "Antriebssteuerung" mit dem NF-Verstärker-Schaltkreis 02 aus der positiven Betriebsspannung + 12 V gewonnen. In Verbindung mit dem Rückkoppelwiderstand R3.7 und dem Kondensator C8.1 erzeugt der Schaltkreis 02 am Ausgang 06 Rechteckschwingungen mit einer Frequenz von ca. 50 kHz. Diese Wechselspannung wird mit der Verdopplerschaltung C1.1, V7.1, V7.2 zu einer negativen Spannung von ca. - 9 V gleichgerichtet. Vorhandene hochfrequente Störspitzen werden mit Hilfe des Siebgliedes C1.2, L1.2 vom Anschlußpunkt X13 ferngehalten.

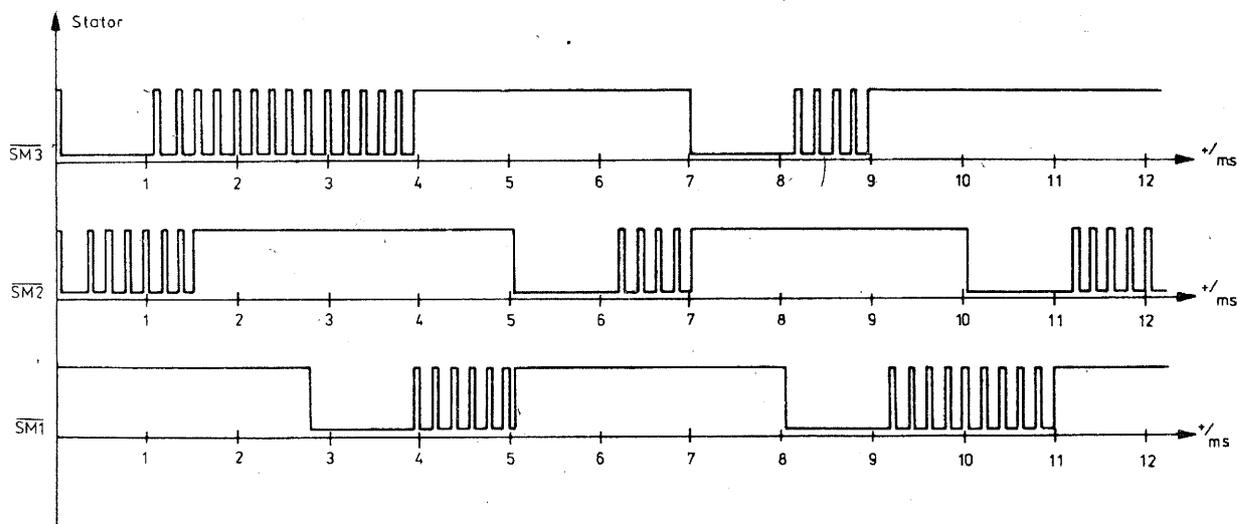


Abb. 1 Impulsverteilung auf Schrittmotorphasen (48 tpi)

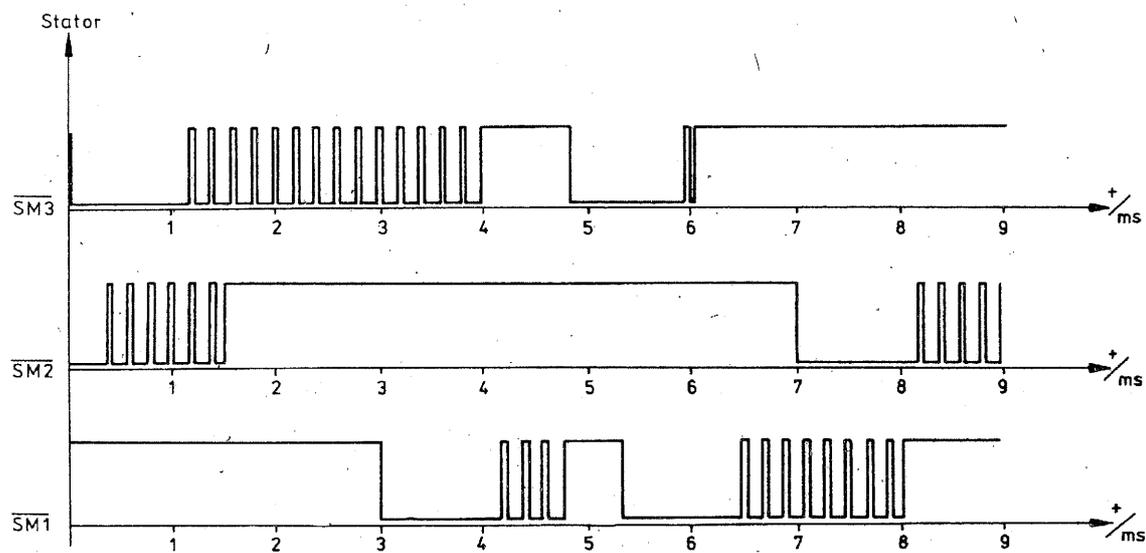


Abb. 2 Impulsverteilung auf Schrittmotorphasen (96 tpi)

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0401	1203	1201	1201	1201	1201	1201	1201	0801	1201	1201	1201	0801	1201	1201	1201
1	0801	1201	1201	1201	0801	1201	1201	1201	0001	1201	1201	1201	0001	1201	1201	0801
2	0001	0801	0801	0801	0001	0801	0801	0801	0001	0801	0801	0801	0001	0801	0801	0801
3	0001	0801	0801	0801	0001	0801	0801	0801	0201	1001	1001	1001	0201	1001	1001	1001
4	0201	1001	1001	1001	0201	1001	1001	1001	0201	1001	1001	1001	0201	1001	1001	0801
5	0201	0201	0201	0001	0201	0201	0201	0001	0201	0201	0201	0001	0201	0201	0210	0001
6	0201	0201	0201	0001	0201	0401	0401	0401	0401	0401	0401	0401	0401	0401	0401	0401
7	0401	0401	0401	0401	0401	0401	0401	0401	0401	0401	0401	0401	0003	0401	0401	0401
8	0001	0401	0401	0401	0001	0401	0401	0401	0001	0401	0401	0401	0001	0801	0801	0801
9	0801	0801	0801	0801	0801	0801	0801	0801	0801	0801	0801	0801	0801	0801	0801	0801
10	0801	1001	1001	1001	0201	1001	1001	1001	0201	1001	1001	1001	0201	1001	1001	1001
11	0201	1001	1001	1001	0201	0201	0201	0201	0001	0201	0201	0201	0001	0201	0201	0201
12	0001	0201	0201	0201	0001	0201	0201	0201	0001	0601	0601	0601	0401	0601	0601	0601
13	0401	0601	0601	0601	0401	0601	0601	0601	0401	0601	0601	0601	0401	0401	0401	0401
14	0001	0401	0401	0001	0001	0401	0401	0401	0001	0401	0401	0401	0001	0401	0401	0401
15	0001	0400	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000

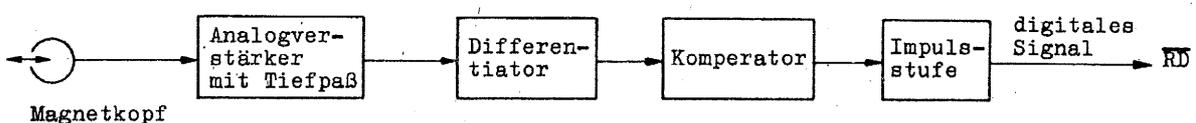
Abb. 3 PROM Speicherbelegung MFS K 5600.10

Aufzeichnungselektronik

Die Aufzeichnungselektronik stellt die Ströme für das Aufzeichnen von Informationen auf die Diskette und für den Tunnellöschvorgang bereit. Die Schreibdaten WD gelangen nach der Eingangsstufe 25/04 unmittelbar zum Aufzeichnungs-FF 8. Bei angewähltem Laufwerk und aktivem Signal WE wird, vorausgesetzt es ist kein Schreibfehlersignal FR eingeschaltet, das FF 8 durch die WD -Impulse getriggert. Die nachfolgenden Gatter 7/08 und 7/11 sind mit den FF-Ausgängen (06,05) verbunden und schalten ausgangsseitig durch Emittersteuerung die Konstantstromquellen $V4.2$ und $V4.3$. Festgelegt durch das getriggerte FF 8 fließt beim Aufzeichnen abwechselnd, von jeweils einer Konstantstromquelle ausgehend, durch die Kopfwicklungshälften ein Schreibstrom, dessen Größe von der Z-Diodenspannung $V5.1$ und den Emitterwiderständen $R19.1$, $R19.2$ bestimmt ist (6 mA). Die vor den Kopfanschlüssen liegenden Widerstands-Diodenkombination $R18.2/V3.4$ und $R18.1/V3.3$ dienen zusammen mit der Hilfsspannung - 9 V dem Abkoppeln der störspannungsbehafteten Sprechstromleiterbahnen. Der zum kompletten Aufzeichnungsvorgang gehörende Tunnellöschstrom wird von der Stromquelle $V4.4$ bereitgestellt. Stromführend wird dieser Transistor unter den gleichen logischen Bedingungen, die für die Informationsaufzeichnung unmittelbar gelten. Zum Ausgleich der Wegdifferenz zwischen Aufzeichnungs- und Tunnellöschspalt wird das Ein- und Ausschalten des Löschstromes durch eine Zeitstufe (Schaltkreis 7/06, $R20.1$, $R22.3$, $C3.5$ und Triggerschaltkreis 12 verzögert.

Wiedergabeelektronik

Die Wiedergabeelektronik hat die Aufgabe, das Lesesignal des Magnetkopfes zu verstärken und zur Weiterbearbeitung im Rechner geeignet zu digitalisieren. Die einzelnen Funktionsgruppen gibt das folgende Blockschaltbild wieder.



Den Hauptanteil der Verstärkung des analogen Hörsignals übernimmt der Schaltkreis 1 (A244). Dieser Schaltkreis ist als Rundfunkempfänger-Schaltkreis konzipiert und besitzt die hierfür charakteristischen Schaltungskomplexe Vorstufe, Mischstufe, Oszillatorstufe, ZF-Verstärker sowie zwei Regelverstärker.

Außer der Oszillatorstufe werden alle Schaltungskomplexe geeignet zur Verstärkung des Kopfsignals genutzt, wobei die mögliche Gesamtverstärkung von über 100 dB eine große Reserve darstellt und nur zu einem geringen Teil genutzt wird. Der symmetrische Aufbau der Innenschaltung sichert eine große Dämpfung von Gleichtaktstörungen. Die Mischstufe des

Schaltkreises arbeitet durch Beschaltung des Mischereinganges 04 im Linearbetrieb als Verstärker. Die Wiedergabespannung in der Größenordnung von einigen Millivolt wird kapazitiv (C4.3, C4.4) in die Eingänge (01, 02) der HF-Vorstufe angekoppelt. Die Widerstands-Diodenkombination R8.1, R8.2, V3.1, V3.2 dient der Begrenzung der beim Aufzeichnen anliegenden hohen Wechselspannung auf zulässige Werte. Nach Passieren der Vorstufe und Mischstufe steht das bereits verstärkte Signal an den Ausgängen 15, 16 zur Verfügung. Über C4.1 und C4.2 gelangt es in die symmetrischen Eingänge 11, 12 des integrierten ZV-Verstärkers, von dessen Ausgang 07 es im anschließenden diskreten Schaltungsteil weiter verarbeitet wird. R4.1 legt den Arbeitspunkt der Endstufe in einen günstigen Ansteuerbereich, C6.1 dient der Unterdrückung "wilder Schwingungen". Die anschließende Transistorstufe V2.1 entkoppelt die Regelspannungserzeugung vom Nutzsignal und paßt das nachgeschaltete Tiefpaßfilter an den relativ hochohmigen Ausgang 07 des Schaltkreises 1 an. Die Verstärkung der Stufe ist dabei so dimensioniert, daß die in Spannungsverdoppeler-Schaltung (V3.7, V3.8) arbeitende Mittelwertgleichrichtung an C5.2 eine geeignete Gleichspannung zur Verstärkungsregelung des Schaltkreises 1 bereitstellt.

C1.1 wirkt dabei als Hochpaß und verhindert zusammen mit den verkoppelten Zeitkonstanten C5.2/R1.1 und C5.3/R13.2 niederfrequente Regelschwingungen bei ausreichender Schnelligkeit der Regelung. Eine schnelle Regelung ist Bedingung für ein rasches Anpassen der Verstärkung an die unterschiedlichen Signalpegel beim Übergang von Aufzeichnen auf Wiedergabe (Wiedergabebereitschaftszeit 1 ms).

Die erzeugte Regelspannung gelangt an den Eingang 1/09 und beeinflusst unmittelbar die Verstärkung der ZF-Stufe. Die Regelung der Vorstufe geschieht getrennt über den Eingang 1/03. Dieser erhält die Regelspannung vom Ausgang 1/10 mit einer Spannungsteilung zwischen dem Innenwiderstand und R4.2.

Der geregelte Spannungspegel am Ausgang 1/07 bzw. Meßpunkt X26 beträgt ca. 1 V. Zur Unterdrückung von Störungen wird die Betriebsspannung für den Schaltkreis 1 mit dem Integrationsglied R17.2/C7.1/C3.2 zusätzlich gesiebt.

Der weitere Signalweg der Wiedergabespannung geht vom Emitter des Transistors V2.1 zum Tiefpaßfilter, bestehend aus R7.2/C11.2/C11.1/R7.1. Der Filter ist induktivitätswirksam aufgebaut und hat mit einer Grundfrequenz von ca. 240 kHz die Aufgabe, hochfrequente Störungen der Wiedergabespannung von der sich anschließenden aktiven Differenzierschaltung fernzuhalten. Da die Extremwerte der Wiedergabespannung den Informationsgehalt der magnetischen Flußwechsel am besten dokumentieren, ist die Differentiation des Signals eine geeignete Methode zum Erkennen der Spannungsmaxima und -minima. Der Differentiator setzt sich im wesentlichen aus der Transistorstufe V2.2 mit kapazitivem Emitterwiderstand (C3.3) und der Konstantstromquelle V2.3 zusammen. Die Basiswechselspannung an V2.2 hat durch den sehr hohen Wechsel-

stromwiderstand der Konstantstromquelle einen von C3.3 bestimmten 90° voreilenden Basisstrom zur Folge. Der mit dem Basisstrom phasengleiche Kollektorstrom von V2.2 bewirkt am Kollektorwiderstand R11.2 einen gegenüber der Eingangsspannung 90° phasenverschobenen Spannungsabfall, was einer Differenzierung der Wiedergabespannung gleichkommt. Insgesamt wirkt die Differenzierschaltung wie ein im Sperrbereich betriebener Hochpaß 1. Ordnung, d. h. der Frequenzgang der Verstärkung hat einen Anstieg von 6 dB pro Oktave. Diese Überbewertung störender hoher Frequenzen wird durch das vorgeschaltete Tiefpaßfilter kompensiert. Das differenzierte Signal wird in der anschließenden Verstärkerstufe V4.1 von hochfrequenten Störungen auf der Betriebsspannung entkoppelt und steht am Kollektoranschluß zur Weiterverarbeitung (Digitalisierung) zur Verfügung.

Die Digitalisierung beginnt mit dem Erkennen der Spannungsnulldurchgänge durch den Komparator-Schaltkreis 6. Das kapazitiv angekoppelte (C7.6) differenzierte Signal (Meßpunkt X25) wird dabei durch den Komparator in eine Rechteckspannung mit TTL-gerechten Pegeln gewandelt. Im Anschluß werden zu jeder Flanke über die zwischengeschalteten NAND-Gatter (11/11 und 11/03) und kapazitive Impulsbildung (C9.1, C9.2, V3.8, V3.10, V3.11, V3.12, R1.2, V10.1) digitale Informationssignale von ca. 60 ns Breite geformt. Ein prinzipielles Impulsdiagramm zur gesamten Wiedergabe-elektronik ist in der Abbildung 5 dargestellt. (Lesesignal einer mit dem Inbetriebnahmegerät beschriebenen Diskette-Schreibdaten Schalterstellung 2, Zeitbasis 2 μ s, Verstärkung 0,5 V/ τ)

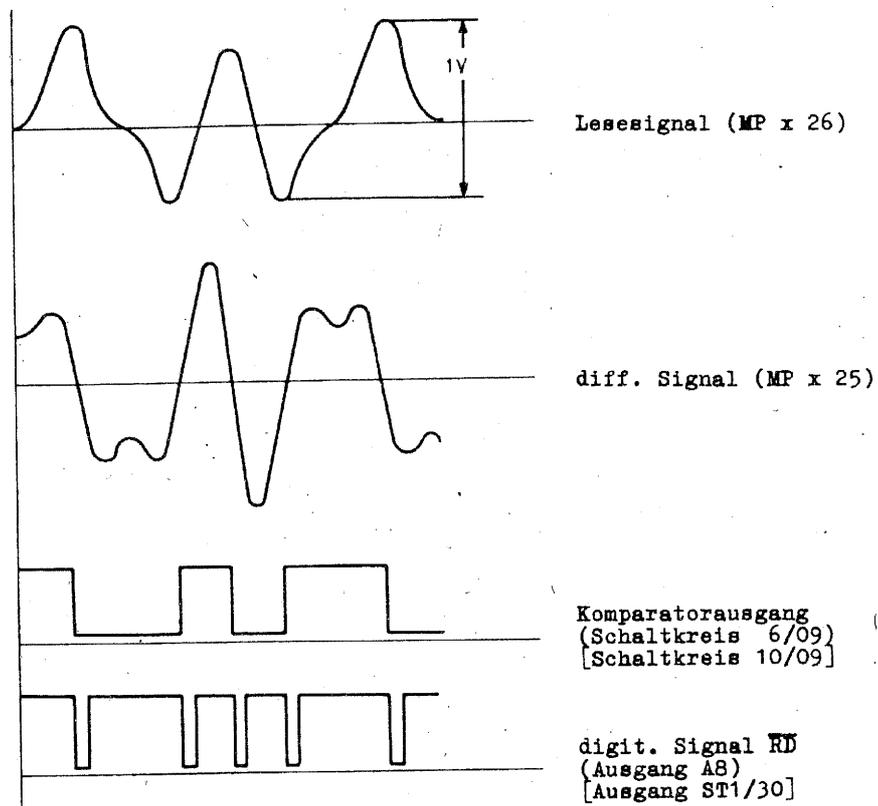


Abb. 5

Kurzzeichenübersicht

<u>Kurzzeichen</u>	<u>englisch</u>	<u>deutsch</u>
AM	address marker	Adressmarke
ARDY	A-ready	Quittungssignal des PIO Tor A
ASTR	A-strobe	Steuersignal des PIO Tor A
BAI	bus acknowledge input	Bus-Bestätigung-Eingabe
BAO	bus acknowledge output	Bus-Bestätigung-Ausgabe
BRDY	B-ready	Quittungssignal des PIO Tor B
BSTB	B-strobe	Steuersignal des PIO Tor B
BUSRQ	bus-request	Busanforderung
C1, C2	clock	Takt
DAM	data adress marker	Datenadressmarke
DB0 ... DB7	bus data	Datenbus
DIEN		Steuerung der Datenfluß-richtung
DÜ		Datenübernahme
EDC	error detecting code	Fehlererkennungsschlüssel
FA	fault adapter	Fehler - Adapter
FR	fault reset	Fehler rücksetzen
FW		Fehler - Laufwerk
HL	head load	Kopf laden
ID	identification label	Identifikationsmarke
IEI	interrupt enable input	Unterbrechungsgenehmigung Eingabe
IEO	interrupt enable output	Unterbrechungsgenehmigung Ausgabe
INT	interrupt	Unterbrechung
IOOI	input/output disable	Eingabe/Ausgabe abschalten
IORQ	input/output request	Eingabe/Ausgabe anfordern
IX	index	Index
K1 ... K4		Kopfanschluß
KL		Kontrollesen
KM		Kopfmagnet
LCK	lock	Verriegelung

<u>Kurzzeichen</u>	<u>englisch</u>	<u>deutsch</u>
LDIX		Infrarotdiode für Index- locherkennung
LDT0		Infrarotdiode für Spur 00-Erkennung
LDSE		Infrarotdiode für Lauf- werkauswahl
LT		Lesetakt
M1		Maschinenzyklus
MK		Marke
MKE		Marke erkannt
MO		Motor ein
MR		Marke rücksetzen
NS		nachfolgender Bitraum
PH		Phase (Anschluß für Schrittmotor)
PLL	phase lock loop	Phasenverriegelschleife
PT		Prüftakt
RD	read data	Lesedaten
RDY	ready	Bereitschaft
RDYL		Laufwerk bereit
RESET	reset	Rücksetzen
RK		Rückkopplung
SD	step direction	Schrittrichtung
SE	select	Auswahl
SMD		Schalter für Motor ein
SM1 ... SM3		Schrittmotoranschluß
SP		Spur
ST	step	Schritt
STR	start	Start
SYN		Synchronisation
TO	track 00	Spur 00
VM		Verriegelungsmagnet
VS		vorangegangener Bitraum
WD	write data	Schreibdaten
WE	write enable	Schreibgenehmigung
WP	write protect	Schreibschutz
WPS		Schalter für Schreib- sperre

1.7. Display K7221.25/K7222.25

Diese Beschreibung gilt für beide Geräte. Die Angaben, die sich vom K7221.25 unterscheiden, sind in Klammern gesetzt.

1.7.1. Allgemeines

Der Display ist eine Baugruppe zur visuellen Informationsdarstellung mittels einer Bildröhre. Er enthält nur die elektrischen Funktionsgruppen, die zur Erzeugung eines Bildfeldes auf der Bildröhre erforderlich sind (Ablenkstufen, Hochspannungserzeugung, Videosignal-Endverstärker) sowie die dazu erforderlichen Stromversorgungsblöcke. Außerdem sind Empfangsstufen für die die Informationen bzw. Steuersignale übertragende Kabel vorhanden. Die Aufbereitung der auf diesen Kabeln übertragenen Signale erfolgt auf der ZRE Steckeinheit, die räumlich getrennt vom Display in der Systemeinheit des 1715 untergebracht ist. Sie enthält auch den erforderlichen Bildinhaltspeicher.

Die Anzahl der darzustellenden Zeichen, der Zeichenvorrat, die Helligkeit K7222.25 und das Format des zur Zeichenerzeugung dienenden Punktrasters werden ausschließlich von der Anschlußsteuerung bestimmt.

1.7.2. Bauelementebasis

Außer den für ein Display typischen Bauelementen - Bildröhre mit Ablenkeinheit - sind die übrigen Baugruppen aus diskreten Bauelementen (Transistoren, Dioden, Widerstände, Kondensatoren und Wickelbauelementen) aufgebaut. Lediglich die Funktionsgruppe Kabelempfänger enthält einen integrierten Schaltkreis des Typs D 200.

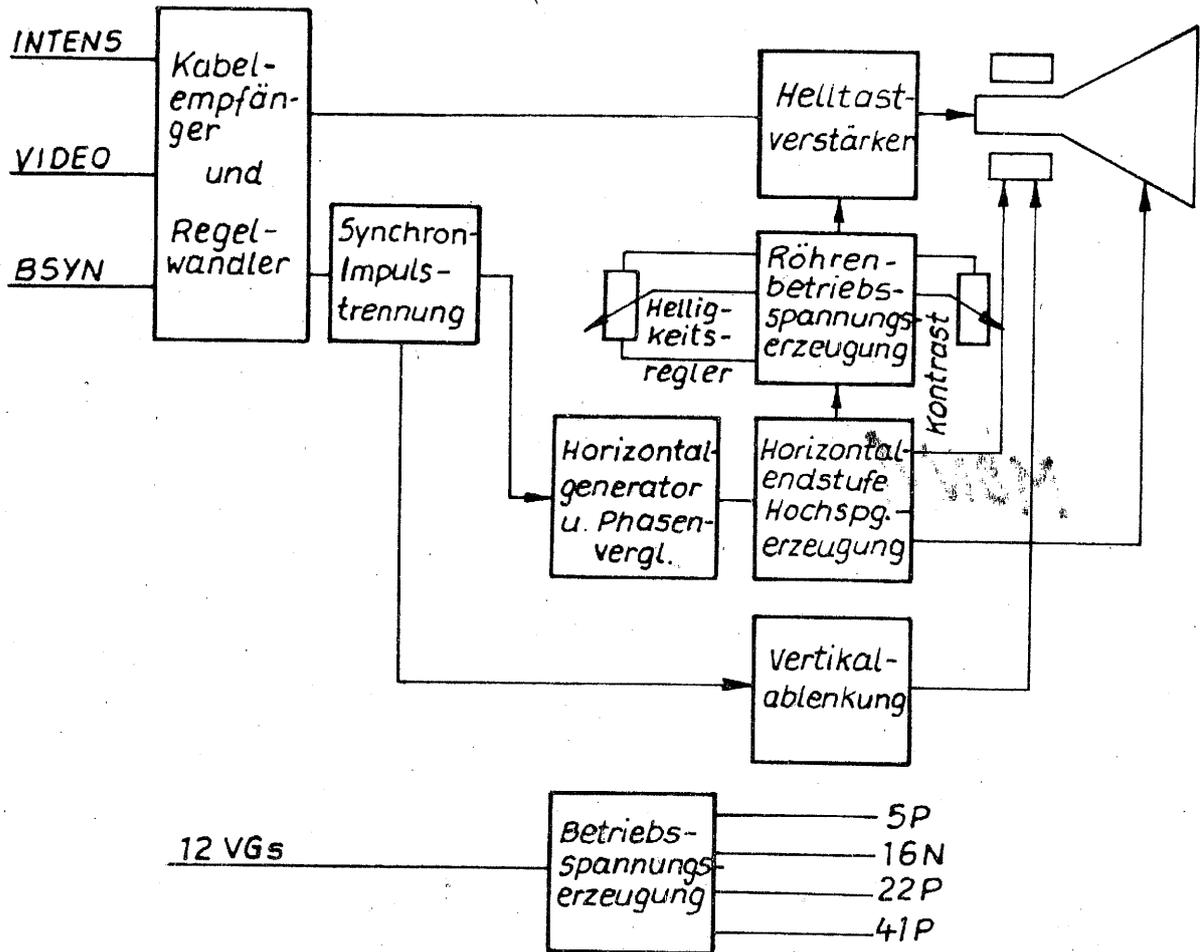
1.7.3. Konstruktiver Aufbau

Das Chassis des Display besteht aus einem Rahmen, an dessen vorderem und hinterem Ende jeweils ein weiterer Rahmen senkrecht stehend angeordnet wurde. Diese Rahmen enthalten die Befestigungspunkte für die anderen Baugruppen des Gerätes. Am vorderen Rahmen sind die Bildröhre, die Blende, der Helligkeitsregler sowie die Scharniere für die Leiterplatten befestigt. Bei den Auftischvarianten der Display (K7221.25 und K7222.25) ist das Chassis auf einem zwischen zwei Anschlägen drehbaren Sockel angebracht.

Im Wartungs- und Reparaturfall können Haube und Rückwand entfernt werden.

Außer Bildröhre, Ablenkeinheit und Helligkeitsregler sind alle elektrischen Bauelemente auf jeweils 3 Leiterplatten angeordnet. Die Leiterplatte für die Baugruppe Hellstärker trägt die Röhrenfassung und ist somit unmittelbar am Röhrenhals angebracht. Die anderen Leiterplatten sind senkrecht stehend, schwenkbar am Chassis befestigt. Die elektrischen Baugruppen sind über Kabel mit Steckern unterein-

ander verbunden. Die Verbindungskabel zur Anschlußsteuerung und zur Stromversorgung werden auf der Verteilerplatte angeklemt und am Chassis zugentlastet. Die Baugruppen Bildröhre, Ablenkeinheit, Ablenkleiterplatte vom 7221.25 stimmen mit denen des tragbaren Kofferfernsehempfänger "combi-vision 310" überein.



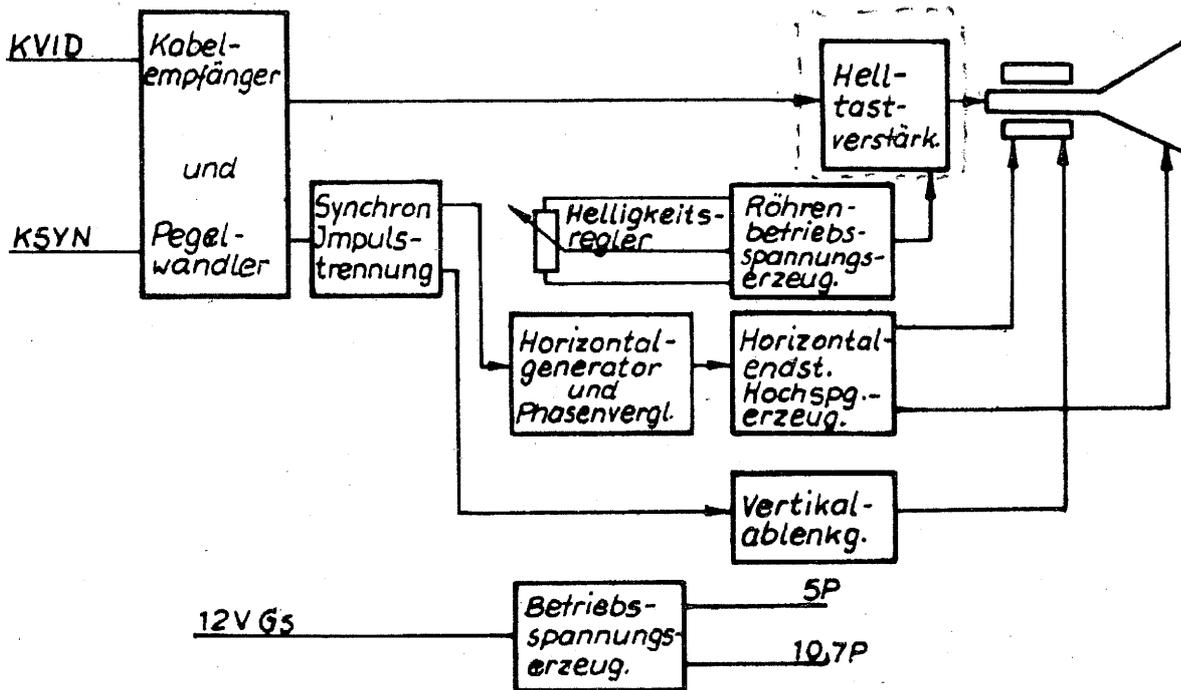
McN'2

Blockschaltbild 7222.25

1.7.4. Funktionsbeschreibung

1. Blockschaltbild

Im Blockschaltbild sind die im folgenden beschriebenen Funktionsblöcke dargestellt.



MON 1

Blockschaltbild K7221.25

1.7.5. Kabelempfänger und Pegelwandler

Die in der Anschlußsteuerung erzeugten und über Koaxialkabel zum Display übertragenen Signale KSYN und KVID (BSYN, VIDEO INTENS) werden über Kabelempfängerstufen bzw. Pegelwandler den Funktionsgruppen "Synchronimpulstrennung" bzw. "Hellstastverstärker" zugeführt.

Die Widerstände R2:X und R12:X (R9:X; R8:X) bilden die Kabelabschlußwiderstände. Durch den Schaltkreis A1 erfolgt eine Regenerierung der Impulsflanken. Der für die Synchronimpulstrennung notwendige Eingangspegel (Low ca. 0,5 V, High = 10,7V) wird durch die Schaltstufe V3, R9, R10, C3 (V6; R10; R11; C3) erzeugt. Der Widerstand R11 (R5) erhöht im High-Zustand des Signals KVID (VIDEO) den Steuerstrom für den Eingangstransistor des Hellstastverstärkers.

1.7.6. Hellstastverstärker

Die Bildröhre wird an der Katode mit einer positiven Impulsspannung gesteuert (Low $\hat{=}$ hell, High $\hat{=}$ dunkel). Der Hellstastverstärker selbst besteht wegen der erforderlichen hohen Flankensteilheit aus einer stromstarken Schaltstufe mit Übersteuerungsschutz. Um Einschwingvorgänge zu vermeiden, sitzt der Hellstastverstärker auf einer Leiterplatte direkt am Röhrensockel.

Das Intensitätssignal IS beim K7222.25 wird über die Klemmdiode V 2:4 dem Ausgang zugeführt, dadurch kann die Höhe des Low-Pe als verändert werden. Je niedriger die Spannung IS ist, um so heller ist das Schirmbild. Weiterhin befinden sich auf dieser Leiterplatte Funkenstrecken und Schutzwiderstände an den Elektroden G1, G2, G4 und der Katode, um die nachfolgende Schaltung im Falle eines Hochspannungsüberschlages innerhalb der Röhre vor Folgeschäden zu schützen.

1.7.8. Intensitätssteuerung (SP2)

Zur Intensitätssteuerung des Hellastverstärkers nur für K7222.25 wird das Signal IS erzeugt. Das regenerierte Intensitätssteuersignal schaltet den Transistor V5, dadurch wird der Fußpunkt des Spannungsteilers R1, R3, R4, Helligkeitsregler, Kontrastregler um etwa 15V verlegt, wenn der Kontrastregler R2, der zwischen KRS und KRA geschaltet wird, 0 Ohm ist. Durch Verändern des Kontrastreglers R2, kann der Kontrasthub zwischen 0 V und 15 V eingestellt werden. Bei einem Hub von 0 V werden beide Helligkeitsstufen normalhell geschrieben. Mit dem Helligkeitsregler R1 (siehe SP1), der an die Spannungen 35P, HRS und HRA angeschlossen wird, läßt sich das Intensitätssignal IS zwischen - 15 V und 35 V einstellen. Durch den Transistor V1 erfolgt lediglich eine Impedanzwandlung. Der Helligkeitsregler verändert beide Helligkeitsstufen proportional. Je niedriger das Signal IS ist, um so heller wird das Schirmbild. Wird der Transistor V5 leitend, wird das Bild also heller geschrieben.

1.7.9. Synchronimpulstrennung und Vertikalablenkstufe

Die Trennung der Synchronisationsimpulse am Eingang des Ablenkteils erfolgt durch eine zweifache Integration durch R301-C301 (R3-C12) und R303-C305 (R20-C12). Für die Vertikalablenkung wird als Generator ein Multivibrator, bestehend aus den Transistoren T301 V5 und T302 V1 eingesetzt. Dieser Multivibrator erzeugt negative Impulse von ca. 1 ms Breite und 10 V Amplitude. Mit dem Regler R311 R22 läßt sich die Eigenfrequenz des Generators auf die Sollfrequenz einstellen. Über die Diode Gr301 (V6) wird der Multivibrator mit negativen Synchronimpulsen synchronisiert. Der zur Ansteuerung der Treiberstufe T303 erforderliche Sägezahn wird durch Aufladen der Kondensatoren C307 und C308 über die Widerstände R317 und R318 erzeugt. Mit R317 läßt sich die Amplitude einstellen. Die Aufladung wird durch die vom Generator erzeugten negativen Impulse über die Diode Gr302 im Rhythmus der Bildfrequenz abgebaut. Somit steht an der Basis vom Treibertransistor T303 eine Sägezahnspannung. Der Emitter des Treibertransistors T303 ist galvanisch mit der Basis des Endstufentransistors verbunden und steuert somit direkt den Basisstrom vom Endstufentransistor.

Die Endstufe ist als Eintaktendstufe mit Drosselkopplung aufgebaut. Das Ablenksystem ist über C309 mit dem Kollektor der Endstufe verbunden. Zur Bedämpfung der Spannungsspitze, die während des Bildrücklaufes über der Drossel Dr301 auftritt, ist C322, R319 und Gr312 vorgesehen. Zur Linearisierung des Ablenkstromes ist eine Verzerrung des Kollektorstromes von T304 notwendig. Dies wird durch eine Gegenkopplung vom Emitter von T304 über die Widerstände R323, R324 und R320 auf die Basis von T303 erreicht. Mit R321 läßt sich die Linearität am oberen Bildrand einstellen; mit R320 in der Bildmitte.

Die Thermistoren R329 und R323 haben die Aufgabe, Linearitätsänderungen, die durch Erwärmung der Bauelemente auftreten, zu kompensieren.

Die RC-Kombination R328 und C312 zwischen Kollektor von R304 und der Basis von T303 hat die Aufgabe, den zeitlichen Ablenkstrom s-förmig zu verzerren, um Tangensfehler auszugleichen. Im vorliegenden Anwendungsfall wird in der Regel die Brücke 304 geöffnet und somit die RC-Kombination unwirksam sein.

Für den K7222.25 gilt folgende Schaltungsbeschreibung:

Der Baustein A1 enthält eine Referenzspannungsquelle von 7,15 V (Pin 4) und einen Operationsverstärker. Der Operationsverstärker arbeitet als Integrator, so daß am Ausgang (Pin 6) ein linearer Spannungsanstieg entsteht. Die Anstiegsgeschwindigkeit wird von der Kombination R34, R35, C22 bestimmt. Dadurch ist mit R35 die Bildgröße einstellbar. Durch die Impulse von V11 am Bildende wird der Transistor V13 leitend und der Integrationskondensator C22 umgeladen. Wenn der Transistor V13 sperrt, beginnt die Aufladung von neuem. So entsteht eine Sägezahnspannung mit einstellbarer Amplitude.

Die Gegentaktstufe mit den Transistoren V18, V26, V27, V28 steuert direkt die Vertikalablenkstufen an. Sie wird vom Operationsverstärker A3 angesteuert. Der Ablenkstrom erzeugt an den Widerständen R27 eine sägezahnförmige Spannung, die über das Widerstandsnetzwerk auf den invertierenden Verstärkereingang gegengekoppelt wird.

Über das Netzwerk mit den Reglern R59, R60 ändert der ankommende Sägezahn spannungsabhängig den Gegenkopplungsfaktor. Dadurch kann die Linearität am Bildanfang und -ende beeinflußt werden, um eine gute Bildgeometrie zu erzeugen. Diese Netzwerke werden aus der hochstabilen Referenzspannung von A2 gespeist. Der Arbeitspunkt und damit die vertikale Bildlage wird mit dem Regler R58 eingestellt.

1.7.10. Horizontalgenerator mit Phasenvergleich

Für die Ansteuerung der transistorisierten Zeilenendstufe ist eine Treiberstufe für rückwirkungsfreie Anpassung des Generators vorhanden.

Der Generator mit T306 (V12) ist als induktive Dreipunkt-schaltung aufgebaut. Durch eine Reaktanzstufe mit T305 (V10) ist der Generator von einem unsymmetrischen Phasenvergleich nachsteuerbar, dessen Wirkung die Abbildungen zeigen. Die negative Horizontalsynchronimpulse gelangen über C318 (C5) an die Phasenvergleichsdiode Gr304 (V8), Gr305 (V9). Während der negativen Spitzen sind beide Dioden geöffnet. Dadurch wird im durchgeschalteten Zustand der Phasenvergleichsdiode die angelegte Vergleichsspannung jeweils kurzzeitig an Masse gelegt. Dadurch tritt eine Verschiebung des Gleichspannungsmittelwertes der Vergleichsspannung bei Nennfrequenz von 3 V auf 2,0 V (2,2 V bei 1 KByte) auf.

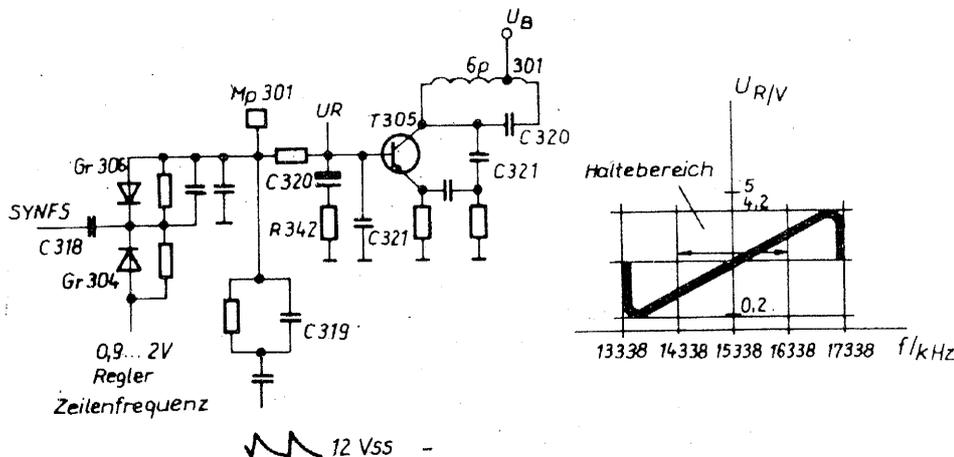


Abb. 5
Phasenvergleich

Durch C319 (C9) wird eine zeitliche Verschiebung der Vergleichsspannung erreicht. Eine Regelung erfolgt in der Form, daß bei zu hoher Frequenz des Generators eine Tastung am Maximalwert der Vergleichsspannung erfolgt, die eine negativere Regelspannung entstehen läßt. Durch die induktive Reaktanz wird eine Herabsetzung der Frequenz bewirkt. C327 (C16) ist das Rückkopplungsglied der Reaktanzstufe, die durch Einkopplung in den Emitter des T305 (V10) einen induktiven Charakter bekommt. Der Reaktanzstufe ist zur Siebung der Regelspannung ein Filter vorgeschaltet. C320, R342 dient dem Ausgleich der doppelten Frequenz der Zeilensynchronimpulse während der Vertikalaustastlücke. C321 unterdrückt Rausch- und atmosphärische Einwirkungen. C328 (C15) bildet in Verbindung mit Sp301 (T1) und der Reaktanzstufe den Schwingkreis für die induktive Dreipunktschaltung, die in Emitterfolge für die Treiberstufe arbeitet.

C329 (C14) dient in Verbindung mit R346 (R27) der Phasenkorrektur des Schwingkreises.

Zur Temperaturkompensation des Horizontalgenerators und des Endstufentransistors dient der Thermistor R41. Der Thermistor R13 kompensiert die Unlinearität von R41.

Die Trennung des Generatorteils der Schaltung durch die Treiberstufe beseitigt alle Rückwirkungen und bringt durch Tr301 (T2) eine optimale Anpassung an die Zeilenendstufe.

Die Speisung erfolgt durch die 18 V-Boosterspannung. Dadurch wird eine Leistungssteigerung der Treiberstufe erreicht, die für die Durchsteuerung des T308 (KU 607) erforderlich ist. Das RC-Glied C334, R350 dient der Bedämpfung der Eigenschwingungen der Primärinduktivität, die durch die Schaltflanken entstehen.

Beim K 7222.25 dient das RC-Glied C24, R33 der Dämpfung der Eigenschwingungen der Primärinduktivität, die durch die Schaltflanke entstehen.

Der Fangbereich der Schaltung beträgt ± 800 Hz, der Haltebereich $- 2000$ Hz/+ 1600 Hz.

1.7.11. Horizontalendstufe und Hochspannungserzeugung

Die Horizontalendstufe ist für eine 31 cm (37 cm)-Bildröhre in 110° -Ablenktechnik dimensioniert.

Aufgrund der vorhandenen stabilisierten Schienenspannung von 10,7 V wird die Horizontalendstufe ohne eigene Stabilisierungsschaltung bezüglich der Hochspannung und der Horizontalamplitude nur mit der Schienenspannung betrieben. Damit kann nur eine Niedervolt-Boosterschaltung für die Horizontalendstufe angewendet werden. Durch die Boosterschaltung wird die Schienenspannung von 10,7 auf 18 V transformiert, um das Ablenksystem mit 110 μ H Horizontalspuleninduktivität betreiben zu können. Von der Boosterspannung wird auch die Treiberstufe gespeist. Diese Maßnahme ist erforderlich, damit die Endstufentransistoren mit der Stromverstärkung 20 eingesetzt werden können. Die Ansteuerung des Endstufentransistors erfolgt über den Treibertrafo (Tr301). Der Endstufentransistor wird in der Schaltung bis ins Sättigungsgebiet ausgesteuert. Um die erforderliche Horizontalamplitude mit Grenzmuster-Ablenksystemen zu erreichen, ist es notwendig, das Ablenksystem an verschiedenen Zeilentrafoanschlüssen anzuschalten. In Reihe mit dem Ablenksystem liegt der Linearitätsregler (Sp302) und der Kondensator (C336) zur Kompensation des Tangenzfehlers.

Auf der Verteilerplatte ist diesem Kondensator ein zweiter (C8) parallel geschaltet, um den Tangenzfehler auch bei dem verringerten Ablenkstrom (bedingt durch die geringere ausgeschriebene Bildbreite) zu korrigieren. Die Bildbreite ist durch L1 auf der Verteilerplatte einstellbar.

Die Ferritkernspule des Linearitätsreglers wird mit einem Zylindermagnet vormagnetisiert. Durch Verändern der Vormagnetisierung mit dem Zylindermagnet kann die optimale Linearität eingestellt werden. Der Horizontalausgangsübertrager Tr302 (T3) ist mit dem Ferritkern U 52/54 aufgebaut,

wobei die Hochspannungsspule und der Grundwickel als Lagen-
spule ausgebildet sind. Die Spulenkapazität und -induktivi-
tät sind auf die 5. (3.) Harmonische abgeglichen. Der Ein-
fluß der Streuinduktivität der Hochspannungsspule wird mit
der Spule Sp303 (L4) kompensiert. Die Kompensation erfolgt
durch Abgleichen der Spule Sp303 (L4) auf minimale Aus-
schwingamplitude im Zeilenhinlauf.

Aus dem Horizontalausgangsübertrager werden durch Gleichrich-
tung die Hochspannung, die Spannung für G1, G2 und G4 der
Bildröhre und die Spannung für die Videoendstufe bereitge-
stellt. Mit den Kondensatoren C332, C333, C335 wird der Ho-
rizontalrücklauf von 13 μ s + 0,5 μ s eingestellt. Um Toleran-
zen der Horizontalspulen im Ablenksystem in gewissen Gren-
zen ausgleichen zu können, ist es möglich, durch Variieren
des C332 diese Toleranzen auszugleichen. Einstellkriterien
sind dabei die Horizontalamplitude, die Hochspannung und
die Rücklaufzeit. Zur Verhinderung von Rückwirkungen der
Horizontalendstufe auf die Schienenspannung dient das Sieb-
glied mit der Drossel Dr302 und dem Kondensator C338.

Für den K 7222.25 gilt folgende Beschreibung:

Die Horizontalablenkschaltung beim K 7222.25 ist aufgebaut
mit dem Hochvolttransistor SU165 (V18), dem Horizontalaus-
gangsübertrager T3, der Ablenkeinheit AE9VT und dem Lineari-
tätsregler L3. Die Ablenkschaltung arbeitet mit Energierück-
gewinnung durch Verwendung der Paralleldiode V17 und der
Boosterdiode V16. Die über dem Boosterkondensator C21 ste-
hende Spannung wird dadurch von 39 V ... 43 V (Betriebs-
spannung) auf 60 V ... 70 V erhöht. Das Ablenksystem ist
symmetrisch über die Tangenskondensatoren C25, C32 an den
auf die "dritte Harmonische" der Rückschlagfrequenz abge-
stimmten Horizontalübertrager angeschlossen. Der Kondensa-
tor C31 dient der Feinkorrektur der Tangensentzerrung. Der
Ausgleich von Toleranzen des Ablenksystems (Anpassung bei
Grenzwertablenkspulen) erfolgt durch Ablenkspannungstran-
sformation an den Übertrageranschlüssen 2, 3 und 4. Die
Einstellung der Horizontalamplitude ist ansonsten durch
die regelbare Betriebsspannung 41P (39V...43V) gewährlei-
stet. Damit die Speisespannung für andere Baustufen frei
von zeilenfrequenten Störungen bleibt, wird die Spannung
41P durch die Filter L1 und L2 zusätzlich gesiebt. Der Trei-
bertransistor V13 steuert zusammen mit den Treibertrans-
formator T2 die Endstufe nichts simultan an, d.h. der Trei-
bertransistor V13 leitet, wenn V18 sperrt. Das RC-Glied
R33, C24 gewährleistet einen optimalen zeitlichen Verlauf
des Basisstromes des Transistors V18 und vermindert zusam-
men mit dem Widerstand R35 dessen Überspringen.

1.7.12. Erzeugung der Betriebsspannungen

Die Betriebsspannungen für die Display-Baugruppen werden,
sofern sie nicht dem Zeilentrafo entnommen werden, auf

der Verteilerplatte (gedruckte Schaltung 1.12.516791.0) erzeugt.

Dem Display wird eine 12 V-Gleichspannung von außen zugeführt. Diese Spannung wird über die Vorwiderstände R4 ... R8, deren resultierende Größe durch wahlweises Einsetzen der Brücken E1 ... E3 eingestellt wird, unabhängig von der Länge des Zuleitungskabels auf einen Wert von $10,7 \text{ V} \pm 0,3 \text{ V}$ reduziert.

Die zum Betreiben des TTL-Schaltkreises der Kabelempfängerstufen benötigte 5 V-Gleichspannung wird durch eine regelbare Transistorstufe (R17, V4) (R9, V4) aus der Spannung 10,7 P (12P) gewonnen. Die Betriebsspannung des Hellstärkers 24 P wird über den Z-Dioden V5:1, V5:2 aus der dem Zeilentrafo entnommenen Spannung 56 P erzeugt und durch die Kondensatoren C9, C10 geglättet.

Zur Helligkeitsregelung der Bildröhre muß die Spannung 80 N zur Verfügung gestellt werden. Sie wird durch Spannungsvervielfachung mittels der Bauelemente C1:1 ... C1:5 und V1:1 ... V1:4 aus der im Zeilentrafo erzeugten Impulsspannung 28 W gebildet.

Zur Sperrpunkteinstellung der Bildröhre beim K 7222.25 muß die Spannung UG1 zur Verfügung gestellt werden. Sie wird durch Gleichrichtung mittels der Bauelemente C18 und V14 aus dem Zeilentrafo gebildet. Mit dem Regler R18 wird der Sperrpunkt eingestellt.

Die Bildschirmspannungen 41P, 22P, 16N werden im Transverter (A1, V10, V22, T1) auf der Leiterplatte 012-6931 erzeugt. Der Schaltkreis A1 erzeugt eine Rechteckspannung zur Ansteuerung des Leistungstransistors V22. Ferner ist hier die Referenzspannungsquelle, der Regelverstärker, die Anlaufschaltung und die Tastverhältnisbegrenzung integriert. Die Spannung 41P wird nach dem Sperrwandlerprinzip erzeugt und vom Schaltkreis A1 stabilisiert.

Die Spannung 22P wird ebenfalls nach dem Sperrwandlerprinzip und Aufstockung auf die 12P gewonnen. Sie ist unregelt. Die ebenfalls unregelte Spannung 16N wird nach dem Flußwandlerprinzip erzeugt, das bessere Stabilität gewährleistet.

Der Transverter schwingt frei an, wird aber dann von der Zeilenspannung SYNCH synchronisiert.

1.8. Tastatur 1715

1.8.1. Einleitung

Die Tastatur dient der manuellen Eingabe von alpha-numerischen und numerischen Zeichen, Ruf- und Steuerinformationen sowie von Startbedingungen in das angeschlossene Gerät.

Charakteristisch für die Tastatur ist die räumliche Aufteilung in den alpha-numerischen Bereich sowie in die Bereiche für numerische und Funktionstasten. Die Codierung der eingegebenen Zeichen wird über einen in der Tastaturelektronik eingesetzten PROM realisiert. Damit ergibt sich die Möglichkeit, Codepositionen zuzuordnen, die Groß-/Klein-Umschaltung wahlweise festzulegen bzw. in Sonderfällen den Ausgabecode generell beliebig zu wechseln. Die technische Beschreibung gilt für alle Tastatur-Ländervarianten des EFBM 1715.

1.8.2. Konstruktiver Aufbau

Die Tastatur des EFBM 1715 ist eine separate Baugruppe, die als Auftischvariante ausgelegt ist. Sie besteht aus dem Gehäuse, den Elastomertastelementen, der Steckeinheit Serielle Tastaturansteuerung, der Tastaturplatte und der Tastaturleiterplatte. Zur Auslösung der Schaltfunktion werden elektrisch leitfähige Elastomerkontakte, auf speziellen Tasteneinsätzen befestigt, eingesetzt. Als Gegenelektroden sind auf der Tastaturleiterplatte veredelte Kammstrukturen aufgebracht, die entsprechend Stromlaufplan matrixförmig verknüpft sind. Die Tasteneinsätze und die LED-Blende sind in die Tastaturplatte eingedrückt. Die Tastaturplatte ist im Gehäuse befestigt, das durch ein Bodenblech bzw. eine Blende abgedeckt wird. Die Steckeinheit Serielle Tastaturansteuerung ist separat im Gehäuse befestigt und über einen 26poligen Steckverbinder mit der Tastaturleiterplatte verbunden. Die Neigung des Tastenfeldes zur horizontalen Ebene beträgt 5° . Die Tastatur ist durch ein Verbindungskabel mit der Steuereinheit verbunden.

1.8.3. Funktionsbeschreibung

1.8.3.1. Beschreibung der Tastenfunktionen

Im Rahmen der technischen Beschreibung wird auf eine Erläuterung der Tastenfunktionen verzichtet.

Näheres dazu ist in der Bedienungsanleitung (Manual bzw. Systemhandbuch) enthalten.

1.8.3.2. Beschreibung der Tastaturelektronik

1.8.3.2.1. Aufbau der Tastaturelektronik

Die Tastaturansteuerung wird durch einen Mikroprozessor, eine Tastaturmatrix, einen Programmspeicher bzw. Zeichengenerator,

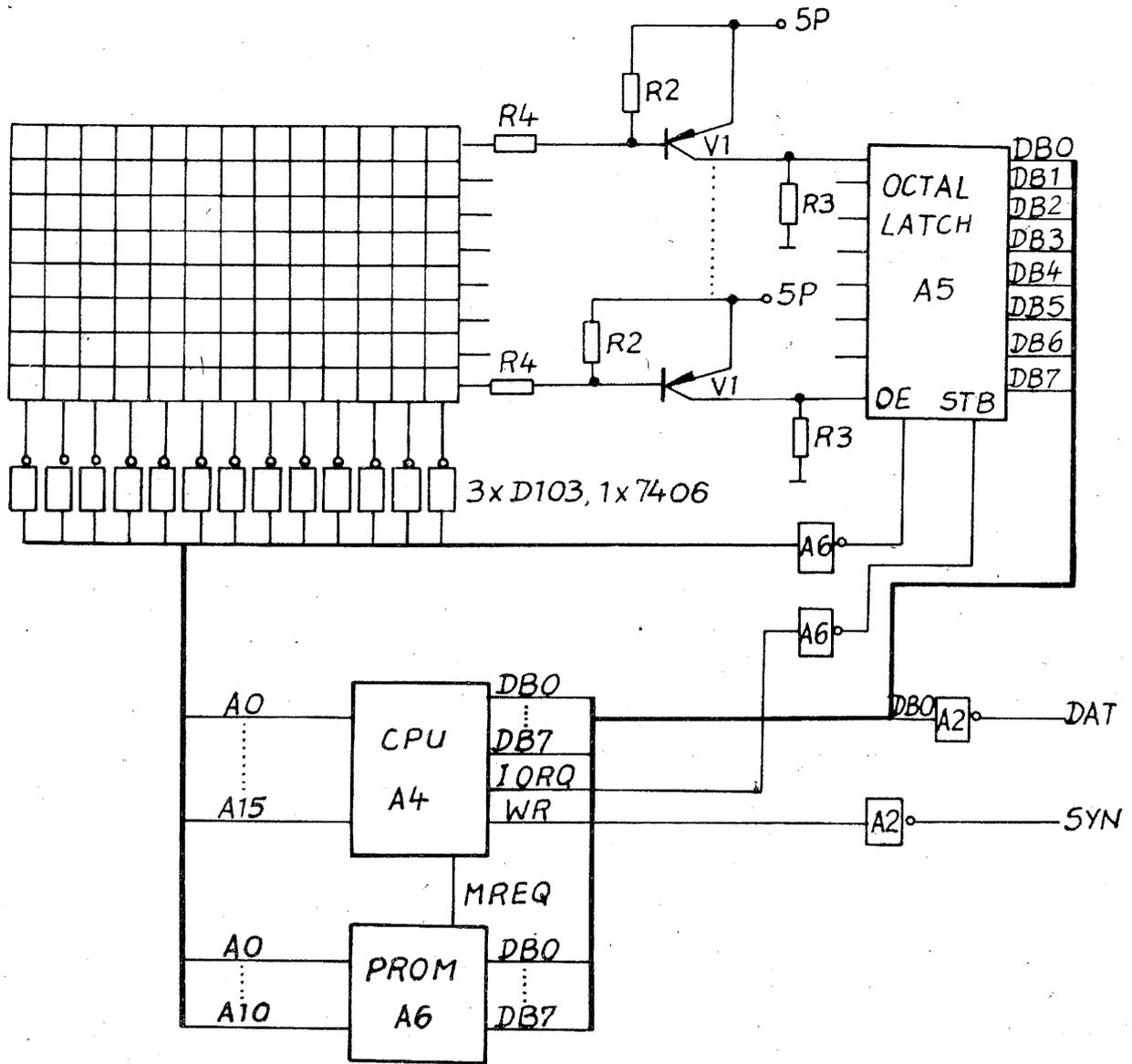


Abb. 1

ein Octal-Latch, in den Zeilen zwischengeschaltete Empfänger und einfache Gatter realisiert. Das Grundprinzip der Tastaturarbeit besteht darin, daß die Adreßleitung A15 des Mikroprozessors gemeinsam mit der Steuerleitung IORQ, entweder das Lesen der Zeilen der Tastaturmatrix oder die serielle Schnittstelle freigibt. Die serielle Schnittstelle wird durch das Bit DBO des Datenbusses über einen Treiber als Datensignal und das Schreibsignal (WR) des Mikroprozessors über einen Treiber als Synchronisationssignal realisiert (Abb. 1).

1.8.3.2.2. Prinzipieller Aufbau

Von den 16 Adreßleitungen des Mikroprozessors bilden A0 - A12 13 Spalten der Tastaturmatrix. Die an den Adreßausgängen anliegenden Signale werden mit Hilfe von D103 bzw. 7406 negiert. Die Ansteuerung der Spalten muß mit Open-Kollektorstufen erfolgen, da beim Betätigen der Tastelemente in einer Zeile ein "High-Potential" der betätigten Taste in einer nicht angesteuerten Spalte gegen ein "Low"-Potential der betätigten Taste in einer angesteuerten Spalte kurzgeschlossen wird. Durch das Mikroprogramm, das im PROM steht, wird der Reihe nach genau eine Spalte aktiviert. Dadurch ist genau eine der Adreßleitungen A0 - A12 "High", während alle anderen "Low" sind. Die Signale werden negiert. Anschließend wird der Zustand der Spalte abgefragt und festgestellt, ob Tasten betätigt bzw. losgelassen wurden oder ob keine Veränderungen stattfanden. Das geschieht durch Inputbefehle.

1.8.3.2.3. Erkennen einer betätigten Taste

Ist das Tastelement nicht betätigt, wird der Transistor V 4 über den Widerstand R2 gesperrt. Der Widerstand R1 ist so dimensioniert, daß der nachfolgende Gattereingang auf zulässigen "Low"-Pegel gezogen wird. Falls eine Spalte mit "Low"-Pegel angesteuert wird und das Tastelement betätigt ist, steuert der Transistor V 4 durch. Damit liegt am Eingang des nachfolgenden Octal-Latch A4 "High" an, d.h. es kann eine betätigte Taste erkannt werden. Die Reihenschaltung des Widerstandes R9 und des Kontaktwiderstandes des Tastelementes muß ein sicheres Durchschalten des Transistors V 4 gewährleisten.

Falls der Kontaktwiderstand des Tastelementes gegen Null geht, sorgt der Widerstand R9 für eine Strombegrenzung. Damit A4 durchschaltet, muß neben IORQ, das durch den Inputbefehl "Low" gesetzt wurde, die Adreßleitung A15 "High" sein. Die Negatoren sorgen dafür, daß der richtige Pegel an A4 anliegt. Über den Datenbus DBO - DB7 gelangt der Zustand der abgefragten Spalte in den Mikroprozessor. Dort wird der Zustand in den internen Registern abgespeichert. Eine Taste muß 3 Abfragezyklen lang gedrückt sein, bis sie als gültig anerkannt wird (Roll-over-Betrieb). Falls in dieser Zeit eine weitere Taste betätigt wird, wird auf Doppelsetzung erkannt und als Fehlbedienung interpretiert.

Nachdem eine gültige Taste erkannt wurde, wird aus dem PROM der Code errechnet. Dieser wird mittels Outputbefehl gesendet.

IORQ und das Adreßbit A15 sind dabei "Low". Dadurch ist das Octal-Latch A4 hochohmig und beeinflusst den Datenbus nicht. Der Pegel der Adreßbits A0 - A14 spielt dabei keine Rolle. Das Signal Schreiboperation des Mikroprozessors (WR) wird als Synchronisationssignal benutzt, damit die Empfängerseite mitgeteilt bekommt, ob gültige Daten auf der Datenleitung liegen. Der Datenbus DBO wird als Datenleitung benutzt. Die Datenleitung DBO und das Synchronisationssignal WR werden über Treiberstufen geführt. Mittels eines Outputbefehles wird das erste zu übertragende Bit auf die Datenleitung gelegt und WR "Low" gesetzt. Nach einer Linksverschiebung liegt das nächste zu sendende Bit auf DBO. Es wird erneut ein Outputbefehl durchgeführt, d.h. WR "Low" gesetzt. Dieser Prozeß wird so lange wiederholt, bis alle Bits einschließlich Start- und Stopbits gesendet worden sind (Abb. 2)

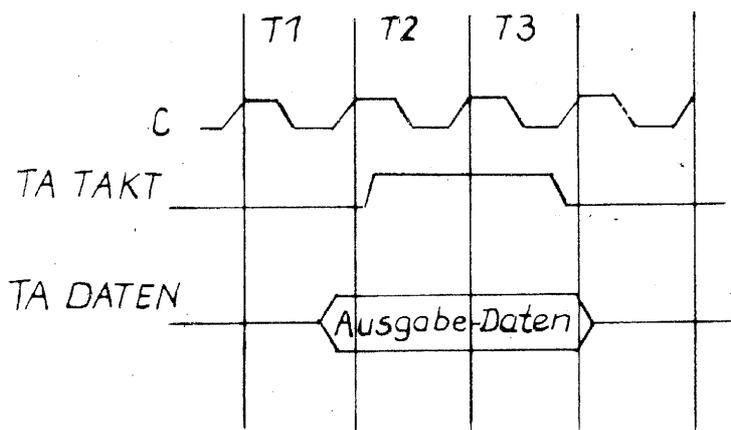


Abb. 2

1.8.3.2.4. Optische Anzeige Shift-Taste

Das Betätigen der Shift- bzw. Umstelltaste wird durch eine LED angezeigt. Dazu wird eine zusätzliche (imaginäre) Spalte angesteuert. Der Zustand der Adreßleitung A14 wird mittels IORQ in ein Flip-Flop A6 eingetragen. Je nachdem, ob A14 "Low"- oder "High"-Pegel führt, wird die LED angesteuert oder gelöscht (Abb.3).

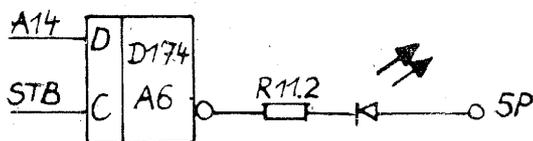
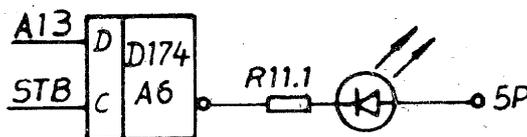


Abb. 3

1.8.3.2.5. Optische Anzeige Shift-in/Shift-out

Das Betätigen der SI/SO-Taste wird durch eine LED optisch angezeigt. Dies geschieht äquivalent zur Shiftanzeige, nur daß zur SI/SO-Anzeige die Adreßleitung A13 genutzt wird.



1.8.3.3. Erzeugung des Reset-Signals /RS

Um beim Einschalten der Tastatur einen bestimmten Grundzustand zu garantieren, wurde eine Reset-Schaltung realisiert (Abb. 4). Es wird ein /RS-Signal erzeugt, welches am Anfang "Low" ist und erst nach ca. 100 ms, nachdem die 5P ihren Endwert erreicht haben, auf "High" schaltet. Dabei beträgt die Flankensteilheit kleiner $1 \mu\text{s}$.

Das /RS-Signal erfüllt zwei Funktionen:

1. "Low" - Gewährleistung der Einschwingzeit des Prozessors U880
2. "High" - Freigabe des Prozessors

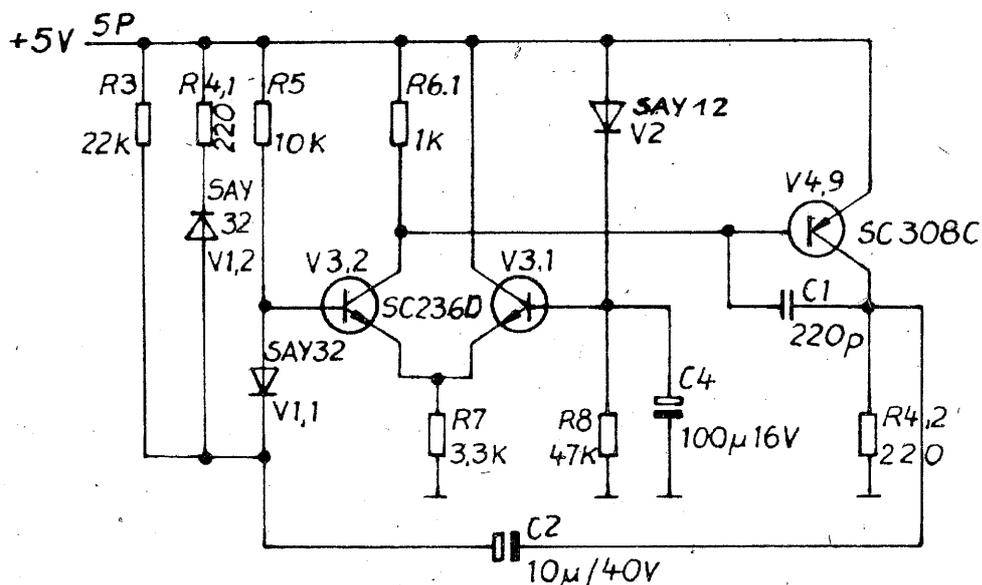


Abb. 4

1.8.3.3.1. Einschalten

Zunächst wird C4 über V2 aufgeladen und V3.1 steuert durch. Dadurch werden V3.2. und V4.9 gesperrt. Gleichzeitig wird C2 über die Parallelschaltung R3/R5 aufgeladen. Die Zeitkonstante T hat den Wert $(R3/R5) C2$. Nach der Verzögerungszeit $t=100\text{ms}$ steuert V3.2 durch. Dadurch schaltet V4.9 und /RS wird "High".

1.8.3.3.2. Ausschalten

Sinkt die Spannung 5P unter 4,6 V bzw. die Spannung 5P wird abgeschaltet, muß /RS auf "Low"-Pegel umschalten. Damit dieser Zustand eintritt, darf V3.1 nicht sofort sperren. Das wird durch das RC-Glied R7 C4 an seiner Basis bewirkt. V3.2 dagegen sperrt sofort. Dadurch schaltet V4.9 aus und /RS wird "Low".

1.8.3.4. Takterzeugung

Der Taktgenerator bestehend aus TTL-Gattern A7, dem Widerstand 10.3 und dem Kondensator C3 erzeugt den von der CPU benötigten seriellen Takt mit der Frequenz $700 \text{ kHz} \pm 10 \%$ (Abb. 5).

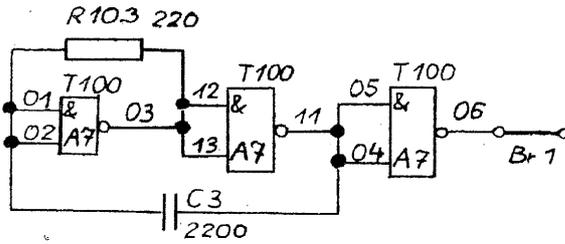


Abb. 5

1.9. Stromversorgung

1.9.1. Allgemeines

Die Baugruppe Stromversorgung beinhaltet zwei Schaltnetzteile sowie zwei Analogregler und stellt für den robotron 1715 die erforderlichen Gleichspannungen 5P, 12 PM, 12P, 5N und 12N bereit.

Die Beschreibung der Schaltung erfolgt anhand des Stromlaufplanes 56-330-2770-5.

1.9.2. Konstruktiver Aufbau

Das Netzteil ist eine selbständige Baugruppe. Die Netzspannung wird an der Rückseite über einen Schuko-Kaltgerätestecker und zwei Schmelzsicherungen zugeführt. An der Vorderseite befindet sich der Einbauwippenschalter. Seitlich ist ein durch R3 in der Drehzahl reduzierter Axiallüfterbaustein angebracht, welcher die Luftzirkulation durch das Gesamtgerät gewährleistet. Die Abgabe der Ausgangsspannung erfolgt über die Buchsenleiste XNT. Für die Bildschirmleinheit wird die Betriebsspannung 12PM an der Rückseite der Baugruppe Stromversorgung über eine dreipolige Buchsenleiste (DISPLAY) bereitgestellt. Die elektronischen Bauelemente befinden sich auf zwei Leiterplatten, die über Steckverbinder X2, X3 verbunden sind.

1.9.3. Elektrischer Funktionsbereich

Das Gerät ist für den Betrieb an einem 220 V-Wechselstromnetz von 47 Hz bis 63 Hz ausgelegt. Die Netzspannung darf bis zu +10% und -15% vom Nennwert abweichen.

1.9.4. Netzgleichrichtung

Die Gleichspannung UEP für die Schaltnetzteile wird über eine gemeinsame Netzgleichrichtung erzeugt. Die Netzspannung wird über zwei Schmelzsicherungen F1, F2 und dem Netzfilter dem Schalter S1 zugeführt. Dieser schaltet zweipolig die Spannung auf den Stecker X1. Die Brückengleichrichterschaltung V1 bis V4 erzeugt die Gleichspannung UEP, welche durch C3 gepuffert wird. Die Vorwiderstände R1, R2 reduzieren den Einschaltstromstoß. Durch die in R2 umgesetzte Leistung verringert sich sein Widerstand auf einen Bruchteil des Kaltwiderstandes.

1.9.5. Anlaufschaltung und Hilfsspannungserzeugung

Die Anlaufschaltung stellt den Strom für die primärseitige Steuerung bereit, bis der Regelkreis eingeschwungen ist und sich über die Hilfsspannungserzeugung (V106 ... V109) selbst versorgen kann.

Die Spannung UEP kommt über Stecker X2/4 auf die Anlaufschaltung. Über R101 und V103 wird Basisstrom in den Kaskadentransistor V102 eingespeist, der diesen aufsteuert. Gleichzeitig wird auch V101 leitend. Durch den Stromfluß wird die Emitterspannung am V102 angehoben. Bei etwa 10,5V (Schaltkreisspannung am Anschluß 1) beginnt der Schaltkreis N101 zu arbeiten. Die Anlaufschaltung läßt die Schaltkreisspannung so lange ansteigen, bis V103, V104 leitfähig werden. Mit dem Arbeiten von N101 wird die Rückkopplung über P2 des Trafos Tr1 eingeleitet. An C101 entsteht eine über V109 gleichgerichtete Spannung (18V ... 29V), die mit V106, V107 und V108 stabilisiert wird. Über V105 wird die stabilisierte Spannung an den Emitter des V102 gelegt und hebt das Potential gegenüber der Basis an. Dadurch wird die Anlaufschaltung unwirksam. Die Regelstrecken werden nun nur noch über die Hilfsspannung von ca. 15V versorgt.

1.9.6. 5P-Regelstrecke

Das Netzteil 5P ist ein Schaltnetzteil und arbeitet nach dem Prinzip des Durchflußwandlers. Durch Ansteuerung des Transistors V5 wird aus der Gleichspannung UEP eine Rechteckspannung mit ca. 20 kHz erzeugt. Diese Spannung wird während der Leitphase von V5 über Tr1 auf die Sekundärseite übertragen und von V7 gleichgerichtet. Der dabei durch Tr2 fließende Strom lädt C5 auf. In der Sperrphase des V5 wird die in Tr1 gespeicherte Energie über P3 und V126 abgebaut und auf C3 zurückgeliefert. Die während der Leitphase in Tr2 gespeicherte Energie wird in der Sperrphase über die Freilaufdiode V8 an C5 abgegeben. L2 und C6 dienen der Siebung der Ausgangsspannung.

1.9.6.1. Funktion der Regelung

Dem Steuerschaltkreis N101 wird eine der Ausgangsspannung proportionale Regelgröße zugeführt (Anschluß 5), die mit einer internen Referenzspannung (Anschluß 2) verglichen wird. Der Steuerschaltkreis liefert eine Rechteckspannung (Anschluß 14), dessen Tastverhältnis sich mit der Regelabweichung zwischen 0 und einem Maximalwert von ca. 45 % ändern kann.

Dadurch wird die Einschaltdauer des Transistors V110 gesteuert. R108 bestimmt die Größe des Basisstromes von V110. Der Ansteuerübertrager Tr101 arbeitet nach dem Flußwandlerprinzip, wobei R107 der Strombegrenzung dient. Die Freilaufdiode begrenzt die Abschaltspitze des V110. Die erforderliche Betriebsspannung für den Schaltkreis N101 wird über die Anlaufschaltung bzw. über die Hilfsspannungserzeugung an Anschluß 1 des N101 bereitgestellt. Die Frequenzeinstellung des Sägezahngenerators von ca. 20 kHz erfolgt mit den Schaltelementen R116, C111. Von der internen Referenzspannung am Anschluß 2 (8,0V ... 9,2V) wird über R114, R115 ein Teil abgegriffen, der am Anschluß 6 zur Verfügung steht und das Tastverhältnis auf ca. 45 % begrenzt. C110 begrenzt die Anstiegsgeschwindigkeit des Tastverhältnisses (Anschluß 6) - Langsamanlauf. Mit R112, R113 wird die Größe der Hilfsspannung überwacht. Bei zu großer Spannung (größer 19V) schaltet der Schaltkreis über Anschluß 3 die Ansteuerung ab. Die Regelung des Tastverhältnisses erfolgt durch eine Spannungsänderung am Anschluß 5. Für die Änderung dieser Spannung sind die Bauelemente N102 und U102 verantwortlich. Über die Leiterplattenanschlüsse X2/18 und X2/17 wird ein Teil der Ausgangsspannung an den Regeleingang Anschluß 3 des N 102 geführt und mit einem Teil der Referenzspannung (ca. 3,7V) am Anschluß 2 verglichen. Sinkt die Eingangsspannung ab, wird auch die Spannung am Anschluß 3 geringer und der Steuerausgang Anschluß 6 nimmt eine niedrigere Spannung an. Dadurch verringert sich der Strom durch V114, R124 und die Diode des U102. Der Lichtstrom im Optokoppler U102 nimmt ab und der Transistor des Kopplers verringert seine Leitfähigkeit, wodurch sich die Kollektorspannung des Kopplers erhöht und das Tastverhältnis des N101 ansteigt, bis die Ausgangsspannung seinen Sollwert wieder erreicht hat. Die Einstellung der Ausgangsspannung von 5,1 V erfolgt mit R130. Die Wicklung S2 stellt die Arbeitsspannung (18V bis 29V) für N102 bereit. Diese wird über V112 gleichgerichtet und mit C105 gepuffert.

1.9.6.2. Überstromsicherung

Das Netzteil ist gegen Kurzschluß der Ausgangsspannung geschützt. Dazu wird dem Eingang 11 des N101 eine über den Emitterwiderstand R6 erzeugte Spannung zugeführt. Liegt am Eingang 11 eine Spannung von ca. 0,7 V, schaltet die Ausgangsstufe des Schaltkreises ab und C110 wird entladen. Die Schaltung startet nach Ablauf der durch C110 bestimmten Totzeit wieder mit Langsamanlauf. Mit R110 kann der maximale Laststrom IP5 von 9A eingestellt werden.

1.9.6.3. Überspannungskontrolle

Die Überspannungskontrolle erfolgt durch die Elemente V113, R123 und U101. Wenn die Ausgangsspannung ansteigt und es durch die Z-Diode V113 zum Stromfluß kommt, wird der Koppler U101 leitend und schaltet über den Eingang 10 (U10 0,8 V) des N101 die Ansteuerung ab, wobei gleichzeitig C110 entladen wird. Ist die Überspannung abgebaut wird der Eingang 10 (ca. 2V) freigegeben und der Schaltkreis beginnt nach einer Totzeit mit Langsamlauf.

1.9.7. 5N, 12N-Erzeugung

Wie unter 1.9.6. beschrieben, wird während der Flußphase Energie in der Speicherdrossel Tr2 gespeichert, die in der Sperrphase wieder zur Verfügung steht. Diese freiwerdende Energie induziert in den Wicklungen S1 und S2 Spannungen die über V9, V10 gleichgerichtet und mit C7 und C8 gepuffert werden (UC7 ca. 10V) (UC8 ca. 16V). Diese Spannungen stellen die Rohspannungen für die Festspannungsregler N1 und N2 dar. Die Schaltkreise stabilisieren die Spannungen 5N und 12N auf die geforderten Werte mit plus minus 5 % Toleranz. Die Schutzfunktionen Überstromschutz und thermischer Schutz werden durch die Regler selbst realisiert. Dieses Erzeugerprinzip, einen Teil der Energie aus der Drossel Tr2 für die Erzeugung der 5N und 12N zu verwenden, erfordert jedoch eine Mindestlast der 5P von 1,5A.

1.9.8. 12P-Regelstrecke

Die 12P-Stromversorgung ist ein Schaltnetzteil und arbeitet nach dem Prinzip des Sperrwandlers. Das bedeutet, während der Leitphase des Transistors V15 wird die magnetische Energie im Kern des Trafos Tr3 gespeichert. Diese Energie wird in der Sperrphase frei und durch V11 bis V14 auf C13 bis C15 übertragen. L3 und C16 dienen der Siebung der Ausgangsspannung.

1.9.8.1. Funktion der Regelung

Dem Steuerschaltkreis N105 wird eine der Ausgangsspannung proportionale Regelgröße (Anschluß 5) zugeführt, die mit der internen Referenzspannung (Anschluß 2) verglichen wird.

Der Steuerschaltkreis N105 liefert ein mit der Regelabweichung veränderliches Tastverhältnis am Anschluß 14. Wenn das 5P-Netzteil eingeschwungen ist und an Stecker X3/9 die Hilfsspannung von ca. 15V anliegt, kann das 12P-Netzteil anlaufen. Die Schaltfrequenz wird durch R149 und C121 bestimmt und liegt bei ca. 20 kHz. Der durch R138 festgelegte Steuerstrom wird über Anschluß 14 an die Basis des Steuertransistors V119 gelegt. Über diesen Transistor wird mittels Tr102 die Ansteuerleistung für den Leistungsschalter V12 gewonnen. Der Trafo Tr102 arbeitet nach dem Flußwandlerprinzip. Die Freilaufdiode V120 begrenzt die Abschaltspitze des V119. Wenn das durch C120 langsam ansteigende Tastverhältnis eine solche Größe erreicht hat, daß die übertragene Energie auf den Kondensatoren C13, C14, C15 die Nennspannung 12PM erreicht, setzt die Regelung ein. Die Spannung 12PM wird über Stecker X3/15 dem Spannungsstabilisatorschaltkreis N106 als Betriebsspannung zugeführt. Zwischen den Anschlüssen 3 und 2 wird die geteilte Ausgangsspannung mit der geteilten Referenzspannung Uref: 6,8V ... 7,5V (Anschluß 4) verglichen. Das Ergebnis wird am Ausgang (Anschluß 6) meßbar. Übersteigt die eingestellte Eingangsspannung den zulässigen Wert, erhöht sich die Spannung am

Anschluß 6 und V124 wird stärker leitend. Dadurch steigt der Lichtstrom in der Diode des U105. Der Fototransistor wird stärker leitend und verringert die Spannung am Eingang 5 des N105, wodurch sich das Tastverhältnis reduziert und damit auch die übertragende Energie. Die Einstellung der 12PM erfolgt mit R160 auf 12,2V. Die durch R146, R147 geteilte Referenzspannung wird an Anschluß 6 geführt und legt damit das maximal mögliche Tastverhältnis (ca. 45 %) fest. Um zu vermeiden, daß der Trafokern bei hohen Eingangsspannungen durch große Tastverhältnisse in die Sättigung kommt, wird die Teilung der Spannung UEP über R143, R145 durchgeführt und über den Eingang (Anschluß 16) eine spannungsproportionale Tastverhältnisreduzierung auf minimal ca. 30 % vorgenommen.

1.9.8.2. Strombegrenzung bei Impulslasten bzw. Lastsprüngen

Bei diesen Lastfällen treten kurzfristig geringe Spannungszusammenbrüche der Ausgangsspannung auf. Dieser Zustand führt zur Sperrung des Kopplers U105 und die Spannung an Anschl. 5 des N105 steigt über den Spannungswert an Anschluß 6 an. Es tritt also ein großes Tastverhältnis auf, das zu einem Stromanstieg von unzulässiger Höhe führen kann. Mit R150 wird die zulässige Grenze eingestellt. Beim Überschreiten dieser Grenze steigt die Spannung am Anschluß 3 über 3,7V an und der Schaltkreis bricht die Ansteuerung des V119 ab.

1.9.8.3. Strombegrenzung bei Überlast

Tritt eine Überlast durch Kurzschluß auf, muß eine Abschaltung für mehrere Perioden erfolgen, um die Entmagnetisierung des Trafos Tr3 zu erreichen. Diese Stromschwelle wird mit R140 bei Überspannung und hoher Last eingestellt.

1.9.8.4. Abschaltung und Verzögerung der 12P

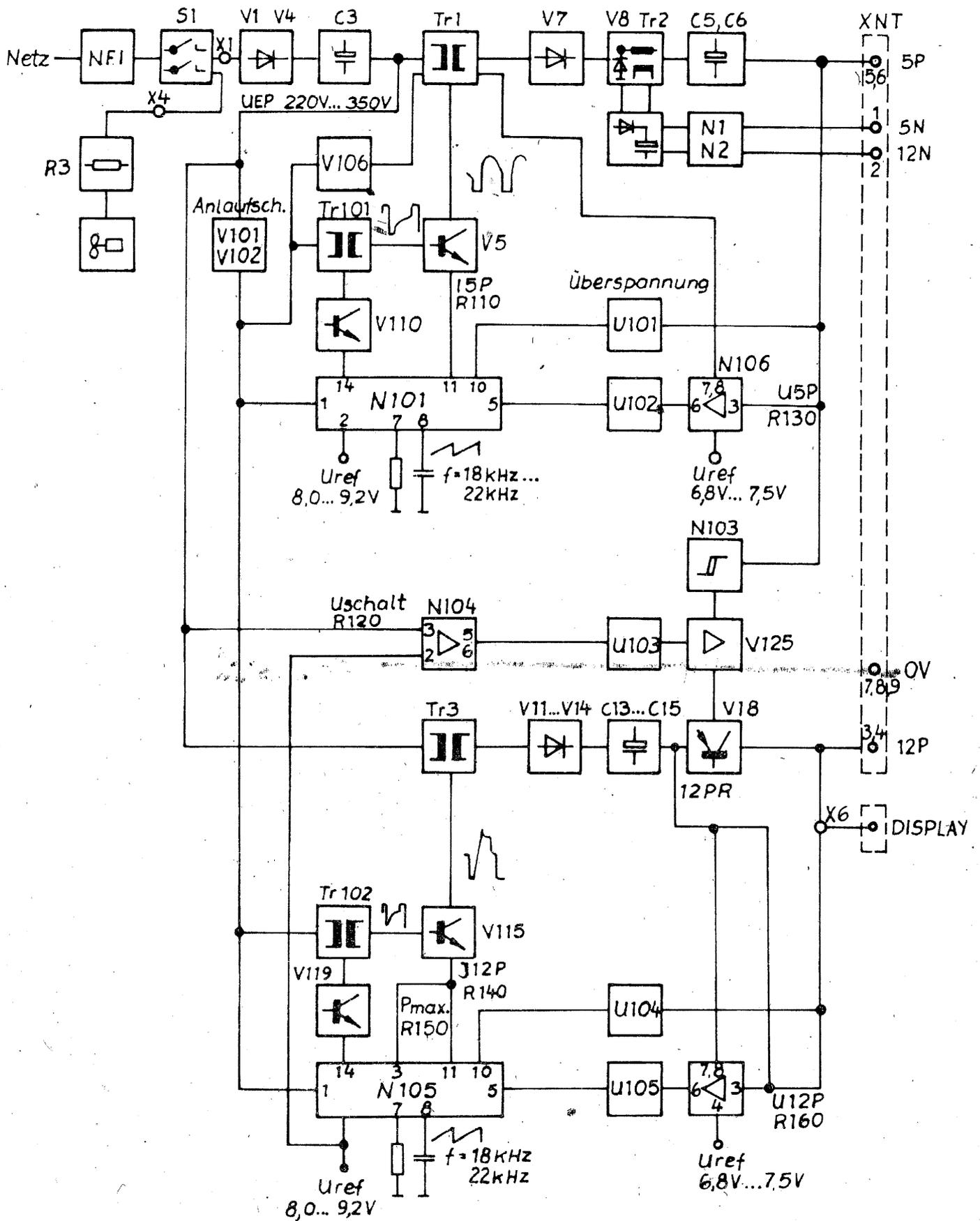
Für den Betrieb der Folienspeicherlaufwerke sind bestimmte Reihenfolgen der Spannungszu- und -abschaltung einzuhalten. So muß die 12P nach der 5P einschalten, aber vor der 5P abschalten. Die 12P ist über den Schaltverstärker V18, V19 schaltbar ausgeführt. Bei Einspeisung eines Basisstromes über R137 in den Transistor V19 schaltet dieser ein und liefert den Steuerstrom für V18. Zum Schutz des Transistors vor Überlastung ist die Schmelzsicherung F3 vorgesehen. Bei Netzausfall oder Netzeinbruch muß die 12P vor der 5P abschalten. Dieses Schaltverhalten wird realisiert, indem über den Spannungsteiler R121, R120 die Netzgleichspannung UEP überwacht wird. Diese Überwachung erfolgt durch den Operationsverstärker N104. Zwischen den Anschlüssen 3 und 2 wird UEP mit der Referenzspannung des N105 verglichen. Die Schaltschwelle wird mit R120 bei UEP 195V eingestellt.

Liegt UEP über 195V, ist der Operationsverstärker leitend und der Koppler U103 führt Strom, wodurch an R135 "High" entsteht. Der Trigger N103 erzeugt mit Hilfe von R133, C113 eine Zeitverzögerung von ca. 3 s zwischen 5P und 12P. Nach Ablauf der Verzögerungszeit wird der Ausgang des Triggers "High" und über R134, V116, V117 wird V125 aufgesteuert. Dadurch steuert der Schaltverstärker die 12P an. Fällt das Netz aus, so wird die Stromversorgung aus dem Kondensator C3 so lange gepuffert, bis die Schaltschwelle der UEP von 195V erreicht wird. Jetzt schaltet die 12P ab. Die 12PM bleibt noch bis zum Erreichen der Regelgrenze in voller Höhe erhalten. Die 5P-Regelstrecke arbeitet noch bis zu einer Spannung UEP von ca. 160V.

1.9.8.5. Überspannungskontrolle

Die Überspannungskontrolle erfolgt durch die Elemente V121, R155 und U104. Steigt die Ausgangsspannung über den zulässigen Wert (13,0 V bis 14,8 V) an, kommt es durch die Z-Diode V121 zum Stromfluß und der Koppler U104 wird leitend. Dadurch schaltet der Eingang 10 des N105 die Ansteuerung ab, wobei gleichzeitig C120 entladen wird. Ist die Überspannung abgebaut, wird der Eingang 10 wieder freigegeben und der Schaltkreis beginnt nach einer Totzeit mit Langsamanlauf.

1.9.8.6. Blockschaltbild Netzteil



1.9.9. Prüf- und Einstellvorschrift

1.9.9.1. Prüfung und Einstellung der 5P, 5N, 12N

Netz auf 220 V einstellen

5P mit 5A belasten

5N mit 100 Ohm (0,5 A) belasten

12N mit 56 Ohm (0,21 A) belasten

5P mit R130 auf 5,1 V +/- 50 mV einstellen, $U_{BRSS} \leq 100$ mV

Kontrolle:

5N: -5 V +/- 250 mV $U_{BRSS} \leq 50$ mV

12N: -12 V +/- 600 mV $U_{BRSS} \leq 100$ mV

1.9.9.2. Einstellung Strombegrenzung 5 P

Netz erhöhen bis UEP 350 V -5 V erreicht.

5P mit 9 A belasten

Mit R110 Stromschwelle absenken bis Aussetzerbetrieb auftritt.
Regler zurückdrehen, daß der Aussetzerbetrieb gerade weggeht.

1.9.9.3. Kontrolle des gesamten Netzspannungsbereiches

5P mit 7 A belasten

5N und 12 N Belastung entsprechend 1.9.9.1.

Netzspannung zwischen 187 V ... 242 V ändern. Die Prüf- und Einstellwerte müssen über den gesamten Netzspannungsbereich erhalten bleiben.

(Achtung! Die Spannungen 5N und 12N werden erst bei einer Mindestlast der 5P von 1,5 A erreicht.)

$R = 3,3 \Omega$

1.9.9.4. Prüfung und Einstellung der 12P

Netz auf 220 V einstellen

5P mit 5 A belasten

12P mit 3 A belasten (an XNT 3,4 - XNT 7, 8, 9)

Einstellung: Mit R160 12PM auf 12,2 V +/- 100 mV einstellen
 $U_{BR} \leq 150$ mV

(Die Messung der Spannung 12PM erfolgt immer am Stecker X6 oder Buchse DISPLAY.)

1.9.9.5. Einstellung der Stromschwellen

R150 nach rechts bis zum Anschlag drehen

12P mit 3 A +3 A Impulslast belasten

Netzspannung erhöhen bis UEP 350 V -5 V erreicht

R140 verstellen bis Aussetzerbetrieb auftritt

Regler geringfügig zurückdrehen bis Aussetzerbetrieb gerade weggeht.

Netz auf 183 V reduzieren

12P mit 5 A belasten
mit R150 12PM auf 12,0 V +/-50 mV einstellen
Last auf 4 A verringern, 12PM muß ihren Nennwert wieder
erreichen.
Die 12P muß dabei einen Wert größer 11,7 V annehmen.

1.9.9.6. Einstellung der Abschaltswelle der 12P

5P mit 5 A belasten	5N mit 0,5 A belasten
12P mit 3 A belasten	12N mit 0,21 A belasten

Netzspannung verringern bis UEP 195 V erreicht.
Mit R120 den Punkt einstellen, an dem 12P gerade abschaltet.
UEP auf 200 V erhöhen. Die 12P muß zuschalten.

1.9.9.7. Kontrolle: Verzögerung der 12P

Netz auf 220 V einstellen
Belastung entsprechend Punkt 1.9.9.6.
Gerät einschalten. Zuerst müssen die 5P, 5N, 12N und 12PM
ihre Sollwerte erreichen. 2,0 s ... 4,5 s danach muß die 12P
zuschalten.

2.0. Service-Empfehlung

Ein Geräteausfall kann in zwei Etappen behoben werden. In der ersten Etappe werden defekte Baugruppen beim Anwender mittels bestimmter Testprogramme festgestellt und komplett ausgewechselt.

In der zweiten Etappe erfolgt die Instandsetzung der defekten Baugruppen in einer speziell eingerichteten Werkstatt.

2.1. Meß- und Prüfmittel

Aufgrund, der vom Hersteller vorgesehenen Servicestrategie benötigt der Servicetechniker keine erzeugnispezifischen Meß- und Prüfmittel.

Zu seiner Ausrüstung muß gehören:

- Vielfachmesser
- diverse Mechanikerwerkzeuge
- Meßschieber
- Prüfprogramme auf Diskette

Für die werkstattmäßige Instandsetzung werden folgende handelsübliche Meß- und Prüfmittel benötigt.

- Zweistrahl-Oszillograph EO 213
- Vielfachmesser
- Digitalvoltmeter
- Signaturanalysator 31020
- Trennstelltrafo 0 ... 250 V
- Logikprüfstift P 3000.03
- Logikprüfstift/Stromprüfstift
- Aus- und Einlöteinrichtungen

Für die Werkstatt wird eine Muttermaschine empfohlen. An typengebundenen Meß- und Prüfmitteln steht folgendes bereit:

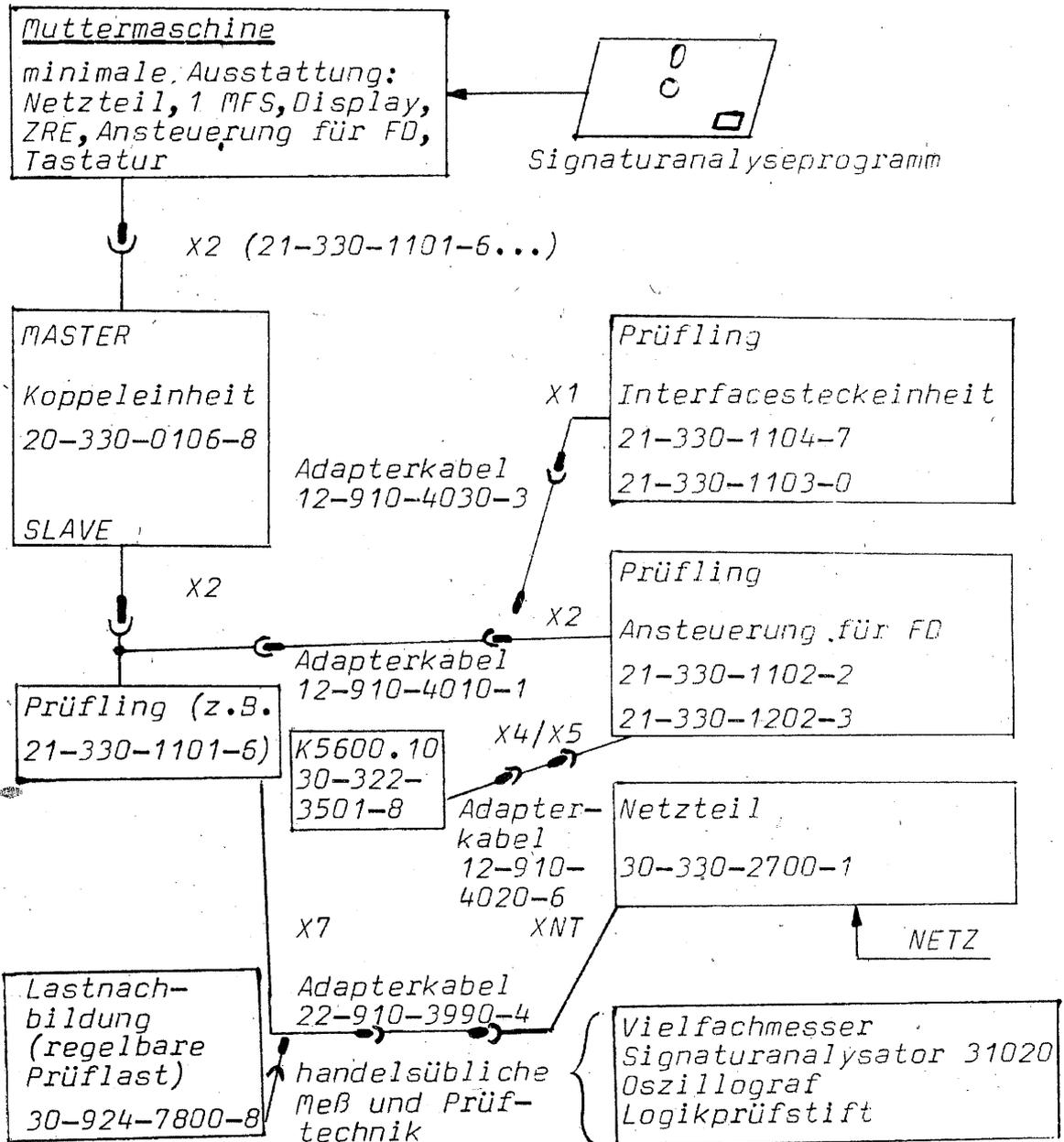
- Koppereinheit 20-330-0106-8
- Prüflast 30-330-7800-8
- universelles Prüfprogramm
- Adapterkabel (Prüflast-Netzteil) 22-910-3990-4
- Adapterkabel (StE1 - NT) 10-330-6096-6
- Adapterkabel (StE1 - StE2) 14-330-6009-2
- Adapterkabel (StE2 - MFS) 12-910-4020-6
- Adapterkabel (StE1 - StE3) 14-330-6009-2
- Signaturanalyseprogramme
- CE-Einstelldiskette

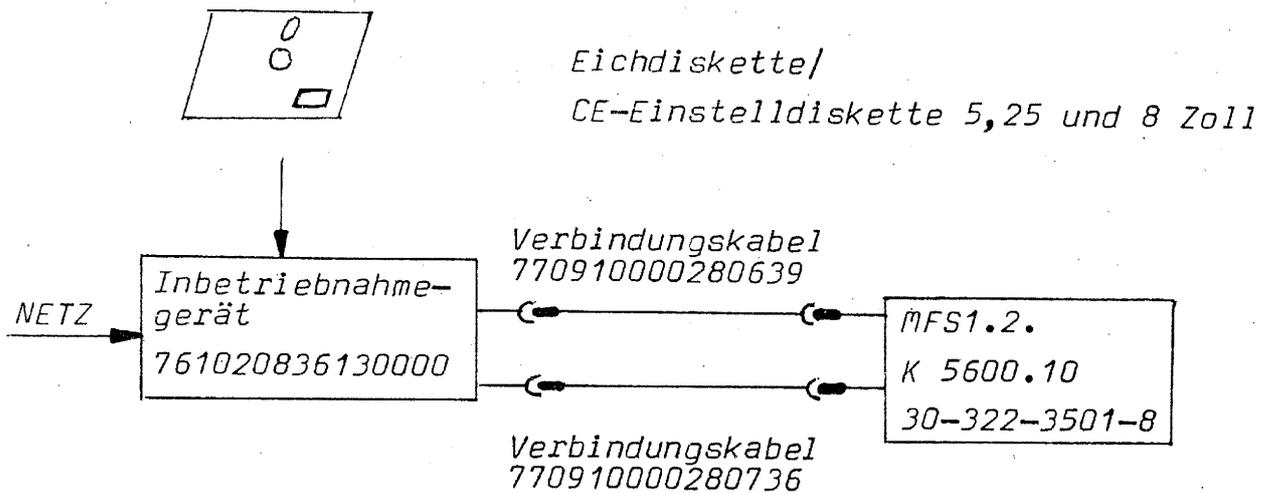
Einstellehre (Axialspiel-Schrittmotor)	x 470080836130000
Zentriervorrichtung	x 470010836130000
Einstellehre (Diskettenandruck)	x 651150836130000
Fühldrähte 1 Satz	x 651050836130000
Einstellehre (Magnetkopf 2,5 mm)	x 651060836130000
Fühllehre (1,3 und 0,8 mm)	x 651140836130000

- Fühllehre (0,05 mm Spur 0-Anschlag) x 651100836130000
- Spezialmaulschlüssel x 170100836130000
- Inbetriebnahmegerät für 5,25 Zoll und 8 Zoll Laufwerke x 761020836130000
- Verbindungskabel 26 polig x 770910000280639
- Verbindungsleitung 1 polig x 770910000280736

2.1.1. Verwendungsmöglichkeit der erzeugnisspezifischen Meß- und Prüfmittel

NETZ





handelsübliche
Meß- und Prüf-
technik

Vielfachmesser
Oszillograf
Logikprüfstift

2.1.1.1. Koppereinheit

Die Koppereinheit kommt zum Einsatz in Werkstätten im Rahmen der Instandsetzungsarbeiten für Steckeinheiten. Sie wird mit der mit "MASTER" gekennzeichneten Anschlußstelle an den Systembus der "Muttermaschine" angekoppelt.

An die mit "SLAVE" gekennzeichnete Steckerleiste wird der Prüfling in Form der Steckeinheit ZRE oder FD-Ansteuerung angeschlossen.

Über die "Muttermaschine" erfolgt das Einlesen der entsprechenden Testprogramme. Die Koppereinheit bereitet dann die Daten so auf, daß mit dem Signaturanalysegerät bzw. mit dem Oszillograf entsprechende Messungen vorgenommen werden können.

2.1.1.2. Adapterkabel

Die Adapterkabel können entsprechend Pkt. 2.1.1. eingesetzt werden. Sie ermöglichen eine räumliche Trennung der Baugruppen und verbessern durch ihre Flexibilität das Messen mit handels- oder erzeugnispezifischer Meßtechnik

2.1.1.3. Inbetriebnahmegerät Floppy-Disk-Laufwerke

Das Gerät dient zur Inbetriebnahme und Überprüfung der 5,25 Zoll-Diskettenlaufwerke sowie von 8 Zoll-Laufwerken.

Mit dem Inbetriebnahmegerät ist es u. a. möglich, Drehzahl- und Prüftaktmessungen vorzunehmen.

Zum Reparaturarbeitsplatz gehören neben dem Inbetriebnahmegerät die entsprechenden Verbindungsleitungen, ein Oszillograf und die Einstelldiskette.

2.1.1.4. Regelbare Prüflast (Lastnachbildung)

Die regelbare Prüflast gehört zur Ausrüstung einer Werkstatt, in der Netzteile des 1715 repariert werden sollen. Dieses Gerät wird mittels Adapterkabel am Netzteilanschluss angeschlossen. Damit ist die Möglichkeit gegeben das zu untersuchende Netzteil optimal einzustellen.

2.2. Hinweise zur Fehlersuche

2.2.1. Allgemeines

Die Fehlersuche sollte bei der Kontrolle der Eingangsbedingungen (z.B. Netzspannung) begonnen werden. Es wird deshalb empfohlen, daß neben der Netzspannungskontrolle, der Sitz der Steckverbinder und die von außen zugänglichen Primärsicherungen überprüft werden.

In das allgemeine Konzept der Überprüfung ist auch das Zubehör und die Datenträger einzubeziehen.

Zum Zwecke der Fehlerbeseitigung sind geeignete Werkzeuge und Prüfgeräte zu verwenden, die Beschädigungen von Baugruppen und Einzelteilen ausschließen und Verletzungsgefahren vermeiden werden.

2.2.2. Elektronische Fehler

Mittels vorhandener Testprogramme erfolgt die Grobfehlerortung. Entsprechend der Gerätereaktion sind die als defekt bewerteten Baugruppen am Einsatzort des Gerätes zu wechseln.

Die genaue Fehlerortung erfolgt dann mit speziellen Meß- und Prüfmitteln.

2.3. Baugruppenaustausch

2.3.1. Baugruppenaustausch an der Systemeinheit

Beim Baugruppenaustausch ist generell das Gerät auszuschalten. Das Auswechseln von Baugruppen darf nur im spannungslosen Zustand erfolgen.

2.3.1.1. Öffnen der Verkleidung

- Lösen von 3 Schlitzschrauben an der Gehäuserückseite
- Gehäuseoberteil etwa 1 cm nach vorn ziehen; leicht anheben und die vordere Blende über die Laufwerkklappe führen.
- Laufwerke gegebenenfalls vor der Abnahme der oberen Verkleidung verriegeln.

2.3.1.2. Austausch Netzteil

- Öffnen der Verkleidung
- Lösen der Kabelverbindungen (Netz, Display und zur ZRE)
- Lösen von drei Schlitzschrauben im Deckel des Netzteilgehäuses
- Netzteil hinten leicht ankippen und herausheben
- Einbau erfolgt in umgekehrter Reihenfolge

2.3.1.2.1. Austausch der Steckeinheiten im Netzteil

- Entfernen des Gehäusedeckels einschließlich des rechten Seitenteils durch das Lösen von zwei Schlitzschrauben M3, Gehäusedeckel
- die senkrecht stehende Steckeinheit (21-330-2799-5) ist von der Grundplatte zu lösen, indem ein Schraubendreher abwechselnd unter die beiden Steckerbuchsen gesteckt wird. Durch das Drehen des Schraubendrehers wird die Kontaktierung aufgehoben und die Steckeinheit kann nach oben abgenommen werden.

- Die Grundsteckeinheit 21-330-2798-7 läßt sich nach dem Lösen von zwei M3 Schlitzschrauben sowie nach der Entfernung von drei Steckverbindern, dem Aushaken des Kabelbaums aus der linken Seitenwand, entfernen.

2.3.1.3. Austausch Floppy-Disk

- Öffnen der Verkleidung
- Die rechts und links neben den Laufwerken in der Mitte angebrachten geschlitzten Rändelschrauben sind herauszuschrauben.
- Anschlußstecker Laufwerk - Steckeinheit Floppy-Ansteuerung (21-330-1202-3) lösen
- Laufwerke nach oben herausnehmen
- Laufwerke auf Arbeitstisch so ablegen, daß Laufwerkauflage nach oben zeigt.

Jetzt werden 6 Stück M3-Schlitzschrauben sichtbar. Löst man diese (3 Stück pro Laufwerk), so können die Laufwerke abgehoben werden.

Einbau in umgekehrter Reihenfolge

2.3.1.4. Austausch Steckeinheit Floppy-Disk-Steuerung (21-330-1202-3)

- Öffnen der Verkleidung

Die Steckverbindungen zu den Laufwerken sind zu lösen; Die Stützschrauben (Sechskantschrauben) sind zu entfernen (Schraubendreher Steckschlüssel 5,5 mm)
Nach dem Abschrauben der Masseverbindungen wird die Steckeinheit an der Seite, an der das Netzteil liegt, nach oben gedrückt, um den Kontakt zur Steckeinheit ZRE zu lösen.

2.3.1.5. Austausch der Steckeinheit ZRE (20-330-1104-4 ... 21-331-1131-5)

Voraussetzung zum Austausch der ZRE Steckeinheit ist das Öffnen der Verkleidung, die Demontage der Floppy-Disk-Laufwerke und der Steckeinheit zur Ansteuerung der Floppy Disk. Danach werden die Masseverbindungen (Steckverbinder) gelöst. Die Stütz- und Befestigungsschrauben werden entfernt (Schraubendreher, Steckschlüssel 5,5 mm).
Nun kann die Steckeinheit herausgehoben werden.

2.3.2. Baugruppenaustausch am Display 7221.25/7222.25

2.3.2.1. Sicherheitsmaßnahmen

Sicherheitsmaßnahmen sind am Display in zweierlei Hinsicht zu beachten:

- gefährliche Hochspannungen bis zu 12 kV im Gerät
- Implosionsgefahr des Bildschirms

Geschlossene Geräte werden gefahrlos betrieben, wobei allerdings Schläge mit harten Gegenständen sowie Kratzer auf dem Bildschirm ausgeschlossen werden müssen. Der Bildschirm ist implosionsgeschützt. Bei ordnungsgemäßer Handhabung des Sichtgerätes und des Bildschirms tritt keine Implosion auf. Das Betreiben des geöffneten Gerätes durch technisches Personal hat unter Beachtung der vorhandenen Hochspannungen zu erfolgen. Es ist zu gewährleisten, daß der Außenbelag des Bildschirms über das Masseband einwandfrei mit der allgemeinen Masse des Display verbunden ist. Messungen der Hochspannung sind nur mit ordnungsgemäßen Hochspannungsmeßgeräten, die einwandfrei geerdet sein müssen, auszuführen. Dabei sind die Bedienungsanleitungen dieser Meßgeräte einzuhalten. Das Abziehen des Anodenanschlusses des Bildschirms darf nur bei ausgeschaltetem Gerät erfolgen. Zwischen Ausschalten des Gerätes und Abziehen des Anodensteckers ist mindestens 1 Minute zu warten. Bei Bildschirmen, die ausgebaut werden sollen, ist die vollkommene Entladung der Bildschirmanode herbeizuführen, indem die Anode über einen Widerstand von ca. 1 k Ω m für mindestens 10 Sekunden mit Masse zu verbinden ist.

2.3.2.2. Abnehmen der Verkleidungen

2.3.2.2.1. Abnehmen der Verkleidung am K 7221.25

- Display mit Bildfläche auf weiche Unterlage legen
- gewölbtes Verkleidungsblech in der vorderen Fußhälfte entfernen. Beim leichten Auseinanderdrücken läßt sich das Blech aushaken.
- Regelknopf für Helligkeit abziehen
- Befestigungsschrauben M3, die nach dem Aushaken des Verkleidungsbleches sichtbar werden, herausdrehen.
- Kappe am Durchbruch des Gehäuses zur Kabeldurchführung abschrauben
- Abziehen des Gehäuses nach oben
- Unverkleideten Display auf Führungsschienen abstellen

2.3.2.2.2. Abnehmen der Verkleidung am K 7222.25

- An der Rückseite die 4 Schrauben lösen und die Rückwand (Blende hinten) abnehmen
- Obere Gehäusehälfte etwa 1 cm nach hinten schieben und nach oben abheben
- 2 Schrauben am Chassis des Einschubs lösen und Chassis nach vorn herausziehen (A)

Im Weiteren sind diese Arbeitsgänge nicht mehr beschrieben. Sie sind im Bedarfsfall den nachfolgenden Erläuterungen voranzustellen.

Die folgenden Erklärungen gelten für beide Displaygrößen.

2.3.2.2.3. Wechsel des Bildschirms

Befestigungsschrauben der beiden seitlichen Leiterplatten lösen und Platten herausschwenken

Auf Leiterplatte (1.12.516791.0)/(012-6931) Buchse (X6)/(X2) zur Ablenkeinheit und auf der Leiterplatte 012-6921 Buchsen X3, X6 zum Hellstastverstärker ziehen

Kabel zum Bildschirmbelag aushängen und Hellstastverstärker vom Bildschirmsockel abziehen

Klemmung der Ablenkeinheit lösen und Ablenkeinheit vom Bildschirmhals ziehen

Anodenstecker von dem Bildschirm abziehen (siehe Abschnitt 2)

4 Kontermuttern der Bildschirmbefestigung am Rahmen lösen und Bildschirm auf weicher Unterlage auf der Schirmfläche ablegen

2 Zugfedern aushängen und die Massebänder abnehmen

Bildschirmeinbau: Der Einbau erfolgt in umgekehrter Reihenfolge.

Dabei ist folgendes zu beachten:

Bildschirmbefestigungen mit den Isolierteilen versehen, Bildschirm auf Schrauben aufstecken. Erste Mutter anziehen, bis Isolierstück auf dem Rahmen aufsitzt, Kontermutter festziehen.

2.3.2.2.4. Wechsel der Ablenkeinheit

- Befestigungsschrauben der beiden seitlichen Steckeinheiten lösen und Platten herausschwenken
- Auf Steckeinheit (012-6931) Buchse X2 zur Ablenkeinheit und auf der Steckeinheit (012-6921) Buchse X3, X6 zum Hell-
tastverstärker ziehen
- Kabel zum Bildschirmbelag aushängen und Helltastverstärker vom Bildschirmsockel abziehen.
- Der Einbau erfolgt in umgekehrter Reihenfolge

2.3.2.2.5. Wechsel der Ablenkleiterplatte

- Lösen der Befestigungsschraube und Herausschwenken der Steckeinheit
- Abziehen der Stecker von der Steckeinheit
- Abziehen des Anodenanschlusses vom Bildschirm
- Aushängen der Steckeinheit am Scharnier
- Der Einbau erfolgt in umgekehrter Reihenfolge

2.3.2.2.6. Wechsel der Verteilerplatte

- Lösen der Befestigungsschraube und Herausziehen der Steck-
einheit
- Abziehen der Stecker von der Verteilerplatte
- Lösen der Klemmverbindung für Stromversorgungs- und Infor-
mationskabel
- Lösen der Schraube und Aushängen der Steckeinheit
- in umgekehrter Reihenfolge einbauen

2.3.2.2.7. Wechsel des Helltastverstärkers

- Auf der Verteilerplatte (012-6921) Stecker (X4, X5)
(X3, X6) zum Helltastverstärker ziehen
- Kabel zum Röhrenbelag aushängen
- Helltastverstärker vom Rohrenhals abziehen
- Kabel am Helltastverstärker ablöten
- in umgekehrter Reihenfolge einbauen

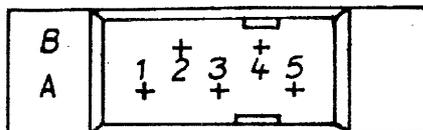
2.3.2.2.8. Wechsel des Helligkeitsreglers

- Stecker X1 auf der Verteilerplatte ziehen
- Mutter des Reglers lösen und Regler herausnehmen
- in umgekehrter Reihenfolge

X3: Tastatur

A	Anschluß	B
TA-TAKT	1	
	2	5P
OV	3	
	4	TA-DATEN
Schirm	5	

TASTATUR

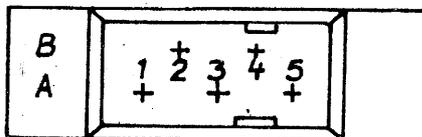


X3 (STE 1101)

X4: Drucker

A	Anschluß	B
Ltg. 102	1	
	2	Ltg. 103
Ltg. 106	3	
	4	
Schirm	5	

PRINTER

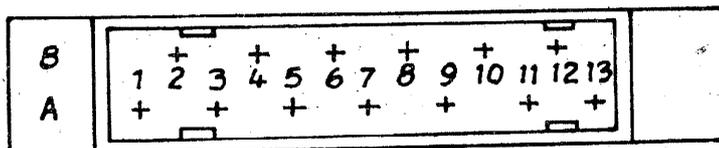


X4 (STE 1101)

X2/X3/X5; V.24

A	Anschluß	B
Ltg. 102	1	
	2	Schirm
Ltg. 103	3	
	4	Ltg. 104
Ltg. 105	5	
	6	Ltg. 106
Ltg. 107	7	
	8	Ltg. 108
Ltg. 109	9	
	10	Ltg. 111
Ltg. 113	11	
	12	Ltg. 114
Ltg. 115	13	

V24



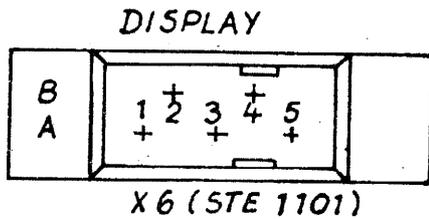
X2 (STE 1103) KANAL B

X5 (STE 1103)

X3 (STE 1103) KANAL A

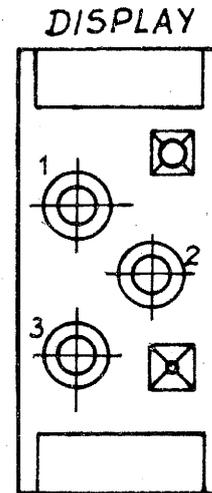
X6: Display-Anschluß

A	Anschluß	B
INTENS	1	
	2	0V
BSYN	3	SW
	4	Schirm
VIDEO	5	



X MONU: Betriebsspannungen Display

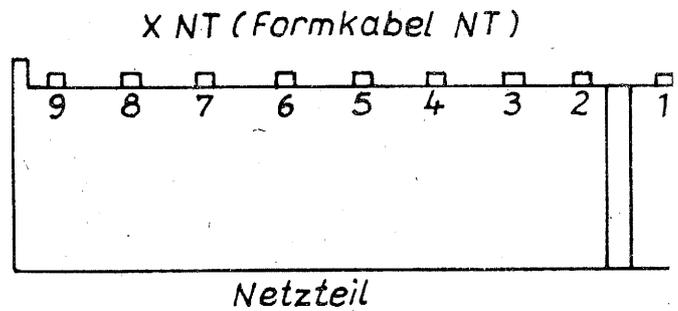
Anschluß	Spannung
1	0V
2	12 PM
3	Schirm, SL



X MONU Netzteil
(DISPLAY Betriebsspg)

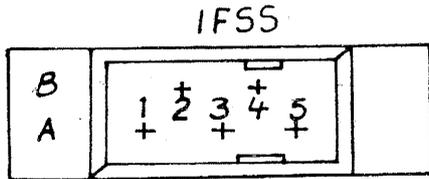
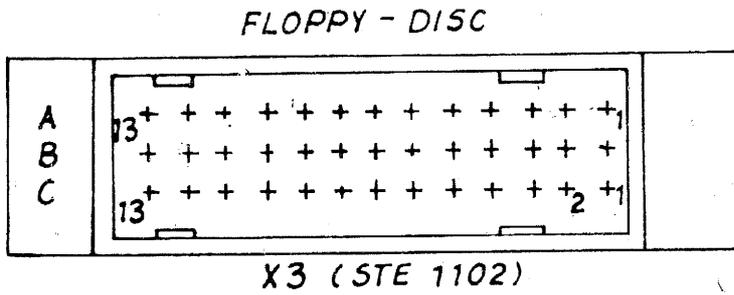
X7: Betriebsspannungen (XNT)

Anschluß	Spannung
1	5N
2	12N
3	12P
4	12P
5	5P
6	5P
7	0V
8	0V
9	0V



Netzteil

Steckerbelegung robotron 1715

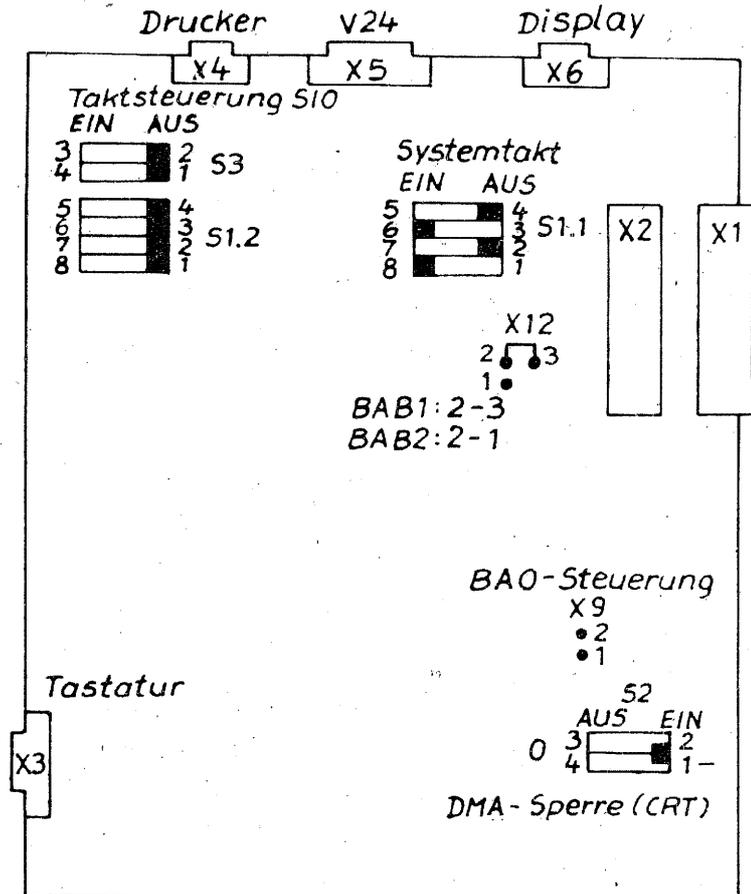


X2 (STE 1104) KANAL B
X3 (STE 1104) KANAL A

	A	B	C
1	OV	OV	OV
2	/MO3	OV	/MO2
3	/MO1	OV	/MO0
4	/ROYL	OV	/HL
5	/TO	OV	/SE1
6	/WP	OV	/ST
7	/FW	OV	/LCK1
8	/RD	OV	/WD
9	/IX	OV	/WE
10	/FR	5P	/SD
11	/SED	/RESET	/SE2
12	/LCK0	5N	/SE3
13	Schirm	/LCK3	/LCK2

	A	B
SD-	1	
	2	SD+
ED+	3	
	4	ED-
Schirm	5	

3.2. Schnittstellenstecker und Einstellschalter



Taktvarianten V24 (S1.2, S.2.2)

Steuerung durch Ltg. 105	RXTXCB		S1:2			S2:2	
	Sendetakt	Empfangstakt	1-8	2-7	3-6	1-4	2-3
-	Ltg. 114	Ltg. 114	-	+	+	-	+
-	Ltg. 113	Ltg. 113	-	+	+	+	-
X	Ltg. 114	Ltg. 115	+	-	+	-	+
X	Ltg. 113	Ltg. 115	+	-	+	+	-
-	Ltg. 115	Ltg. 115	-	-	+	-	-
-	ZC/T02	ZC/T02	-	+	-	-	-
-	ZC/T01	ZC/T01	-	-	-	-	-
X	ZC/T02	ZC/T01	+	-	-	-	-

+ = Schalter geschlossen

- = Schalter geöffnet

Systemtakt (S1.1):

S1.1

Systemtakt	1-8	2-7	3-6	4-5
eigene Erzeugung	+	-	+	-
Fremderzeugung	-	+	-	+

+ = Schalter geschlossen

- = Schalter geöffnet

DMA-Zugriff (S2):

DMA-Zugriff	S2
Ein	Ein
Aus	Aus

4. Vergleichsliste

Das Basisschaltkreissortiment des robotron 1715 bildet das Mikrorechnersystem UB880D (Q 300) mit seinen Peripherie-schaltkreisen UB855D (Q 301), UB8560D (Q 304), UB857D (Q 302).

Als Speicherschaltkreise kommen zum Einsatz:

U555C - 1K x 8 EPROM
 U556C - 2K x 8 EPROM
 K565RU3 - 16K x 1 DRAM

Die Bildschirmsteuerung erfolgt über den CRT-Controller KR 580. WG 75. Weitere bipolare und analoge Schaltkreise zur Realisierung logischer Netzwerke und der Interfacesteuerung sind der nachfolgenden Schaltkreisübersicht zu entnehmen.

4.1. Schaltkreisübersicht

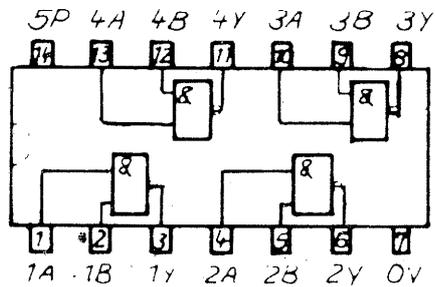
allg. Bez.	DDR-Typ	SU-Typ	SW-Typ	NSW-Typ	Funktion
T100	D1000	K155LA3	MH7400	SN7400	4 x 2fach-NAND
T103	D1030		MH7403	SN7403	4x 2fach-NAND o.c.
T104	D1040	K155LN1	MH7404	SN7404	6x Inverter
T106			7406PC	SN7406	6x Inverter
T108	D1080	K155LI1	7408PC	SN7408	4x 2fach-AND
T130	D1300	K155LA2	MH7430	SN7430	1x 8fach-NAND
T151	D1510		MH7451	SN7451	2x 2fach-AND/NOR
T174	D1740	K155TM2	MH7474	SN7474	2x D-Flipflop
T195	D1950	K155IR1		SN7495	4bit-SR
M192	D1920	K155IE6	MH74192	SN74192	V/R-Dez.-Zähler
M193	D1930	K155IE7	MH74193	SN74193	V/R-Binärzähler
M151		K155KP7	MH74151	SN74151	8-Kanal-Multi-plexer
M121	D1210	K155AG1	74121PC	SN74121	Monostabiler MV
M123		K155AG3	74123PC	SN74123	2x retriggerb. MV
M153		K155KP2	74153PC	SN74153	2fach 4:1 Multipl.
T200	D2000			SN74H00	4x 2fach-NAND
T201	D2010			SN74H01	4x 2fach-NAND
T240	D2400			SN74H40	2x 4fach-Lei- stungs-NAND
T251	D2510			SN74H51	2x 2fach AND/NOR
T500	DL000			SN74LS00	4x 2fach-NAND
T502	DL002			SN74LS02	4x 2fach-NOR
T593	DL093			SN74LS93	4bit-Binärzähler
K112	DL112			SN74LS112	2x JK-Flipflop
K175	DL1750	K555TM8		SN74LS175	4x D-Flipflop ge- taktet
U205	DS8205D		MH3205	i 8205	1 aus 8-Binärde- coder
U216	DS8216	K589IK16	MH3216	i 8216	4fach Bustreiber
U282	DS8282D			i 8282	8fach-Latch
U286	DS8286D			i 8286	8fach Bustreiber
P107			75107PC	SN75107	2fach Leitungs- empfänger

allg. DDR-Typ Bez.	SU-Typ	SW-Typ	NSW-Typ	Funktion
P150	K170AP2		SN75150	2fach-Leitungstreiber
P154	K170UP2		SN75154	4fach Leitungsempfänger
P450	K155LP7		SN75450	Peripherie-Treib. <i>300mA</i>
T300	K531LA3		SN74S00	4x 2fach-NAND
N112	K531TV9		SN74S112	2x JK-Flipflop
T374	K531TM2	MH74S74	SN74S74	2x D-Flipflop
N257	K531KP11		SN74S257	4x 2:1 Selekt./Multipl.
T386	K531LP5		SN74S86	4x Ex-OR
T320		MH74S20	SN74S20	2x 4fach-NAND
T337		MH74S37	SN74S37	4x 2fach-Leistungs NAND
A302D			TCA345A	Schmitt-Trigger
B611D			TCA311A	Operationsverstärker
B621D			TCA321A	Operationsverstärker
		MA7805	7805	Festspannungstabilisator
		MA7812	7812	Festspannungstabilisator
		MAA723H	uA723	Spannungstabilisator
		MAA741C	SN72741	Operationsverstärker
B260D			TDA1060	Schaltnetzteilregler
MB104B			CNY17	Optokoppler
Q300	UB880D		Z80-CPU	CPU
Q301	UB855D		Z80-PIO	PIO
Q304	UB8560D		Z80-SIO/O	SIO
Q302	UB857D		Z80-CTC	CTC
	U555C	K573RF1	2708	1Kx8 EPROM
	U556C	K573RF2	2716	2Kx8 EPROM
Q280		K565RU3A	MC4116 P-3	16K DRAM
		KR580WG75	8275	CRT-Controller

5. Pin-Belegung der wichtigsten Bauelemente

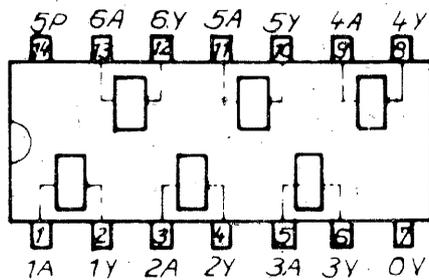
D100
 D200
 D201 (offener Kollektor)
 D103 (offener Kollektor)
 K531LA3 (Schottky)
 74S37 (Schottky-Leistungsgatter)
 DL000 (L-Schottky)

2-Eingangs-NAND, vierfach



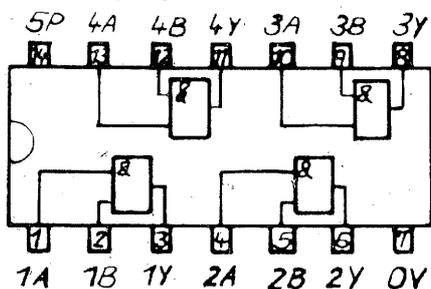
$$Y = AB$$

D204
 7406 PC (offener Kollektor)
 Inverter (sechsfach)



$$Y = A$$

D108
 2 Eingangs-AND, vierfach

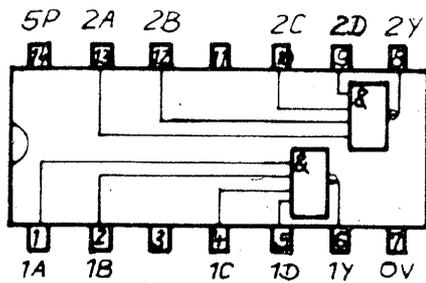


$$Y = AB$$

D240 (Leistungsgatter)

MH74S20 (Schottky)

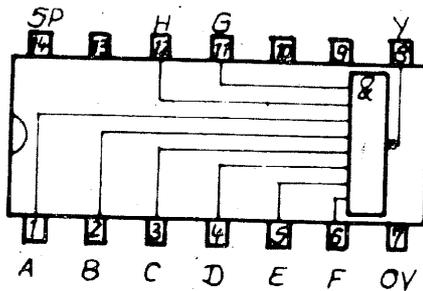
Vier-Eingangs-NAND, zweifach



$$Y = \overline{ABCD}$$

D130

Acht-Eingangs-NAND

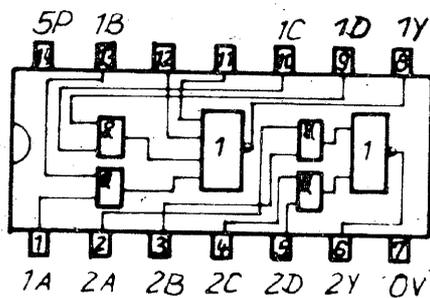


$$Y = \overline{ABCDEFGH}$$

D151

D251

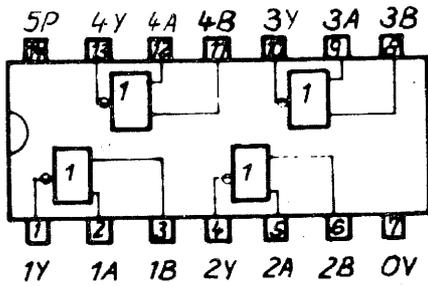
2x2-Eingangs AND-NOR-Gatter



$$Y = \overline{AB + CD}$$

DL002

Zwei-Eingangs-NOR-Gatter

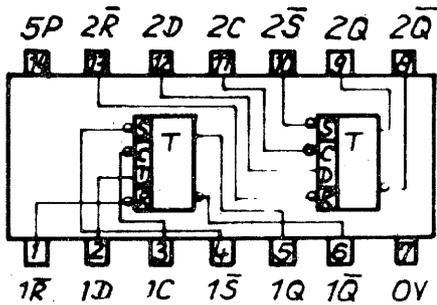


$$Y = \overline{A+B}$$

D174

K531 TM2 (Schottky)

D - Flipflop 2fach



C	D	Q _{n+1}
L	L	L
L	H	H

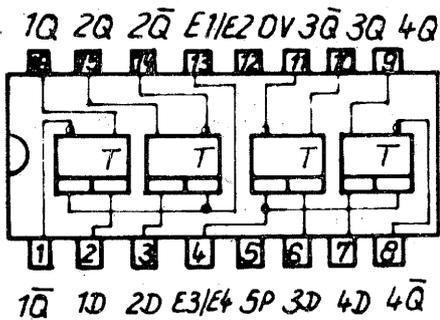
Q_{n+1} - Zustand nach pos. Taktflanke

R-bar und S-bar taktunabhängig

S-bar = L. setzt Q = H
R-bar = L. setzt Q = L

D175

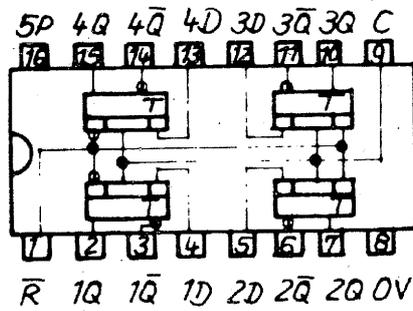
D-Flipflop 4fach



	t _n	t _{n+1}
C	D	Q Q-bar
	1	1 0
	0	0 1

t_n: Zeit vor dem Eingangsimpuls
t_{n+1}: Zeit nach dem Eingangsimpuls

K155 TM8
D-Flipflop 4-fach

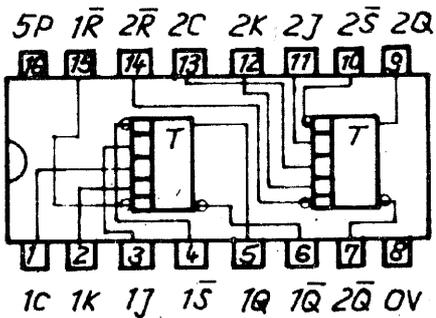


t_n			t_{n+1}	
D	C	R	Q	\bar{Q}
0	\surd	1	0	1
1	\surd	1	1	0

t_n : Zeit **vorder** pos Taktflanke
 t_{n+1} : Zeit **nach** der pos Taktflanke

DL 112 (L-Schottky)
K 531TV9 Schottky

2x Jk-Flipflop



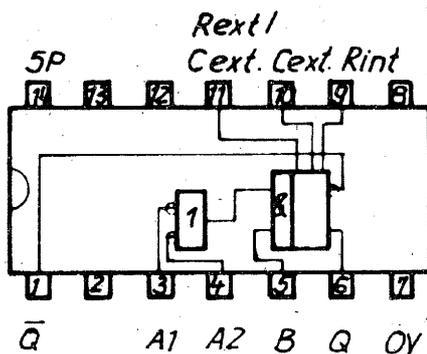
t_n					t_{n+1}	
J	K	R	S	C	Q	\bar{Q}
0	0	1	1	\surd	Q_n	\bar{Q}_n
0	1	1	1	\surd	0	1
1	0	1	1	\surd	1	0
1	1	1	1	\surd	Q_n	Q_n

t_n : Zeit vor der neg. Taktflanke
 t_{n+1} : Zeit nach der neg. Taktflanke

K155 AG1

D121

Monostabiler Multivibrator

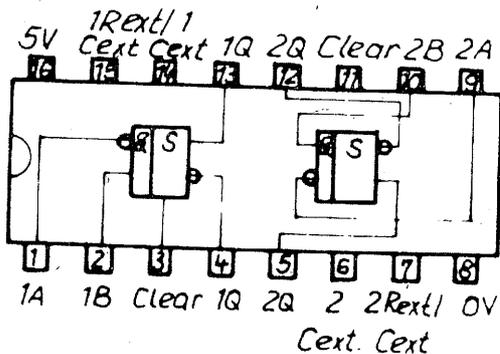


Das Zeitverhalten des Bausteins wird entweder intern (Verbindung Anschl. 9 mit Anschl. 14) oder extern durch Anschl. eines Kondensators zwischen Anschl. 10 und 11 und entweder eines Widerstandes von Anschluß 11 nach 5P oder Anschl. 9 nach 5P bestimmt.

$$t_w = 0,7 \cdot R_{ext} \cdot C_{ext}$$

K155 AG3
DL 123 (L-Schottky)

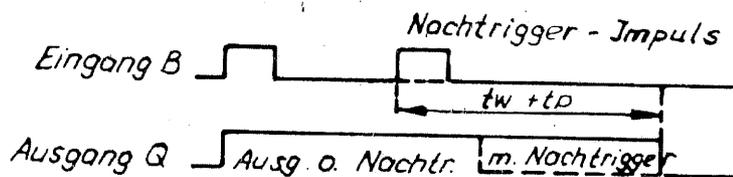
Monostabiler Multivibrator, zweifach, mit Rückstelleingang, retriggerbar



A	B	Q	\bar{Q}
H	X	L	H
X	L	H	L
L	L	L	L
V	H	L	L

Zwischen Cext und Rext/Cext kann ein externer Kondensator angeschlossen werden, wodurch die Länge der Ausgangs-Impulse an Q und \bar{Q} beeinflusst werden kann.

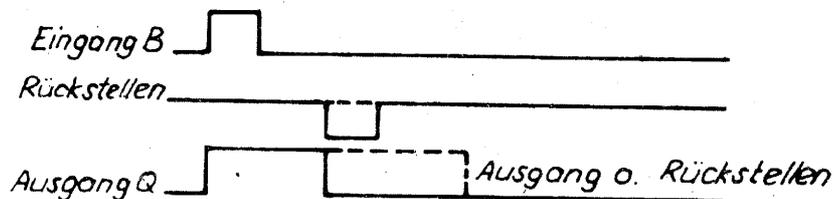
Typische Ein- und Ausgangs-Impulse des DL 123



Steuerung des Ausgangs-Impulses durch den Nachtrigger-Impuls

t_w - normale Wartezeit

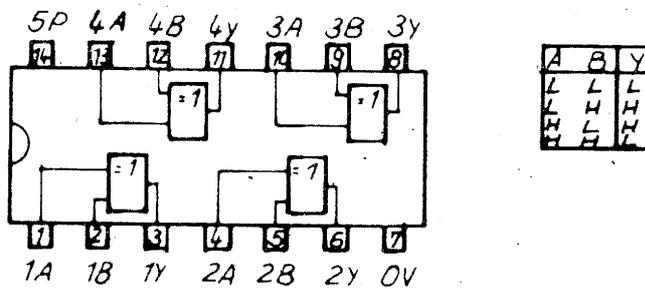
t_p - zusätzliche Haltezeit beim Nachtriggern



Steuerung des Ausgangs-Impulses durch den Rückstell-Impuls

Durch Nachtriggern des Eingangs bevor der Ausgangs-Impuls beendet ist, kann der Ausgangs-Impuls beliebig verlängert werden. Das übergeordnete Rückstellen gestattet es, jeden Ausgangs-Impuls zu einem beliebigen Zeitpunkt zu beenden, unabhängig von den Zeitkomponenten R und C.

K531 LP5 (Schottky)
2 Eingangs-Exklusiv-ODER, vierfach

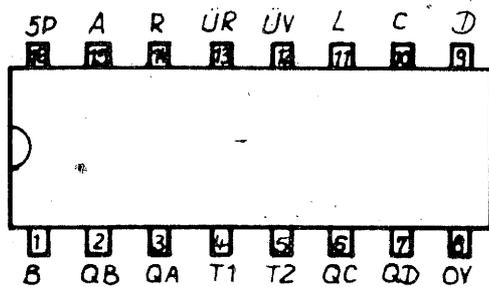


D 192 (dezimal)
D 193 (binär)

Synchroner Vor- und Rückwärtszähler

Der D 192 und der D 193 unterscheiden sich nur in ihrem Zählumfang.

- D 192 zählt bis 9; 10 entspricht 0 mit Übertrag.
- D 193 zählt bis 15; 16 entspricht 0 mit Übertrag.



- A, B, C, D - Daten-Eingänge
- T2 - Takt für Zählen vorwärts
- T1 - Takt für Zählen rückwärts
- L - Ladeeingang
- R - Rückstelleingang
- ÜV - Übertrag vorwärts
- ÜR - Übertrag rückwärts
- QA bis QD - Zählerausgänge

Ablaufdiagramm D 192:

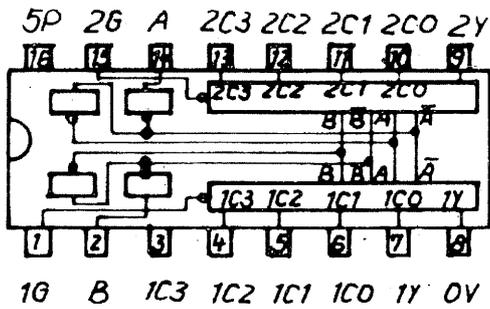
Folgende Funktionsabläufe sind dargestellt:

1. Rückstellen auf 0
2. Stellen des Anfangszustandes auf 7
3. Vorwärtszählen auf 8, 9, 0 mit Übertr. 1, 2
4. Rückwärtszählen auf 1, 0, 9 m. Übertr. 9, 8, 7

	QA	QB	QC	QD
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

K 155 KP2

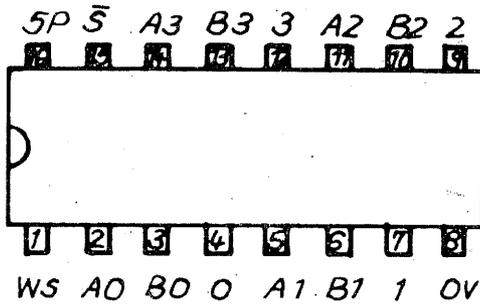
2fach 4:1 Multiplexer



Adressen		Daten-Eingänge				Strobe	Ausgang
A	B	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	1	0
0	0	0	X	X	X	0	0
0	0	1	X	X	X	0	1
0	1	X	0	X	X	0	0
0	1	X	1	X	X	0	1
1	0	X	X	0	X	0	0
1	0	X	X	1	X	0	1
1	1	X	X	X	0	0	0
1	1	X	X	X	1	0	1

K 531 KP11

4x2 zu 1 Datenselektor/Multiplexer

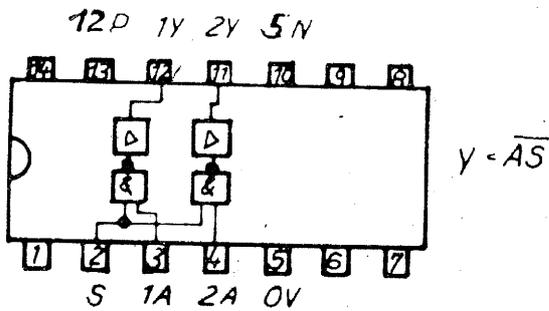


A0...A3 Eingänge Wort 1
 B0...B3 Eingänge Wort 2
 WS Wortauswahleingang
 \bar{S} Strobe bzw. Steuereingang für 3-state Ausgänge
 0...3 Datenausgänge

\bar{S}	WS	Wort1 an 0...3	Wort 2 an 0...3
0	0	X	-
0	1	-	X
1	X	hochohmig	

K170 AP2

Leitungstreiber der V24 - Schnittstelle

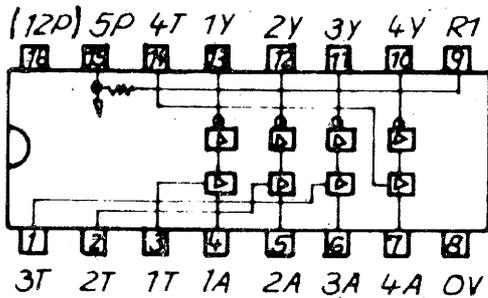


Bei Verwendung des 8 poligen Gehäuses ist der veränderte Anschluß zu beachten

(S = 1, ... 12P = 8).

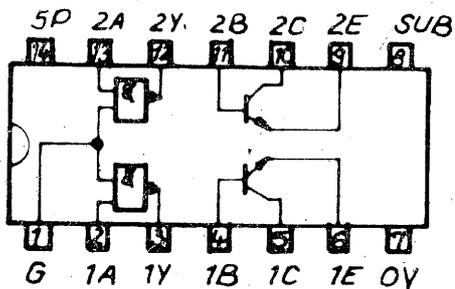
K 170 UP2

Leitungsempfänger der V24-Schnittstelle



K 155 LP7

Leistungstreiber, zweifach



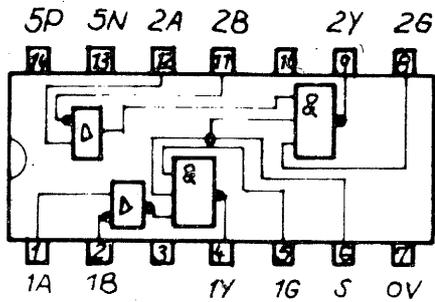
$Y = \overline{AG}$ (nur Gatter)

$C = AG$ (Gatter und Transistor)

75107

Leitungsempfänger und -treiber, zweifach

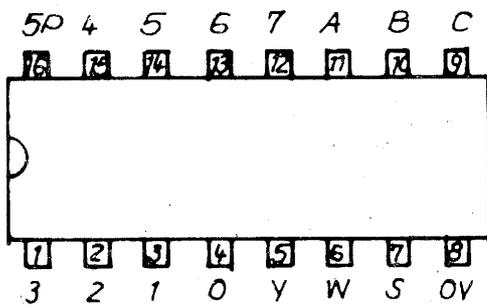
- Für die Aufnahme und Verarbeitung von Signalen mit niedrigem Pegel
- Standard TTL-Ausgänge
- Individuelle (Strobe 1G bzw. 2G) und gemeinsame (Strobe 5) Steuereingänge



A,B Differenzeingänge	G	S	Y
$U_{diff} + 10mV$	H	H	H
$-10mV < U_{diff} < +10mV$	H	H	unbestimmt
$U_{diff} - 10mV$	H	H	L

K 155 KP7

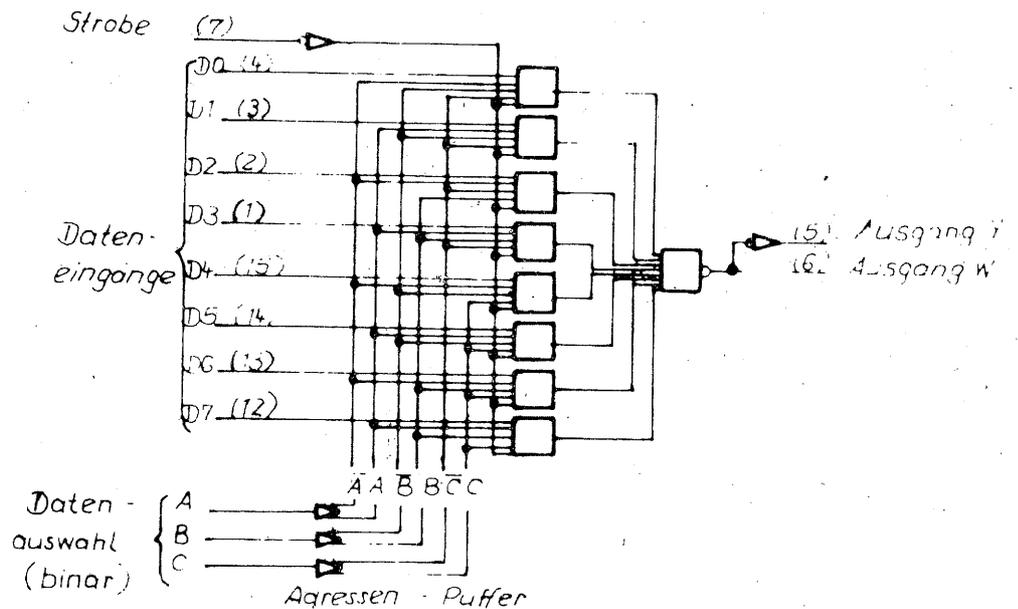
8 Kanal -Datenmultiplexer



- 0...7 Dateneingänge
- Y, W Datenausgänge
- A...C Datenauswahl

Funktionstabelle

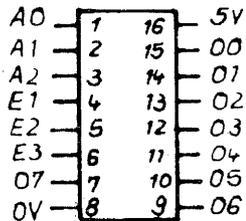
Eingänge				Ausgänge	
Auswahl		Strobe		Y	W
C	B	A	S		
X	X	X	H	L	H
L	L	L	L	00	00
L	L	L	L	01	01
L	L	L	L	02	02
L	L	L	L	03	03
L	L	L	L	04	04
L	L	L	L	05	05
L	L	L	L	06	06
L	L	L	L	07	07
L	L	L	L	07	07



DS 8205 (Schottky)

Schneller 1- aus - 8 - Dekoder in Schottky - TTL - Technik

Verwendung: Ein-/Ausgabetauswahlschaltkreis oder Speicher-
auswahlschaltkreis

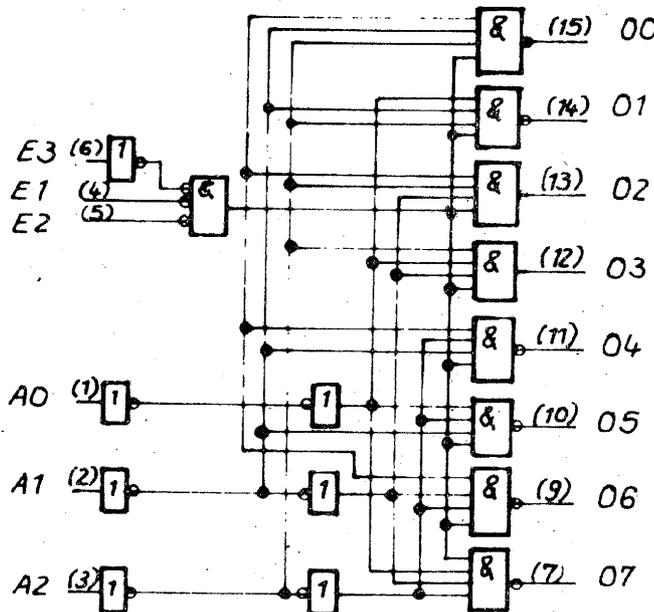


Adresse			Enable			Ausgänge							
A0	A1	A2	E1	E2	E3	0	1	2	3	4	5	6	7
L	L	L	L	L	H	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
L	H	L	L	L	H	H	H	L	H	H	H	H	H
H	H	L	L	L	H	H	H	L	H	H	H	H	H
L	L	H	L	L	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	H	L	H	H	H
L	H	H	L	L	H	H	H	H	H	H	L	H	H
H	H	H	L	L	H	H	H	H	H	H	H	L	L

A0, A1, A2 - Adresseneingänge
E1, E2, E3 - Bausteinauswahl
00 bis 07 - Ausgänge

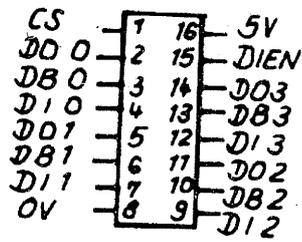
Bei E1=L, E2=L, E3=H ist der Schaltkreis ausgewählt. Davon abweichende Belegungen bewirken unabhängig von den Adreßeingängen einen H-Pegel an allen Ausgängen.

Aufbau des 8205:



DS 8216

4-Bit-bidirektionaler Bustreiber



DB0 bis DB3 : Bidirektionaler Datenbus

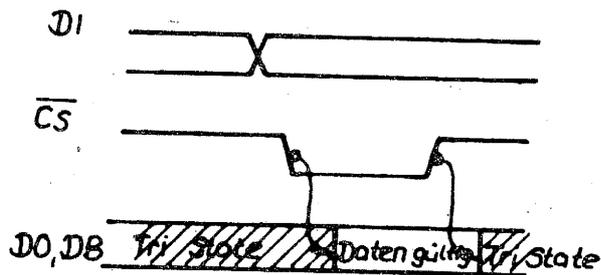
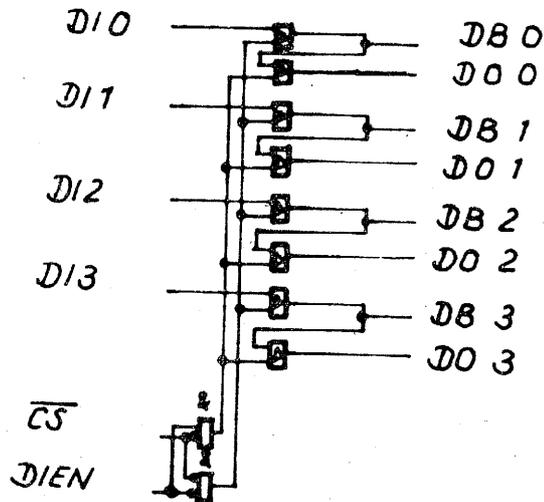
DI0 bis DI3 : Dateneingänge

DO 0 bis DO3: Datenausgänge

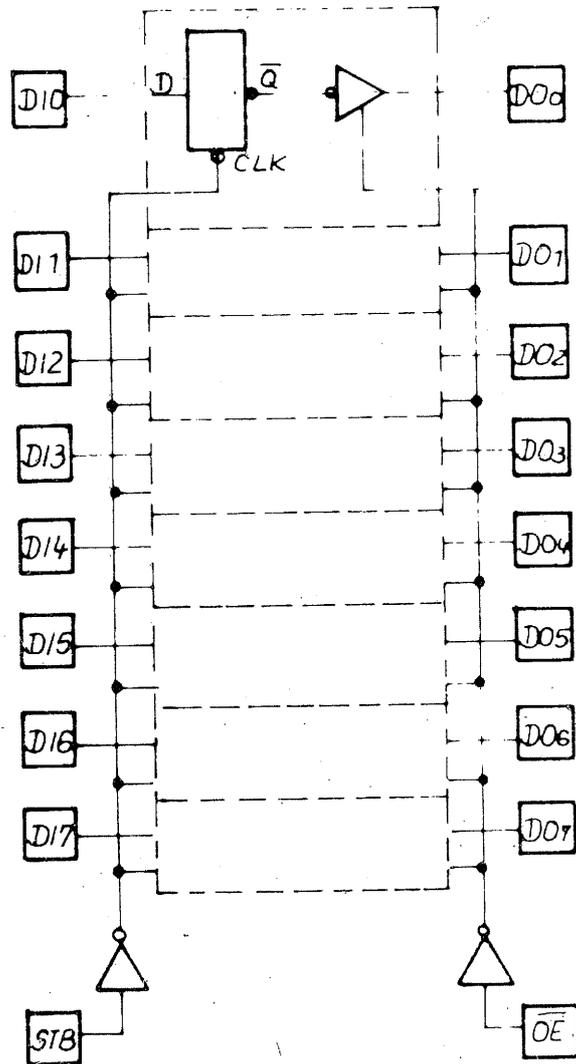
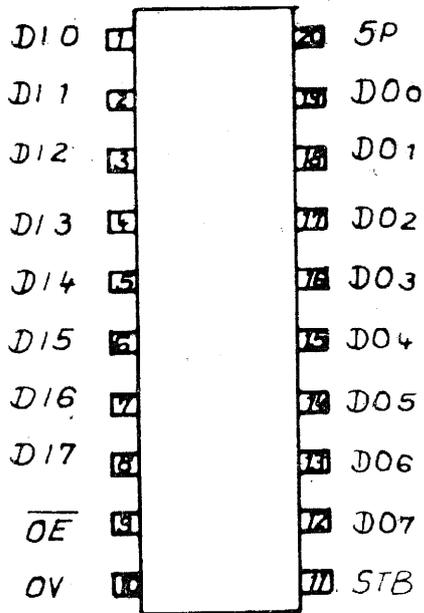
\overline{DIEN} : Steuerung der Datenflußrichtung

CS: Bausteinauswahl

Aufbau:

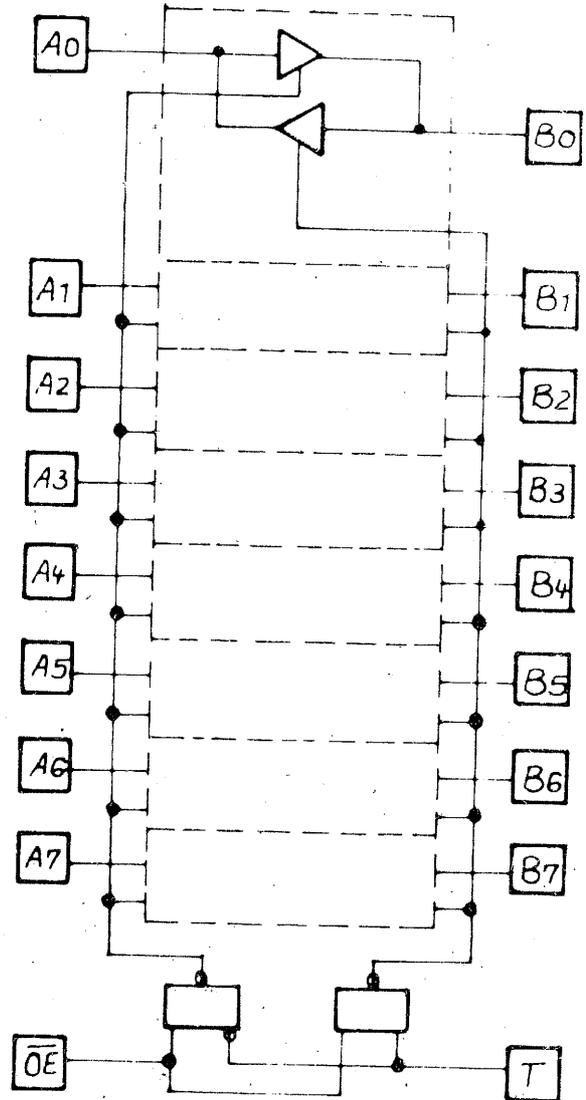
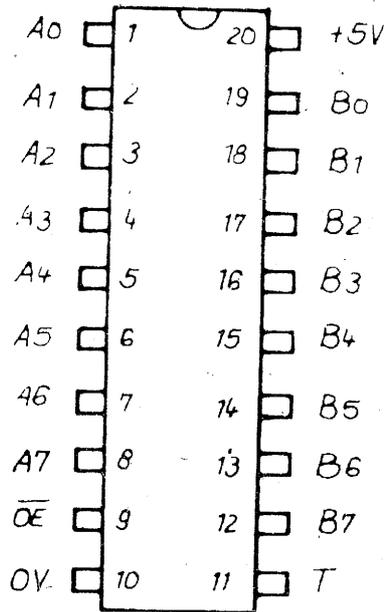


DS 8282
8-fach Latch



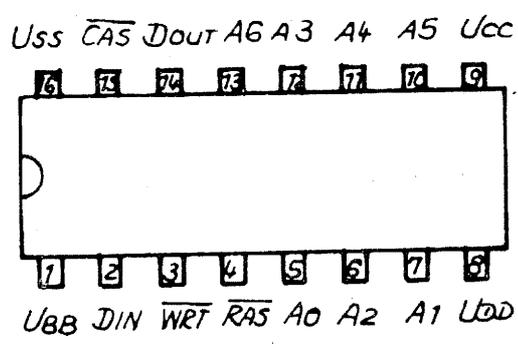
\overline{OE}	STB	Einspeichern	Ausgänge
H	L	nein	hochohmig
H	H	ja	hochohmig
L	L	nein	aktiv
L	H	ja	aktiv

DS 8286
 Bidirektionaler 8 bit Bustreiber mit 3-state Ausgängen



T	\overline{OE}	A0...A7	B0...B7
UIH	UIL	Eingang	Ausgang
UIL	UIL	Ausgang	Eingang
X	UIH	hochohmig	hochohmig

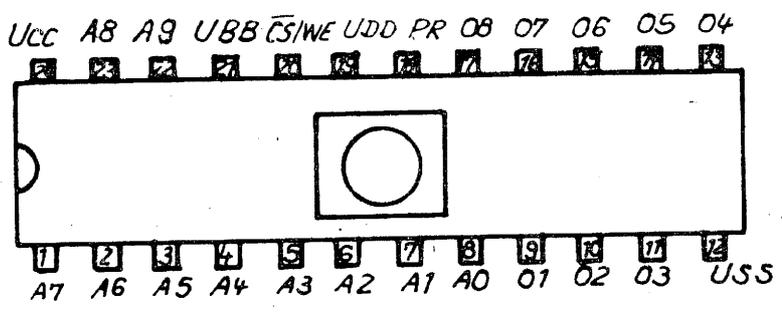
K 565 RU3
16K - Dynamischer RAM



UDD: +12V ± 10%
UCC: +5V ± 10%
UBB: -5V ± 10%

U 555 C

Elektrisch programmierbarer, UV - löscherbarer Festwertspeicher
- Speicherkapazität 8K bit
- Speicherorganisation 1K x 8bit



UDD: +12V ± 5%
UCC: +5V ± 5%
UBB: -5V ± 5%

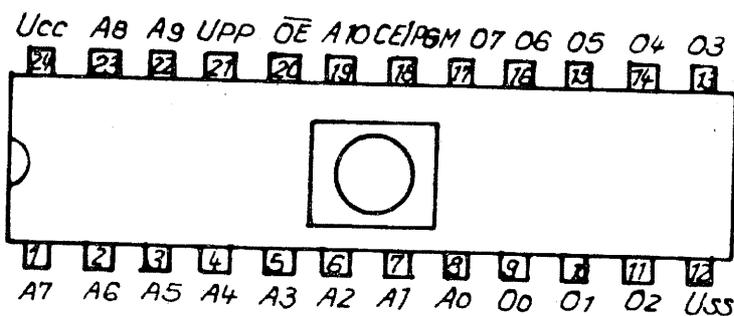
Anschluß	Daten I/O 1/0 9..11, 13..17	Adressen 1..7, 23, 22	USS 12	Progr. 18	UDD 19	CS/WE 20	UBB 21	UCC 24
Lesen	DOUT	AIN	0V	0V	+12V	UIL	-5V	+5V
Deselektiert	hochohmig	X	0V	0V	+12V	UIH	-5V	+5V
Programmierung	DIN	AIN	0V	gepulste +26V	+12V	UIHW	-5V	+5V

U 556 C

Elektrisch programmierbarer, UV- löschbarer Festwertspeicher

- Speicherkapazität 16K bit

- Speicherorganisation 2K x 8 bit

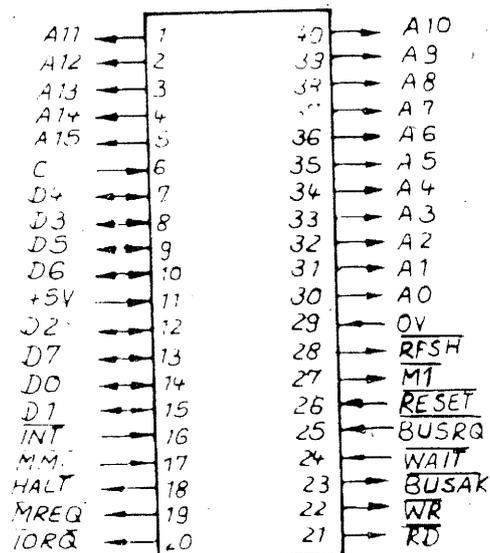
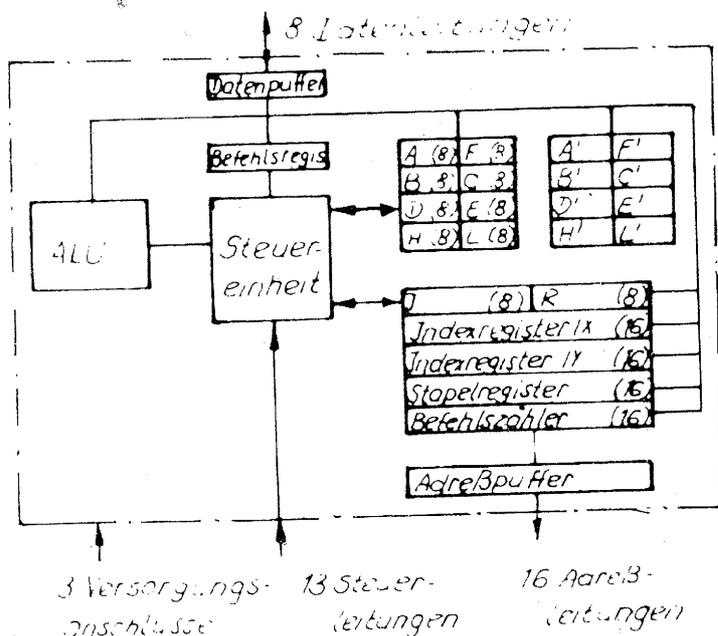


$U_{CC} = +5V \pm 5\%$

Anschluß	CE/PGM 18	\overline{OE} 20	UPP 21	U_{CC} 24	Ausgänge 9...11, 13...17
Lesen	U_{IL}	U_{IL}	+5	+5	D_{OUT}
Deselektiert	X	U_{IH}	+5	+5	hochohmig
Powerdown	U_{IH}	X	+5	+5	hochohmig
Programmierung	Impuls von U_{IL} nach U_{IH}	U_{IH}	+25	+5	D_{IN}
Programmierkontrolle	U_{IL}	U_{IL}	+25	+5	D_{OUT}
Programmieren verhindern	U_{IL}	U_{IH}	+25	+5	hochohmig

U 880

Mikroprozessor (CPU)



Der U 880 besitzt zwei gleichartige Registerblöcke B, C, D, E, H, L und B', C', D', E', H', L', dem je ein Akkumulator A bzw. A' und ein Statusregister F bzw. F' zugeordnet ist.

Der 16-Bit-Befehlszähler (Programm Counter, PC) enthält die aktuelle Mikroprogrammadresse.

Das 16-Bit-Stapelregister (Stack-Pointer) enthält die aktuelle Adresse für den externen Stapelspeicher (LIFO-organisiert).

Die zwei 16-Bit-Indexregister IX und IY enthalten je eine Stammadresse. Eine 8-Bit-Verschiebeadresse (d) gibt den Abstand der aktuellen Adresse von IX bzw. IY an.

Das 8-Bit-Speicherauffrischregister (Refresh-Register, R) ermöglicht ohne zusätzlichen Aufwand das Arbeiten mit externen dynamischen Speichern.

Das Interruptregister I beinhaltet die höherwertigen 8 Bit der Anfangsadresse einer Interruptroutine. Die niederwertigen 8 Bit werden von der Peripherie geliefert.

Folgende Maschinenzyklen werden vom U 880 verwendet:

- Befehlsaufruf M1
- Lesen aus dem Speicher
- Schreiben in den Speicher
- Eingabe
- Ausgabe
- Interruptannahme

Jeder Mikrobefehl erfordert einen oder mehrere Maschinenzyklen, die ihrerseits aus drei bis sechs Systemtaktten bestehen, zusätzliche Systemtakte (WAIT) sind möglich.

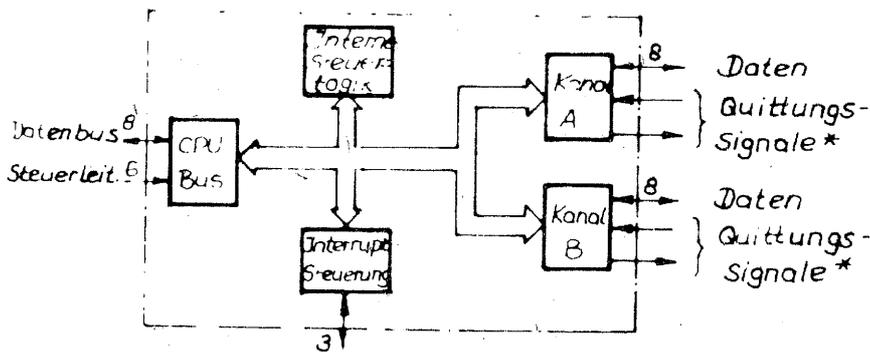
Paralleler Ein-/ Ausgabebaustein (PIO)

Der durch Software programmierbare parallele Ein- / Ausgabe-Interfacebaustein enthält zwei Kanäle, über die der Datenverkehr zwischen dem U 880 und dem jeweiligen peripheren Gerät abgewickelt wird. Der Datenverkehr zwischen dem PIO und dem externen Gerät wird durch die Signale STROBE und READY realisiert, wobei STROBE eine Interruptanforderung zur CPU auslöst. Die CPU veranlaßt durch die Signale WR und RD den Datentransport von und nach dem PIO. Die automatische Interruptvektorerzeugung und die Prioritätswichtung sind ohne zusätzlichen Schaltungsaufwand durch entsprechendes Einordnen in der Prioritätskette möglich.

Jeder Kanal kann für eine der vier Betriebsarten programmiert werden:

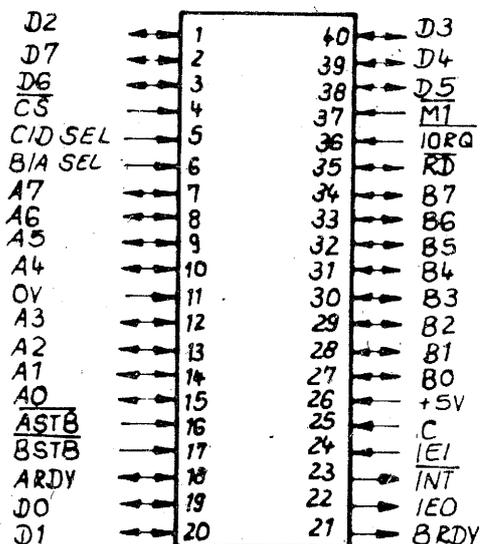
- Byte-Ausgabe
- Byte-Eingabe
- Byte- Ein- / Ausgabe (nur Kanal A)
- Bit-Ein- / Ausgabe

Aufbau und Anschlußbelegung des PIO



Interruptsteuerung

*bei Betriebsart "Bit - Ein/Ausgabe" nicht benutzt



DO-D7: Datenbus, Tri-State, Datenbus zur CPU, bidirektional

B/A SEL: Kanalauswahl A oder B
C/D SEL: Auswahl Steuer- oder Datenwort

CS : Bausteinaktivierung

M1 : Maschinenzklus -
1. Signal der CPU

IORQ : Ein- / Ausgabeanforderung der CPU

RD : Lesen, Signal von der CPU

IEI : Interruptfreigabeeingang

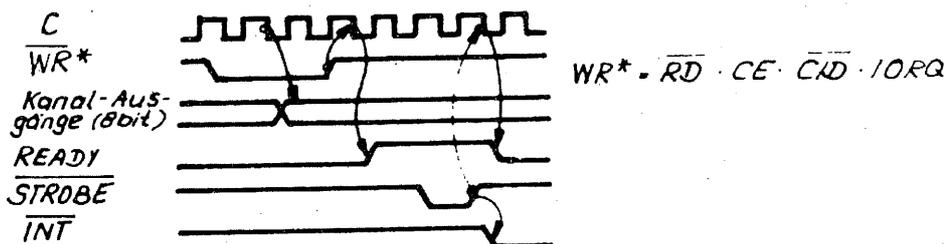
IEO : Interruptfreigabeausgang, IEI und IEO werden zur

	Bildung einer Prioritätskette verwendet
\overline{INT}	: Interruptanforderung, Signal zur CPU
C	: Systemtakt des U 880
$A0-A7$: Ein-/Ausgänge des Kanals A
$B0-B7$: Ein-/Ausgänge des Kanals B
\overline{ASTB}	: Steuersignal des externen Gerätes (Kanal A)
$ARDY$: Steuersignal des PIO zum externen Gerät (Kanal B)
\overline{BSTB}	: Steuersignal des externen Gerätes (Kanal B)
$BRDY$: Steuersignal des PIO zum externen Gerät (Kanal B)

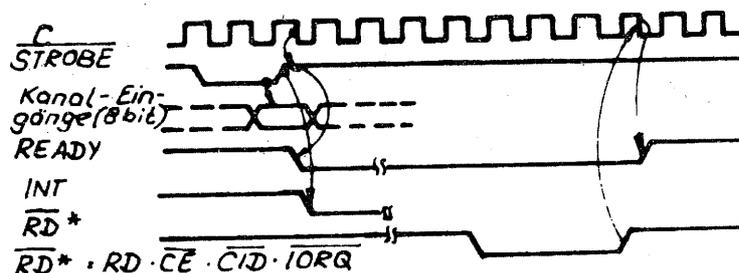
Die Signale $A/BSTB$ und $A/BRDY$ realisieren den Anforderungs- und Quittungsbetrieb beim Datenverkehr zwischen dem PIO und dem externen Gerät.

Folgende Zeitabläufe treten im PIO auf:

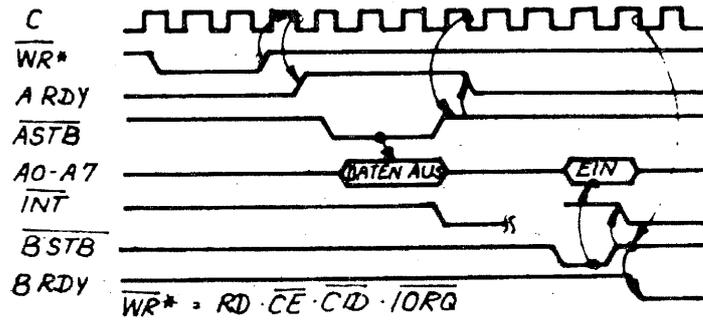
1. Betriebsart Ausgabe



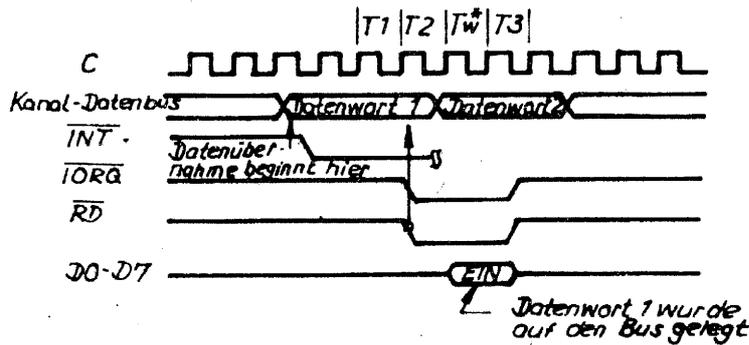
2. Betriebsart Eingabe



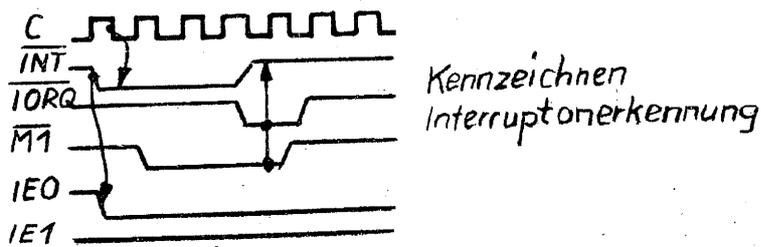
3. Betriebsart Byte - Ein/Ausgänge



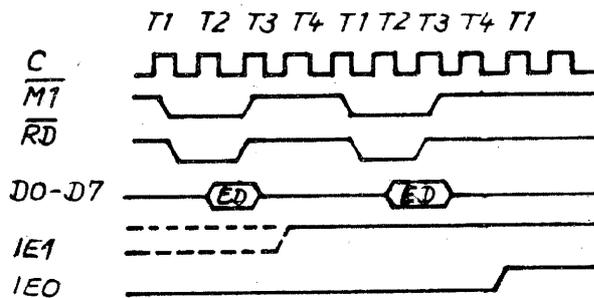
4. Betriebsart Bit - Ein/Ausgabe



5. Interruptanerkennung



6. Rückkehr vom Interrupt

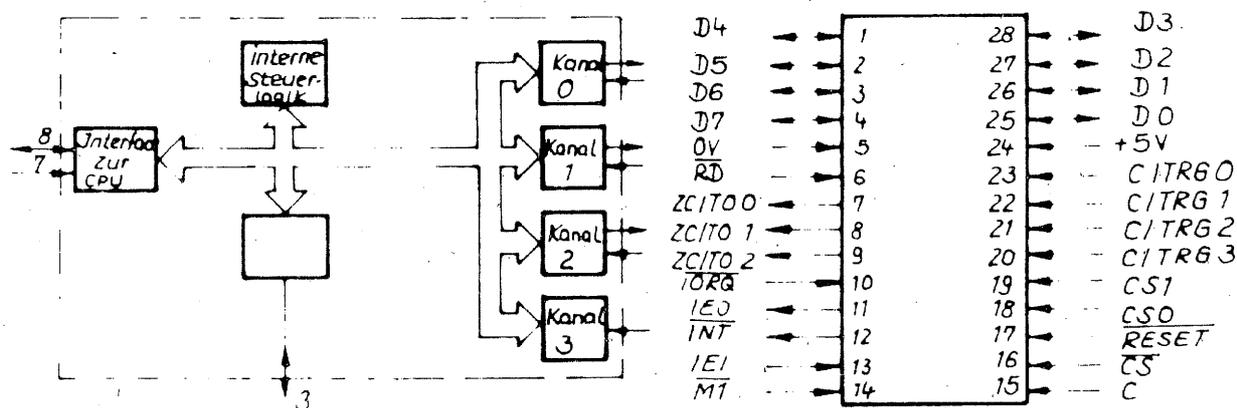


U 857

Zähler-Zeitgeber -Baustein (CTC)

Der CTC ist ein programmierbarer Zähler-Zeitgeber-Baustein. Mit ihm lassen sich beliebige Zeitbedingungen verwirklichen. Er besitzt vier voneinander unabhängige Kanäle. Drei davon können als Zähler-Zeitgeber verwendet werden, der vierte nur als Zähler. Die Prioritätswichtung des CTC erfolgt durch entsprechende Einordnung in der Prioritätskette. Bei einem beliebig programmierbaren Zähler-Zeitgeber-Zustand kann eine Interruptanmeldung erfolgen, bei Annahme legt der CTC den entsprechenden Interruptvektor auf den Datenbus. In der Betriebsart Zähler kann der aktuelle Zählerstand jederzeit von der CPU gelesen werden. In der Betriebsart Zeitgeber wird der anliegende Systemtakt durch einen Vorteiler im Verhältnis 1 zu 16 oder 1 zu 256 geteilt.

Aufbau und Anschlußbelegung des CTC:



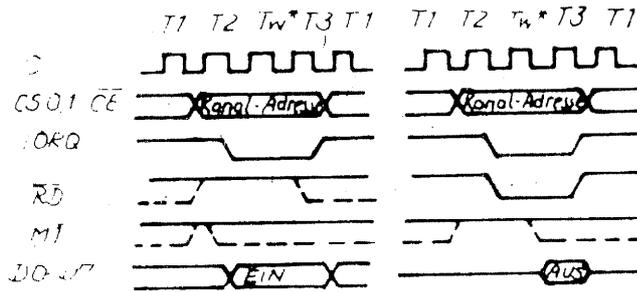
- C/TRG 0: Takt/Trigger für Kanal 0, externer Takteingang für den Zähler bzw. Zeitgeberstarteingang
- C/TRG 1: Takt/Trigger für Kanal 1
- C/TRG 2: Takt/Trigger für Kanal 2
- C/TRG 3: Takt/Trigger für Kanal 3
- ZC/TO 0: Nulldurchgang/Zeitgebermeldung Kanal 0, Nullsignal des Rückwärtszählers bzw. Meldung des Zeitgebers
- ZC/TO 1: Nulldurchgang/Zeitgebermeldung Kanal 1
- ZC/TO 2: Nulldurchgang/Zeitgebermeldung Kanal 2
- CS1, CS0: Kanalauswahl, 2-Bit-Adresse
- D0 - D7: Datenbus, Tri-State, bidirektional
- CS : Bausteinaktivierung
- M1 : Maschinenzklus-1-Signal
- IORQ : Ein- / Ausgabeanforderungssignal der CPU
- RD : Lesen, Signal von der CPU
- IEI : Interruptfreigabeeingang
- IEO : Interruptfreigabeausgang, IEI und IEO werden zur Bildung einer Prioritätskette verwendet
- INT : Interruptanforderung, Signal zur CPU
- RESET : Rückstelleingang, unterbricht den Zählvorgang aller Kanäle, CTC geht in den inaktiven Zustand, ZC/TO 0 bis ZC/TO 2 und INT werden inaktiv, IEO

wird gleich IEI gesetzt, alle Ausgänge werden hochohmig

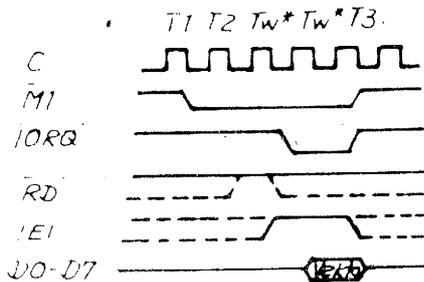
C : Systemtakt des U 880

Folgende Zeitabläufe können im CTC auftreten:

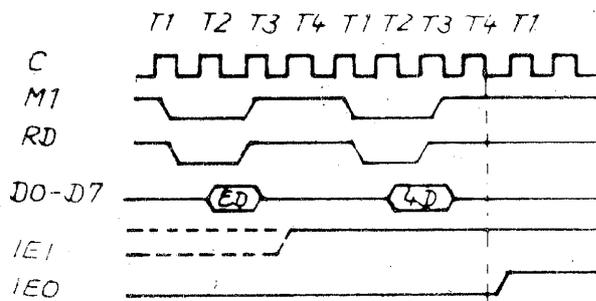
1 Schreibzyklus 2 Lesezyklus



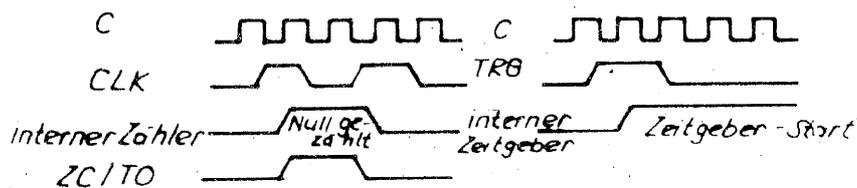
3 Interrupterkennung



4 Rücksprung vom Interrupt



5 Zähler - Zeitgebervorgang

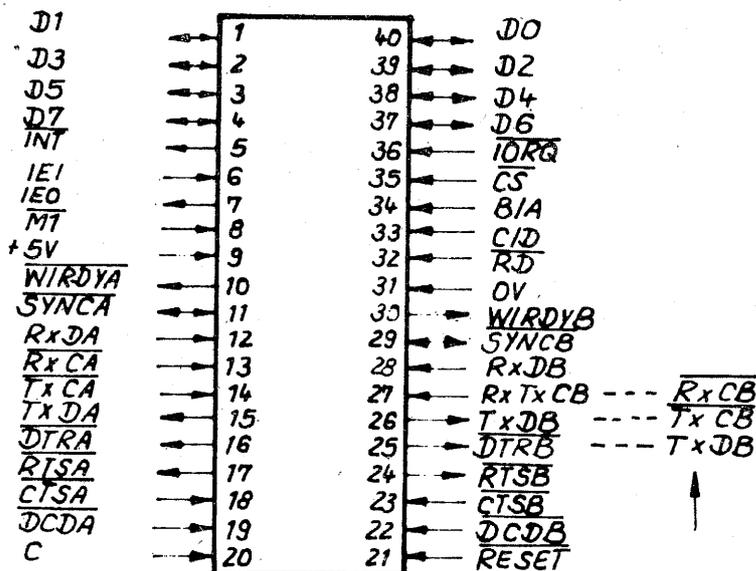
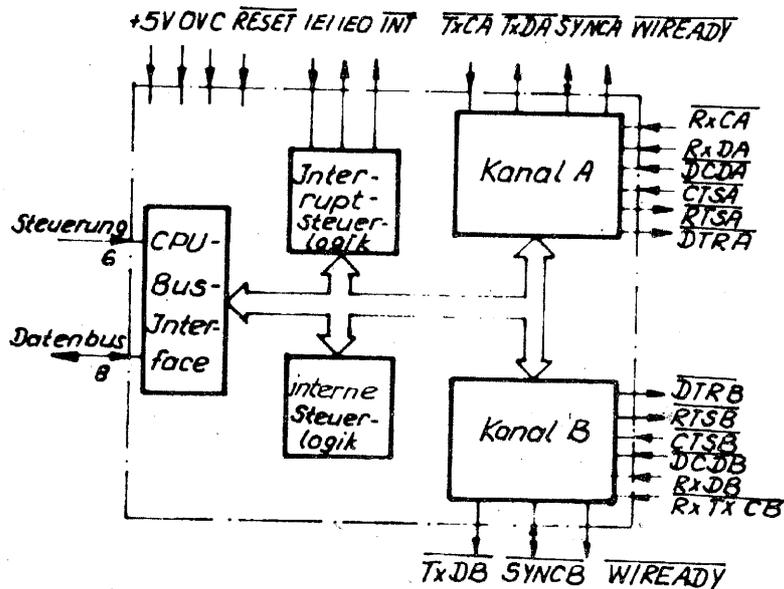


Serieller Ein- / Ausgabebaustein (SIO)

Der SIO ist ein programmierbarer, universell einsetzbarer Interfacebaustein. Er verwirklicht die Umwandlung von parallelem Datenformat in seriell und umgekehrt. Er kann mit asynchroner, oder bitweise synchroner Datenübertragung arbeiten. In der synchronen Betriebsart kann der Baustein zyklische Redundanzprüfsignale (CRC) erzeugen. In der asynchronen Arbeitsweise wird er durch Kommandoworte der CPU jedem asynchronen Format abgepaßt.

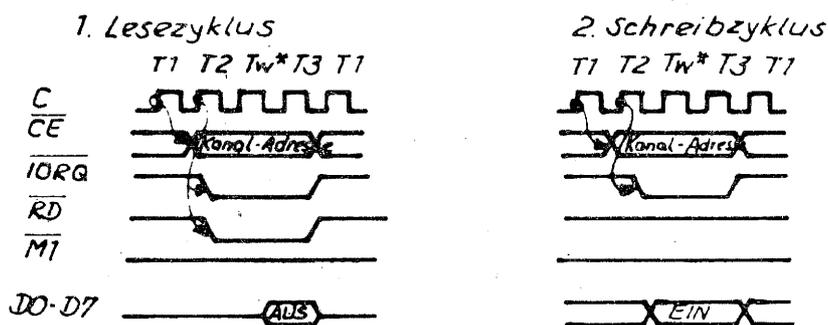
Der SIO beinhaltet zwei vollständig übereinstimmende Ein- / Ausgabekanäle, wobei der Datenempfang vierfach und das Senden zweifach gepuffert sind. Die Prioritätswichtung erfolgt durch entsprechendes Einordnen in der Prioritätskette.

Aufbau und Anschlußbelegung:

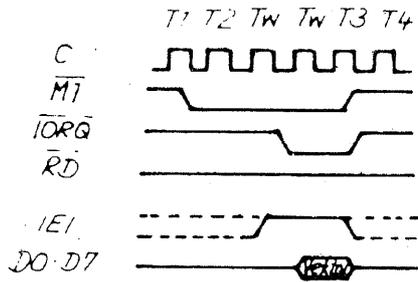


<u>DO - D7</u>	: Datenbus, Tri-State, bidirektional
<u>B/A</u>	: Auswahl Kanal A oder B
<u>C/D</u>	: Auswahl Steuer- oder Datenwort
<u>CS</u>	: Bausteinaktivierung
<u>M1</u>	: Maschinenzyklus-1-Signal der CPU
<u>IORQ</u>	: Ein- / Ausgabeanforderung der CPU
<u>RD</u>	: Lesen, Signal von der CPU
<u>IEI</u>	: Interruptfreigabeeingang
<u>IEO</u>	: Interruptfreigabeausgang, IEI und IEO werden zur Bildung einer Prioritätskette verwendet
<u>RESET</u>	: Rückstelleingang, sperrt Sender und Empfänger, die MODEM-Steuerleitungen werden inaktiv, alle Interrupts sind untersagt. Nach einem RESET müssen alle Steuerregister neu beschrieben werden
<u>INT</u>	: Interruptanforderung, Signal zur CPU
<u>W /RDYA</u>	: Programmierbar als - Bereitschaftsleitungen für den Anschluß von DMA-Steuerungen (READY) - Warteleitungen zur Synchronisation der CPU mit der SIO-Datenrate (WAIT)
<u>CTSA, CTSB</u>	: Sendefreigabe, ist "automatische Freigabe" programmiert, gibt dieses Signal (CTS = Low) den Sender seines Kanals frei
<u>DCDA, DCDB</u>	: Entspricht den CTS-Eingängen, jedoch wird von DCD der jeweilige Empfänger freigegeben
<u>RxDA, RxDB</u>	: Empfangsdaten
<u>TxDA, TXDB</u>	: Sendedaten
<u>RxCA, RxCB</u>	: Empfängertakte
<u>TxCA, TXCB</u>	: Sendetakte
<u>RTSA, RTSB</u>	: Sendeanforderung, wird durch das Kommandobit Senden, Start und Ende gesteuert
<u>DTRA, DTRB</u>	: Datenterminal bereit, wird durch programmierbares Kommandobit gesteuert
<u>SYNCA</u>	: Externe Zeichensynchronisation, wird nur bei synchronem Betrieb verwendet
<u>SYNCB</u>	: und zeigt dort das Erkennen eines Synchronisationszeichens an. Im asynchronen Betrieb sind es frei verwendbare Eingänge zu den entsprechenden Bits
<u>C</u>	: Systemtakt des U 880

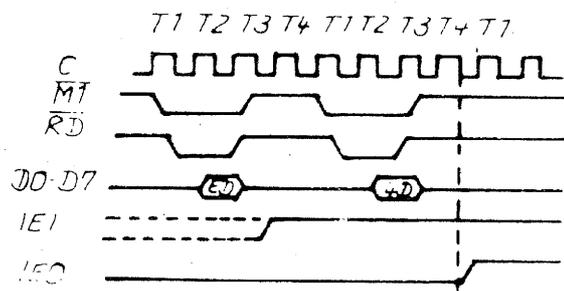
Folgende Zeitabläufe treten im SIO auf:



3. Interruptanerkennung



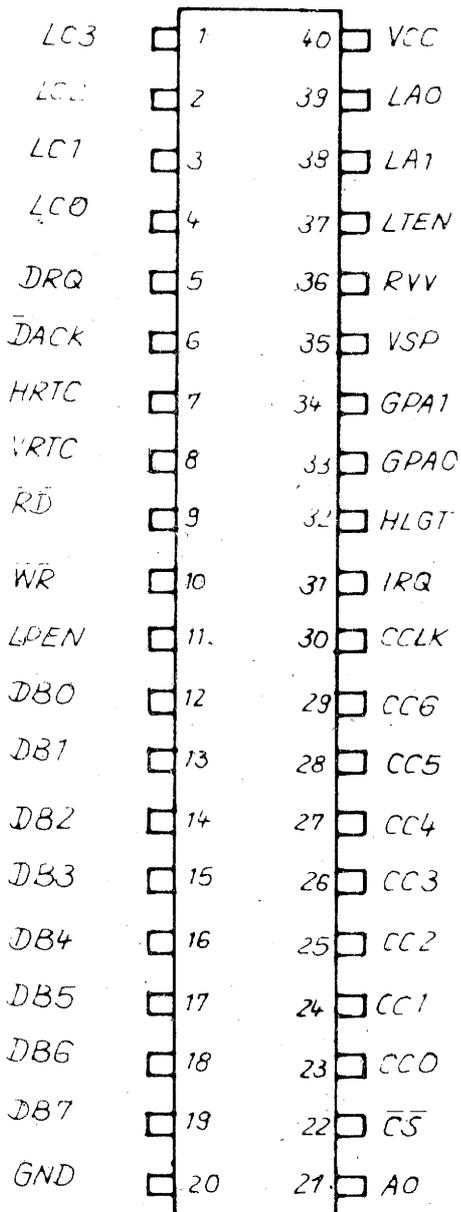
4. Rückkehr vom Interrupt



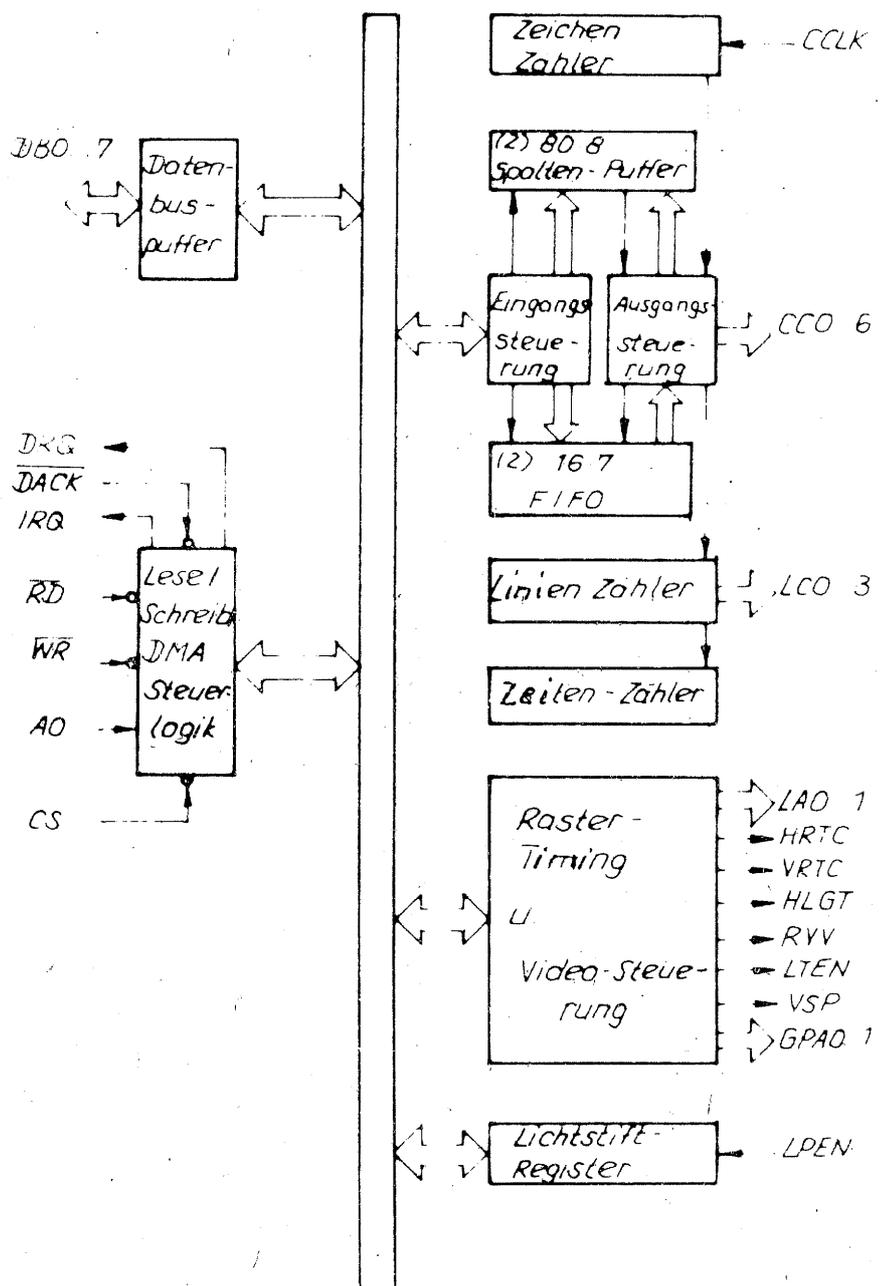
KR 580 WG 75

Programmierbarer CRT-Controller

Anschlußbelegung



Blockschaltbild



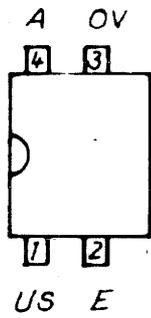
Anschlußbeschreibung

Anschluß	1	LC3	Ausgang	Linienzähler, Ausgang des Linienzählers, der zur Adressierung des Zeichengenerators für die Linienposition auf dem Schirm benötigt wird.
	2	LC2		
	3	LC1		
	4	LCO		
	5	DRQ;		
	5	DRQ	Ausgang	DMA-Anforderung, Ausgangssignal zur DMA-Steuerung, um einen DMA-Zyklus anzufordern.
	6	\overline{DACK}	Eingang	DMA-Anerkennung, Eingangssignal von der DMA-Steuerung, das bestätigt, daß der angeforderte DMA-Zyklus quittiert ist.
	7	HRTC	Ausgang	Horizontalrücklauf. Ausgangssignal, das während des programmierten Horizontalrücklaufintervalls aktiv ist. Während dieser Zeit ist der VSP (Video-Unterdrückung)-Ausgang High und der LTEN (Light-enable)-Ausgang Low.
	8	VRTC	Ausgang	Vertikalrücklauf. Ausgangssignal, das während des programmierten Vertikalrücklaufintervalls aktiv ist. Während dieser Zeit ist der VSP-Ausgang High und der LTEN-Ausgang Low.
	9	\overline{RD}	Eingang	Leseingang. Ein Steuersignal, um die Register zu lesen.
	10	\overline{WR}	Eingang	Schreibeingang. Ein Steuersignal, um Kommandos in die Steuerregister einzuschreiben oder Daten während eines DMA-Zyklus in die Zeilenpuffer einzutragen.
	11	LPEN	Eingang	Lichtgriffel. Eingangssignal vom CRT-System, das die Erkennung eines Lichtgriffelsignals anzeigt.
	12	DB0	Eingang/ Ausgang	Bidirektionale 3-state Datenbusleitungen
	13	DB1		
	14	DB2;		
	15	DB3		
	16	DB4		
	17	DB5		
	18	DB6		
	19	DB7		
	20	GND		
	21	A0	Eingang	Port-Adresse. Ein Eingangs-High an A0 selektiert den C-Port oder die Kommando-Register und ein Eingangs-Low selektiert den P-Port oder die Parameterregister.

Anschluß	22	\overline{CS}	Eingang	Durch \overline{CS} (Low) wird das Lesen und Schreiben durch die CPU ermöglicht.
	23	CC0	Ausgang	Zeichen-Codes. Ausgang des Zeilenpuffers, der für die Zeichenselektion im Zeichengenerator benutzt wird.
	24	CC1		
	25	CC2		
	26	CC3		
	27	CC4		
	28	CC5		
	29	CC6		
	30	CCLK	Eingang	Zeichentakt
	31	IRQ	Ausgang	Interrupt-Anforderung
	32	HLGT	Ausgang	Highlight. Ausgangssignal, das benutzt wird, um einzelne Positionen auf dem Schirm entsprechend der Spezifikation des Zeichenattributcodes oder Feldattributcodes hervorzuheben. Allgemeine Steuerausgänge.
	33	GPA0	Ausgang	
	34	GPA1		
	35	VSP	Ausgang	Video-Unterdrückung. Ausgangssignal, das erzeugt wird, um das Video-Signal des CRT auszublenden. Dieser Ausgang ist aktiv <ul style="list-style-type: none"> - während des Horizontal- und Vertikalrücklaufintervalls, - bei den oberen und unteren Linien der Zeilen, wenn das Unterstreichen auf Linie 8 oder größer programmiert wird, - wenn ein Zeilenende oder Bildende erkannt wird, - wenn eine DMA-Unterbrechung erkannt wird, - bei regulären Intervallen (1/16 Bildwechselfrequenz für den Cursor, 1/32 Bildwechselfrequenz für Zeichen- oder Feldattributcodes) zur Erzeugung blinkender Anzeigen.
	36	RVV	Ausgang	Reverse Video, Ausgangssignal, das der CRT-Schaltung anzeigt, das Video-signal umzudrehen
	37	LTEN	Ausgang	
	38	LA1	Ausgang	Linien-Attribut-Code: Diese Codes sind extern zu dekodieren, um die Horizontal- und Vertikallinienkombinationen für die Grafikdarstellungen zu erzeugen
	39	LA0		
	40	VCC		+5 V \pm 5 %

A 302

Schwellspannungsschaltkreis



$$U_s = 2,3 \dots 6,3V$$

$$J_E < 2mA$$

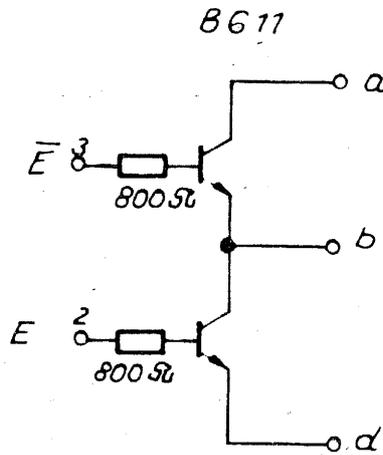
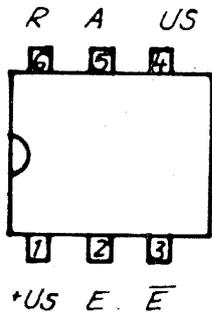
$$J_A < 60mA$$

$$A = E$$

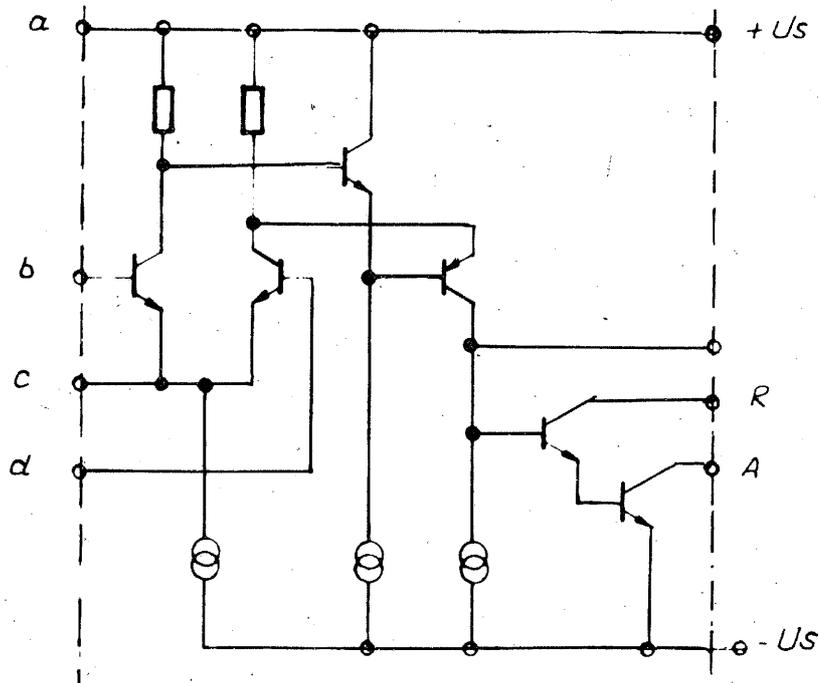
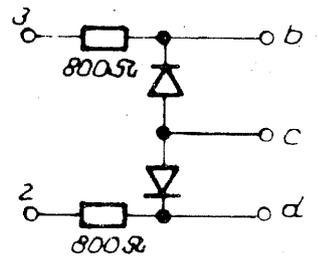
B 611

B 621

Operationsverstärker



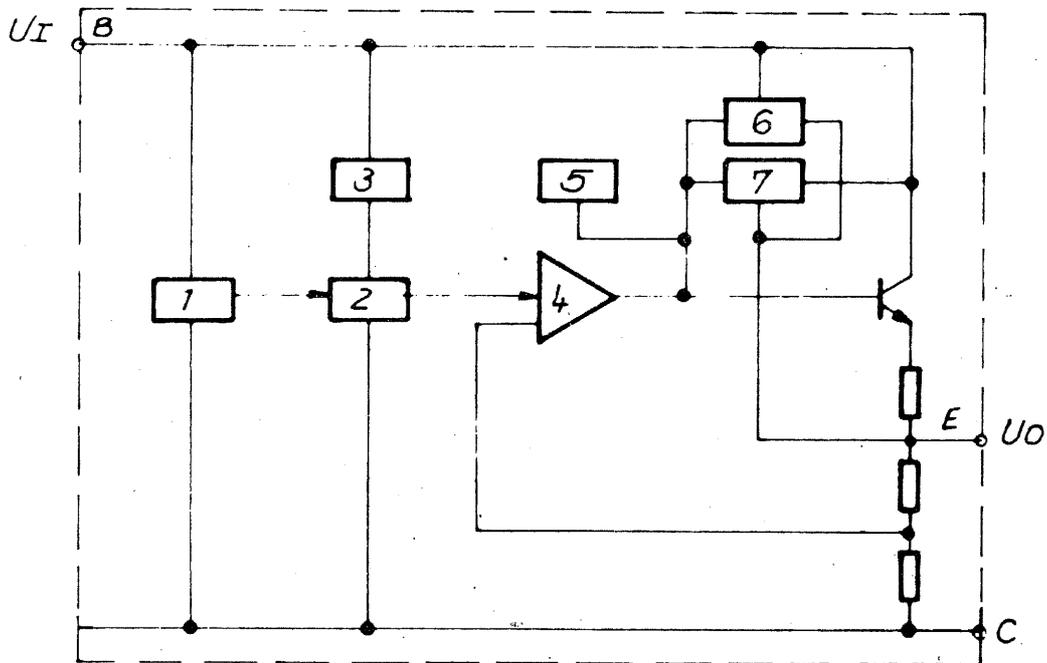
Eingang B621



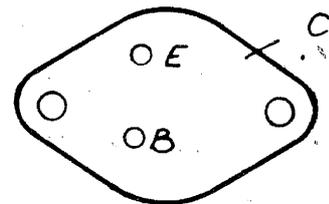
MA 7805

MA 7812

Integrierte Leistungs - Spannungsregler



- 1 Startkreis
- 2 Referenzspannung
- 3 Stromquelle
- 4 Fehlerverstärker
- 5 Thermische Abschaltung
- 6 Stromschutzschaltung
- 7 Schutzschaltung gegen Sekundär-
durchbruch

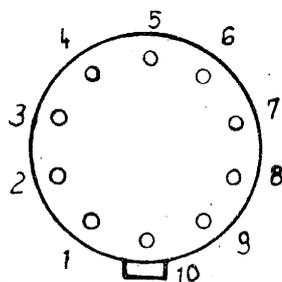


MA 7805: $7V \leq U_I \leq 25V$ $U_o = 5V \pm 0,2V$

MA 7812: $14,5V \leq U_I \leq 30V$ $U_o = 12V \pm 0,5V$

MAA 723H

Spannungsstabilisator

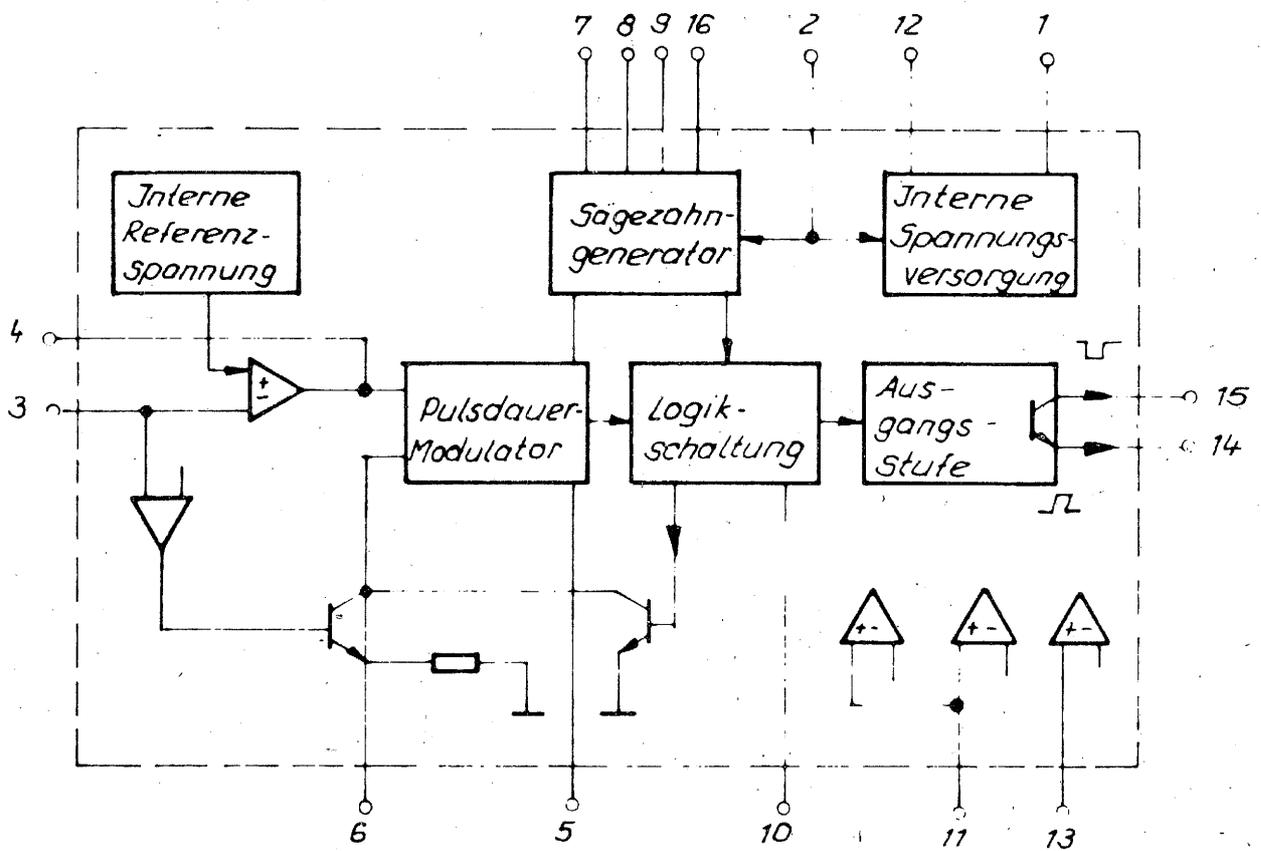
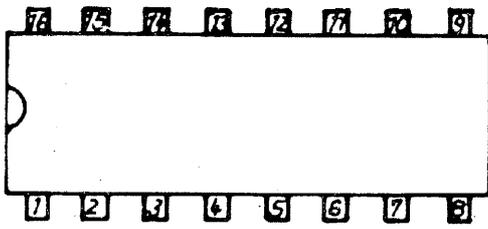


Ansicht von unten

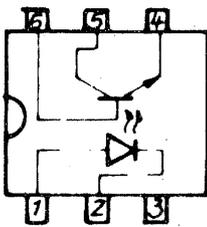
- 1 Strombegrenzung
- 2 Invertierender Eingang
- 3 Nicht invertierender Eingang
- 4 Referenzspannung
- 5 Masse
- 6 Stabilisierte Ausgangsspannung U_2
- 7 Speisung des Ausgangstransistors + U_c
- 8 Nicht stabilisierte Eingangsspannung + U_1
- 9 Frequenzkompensation
- 10 Strombegrenzung

B 260

Ansteuerschaltkreis für Schaltnetzteile



MB 104



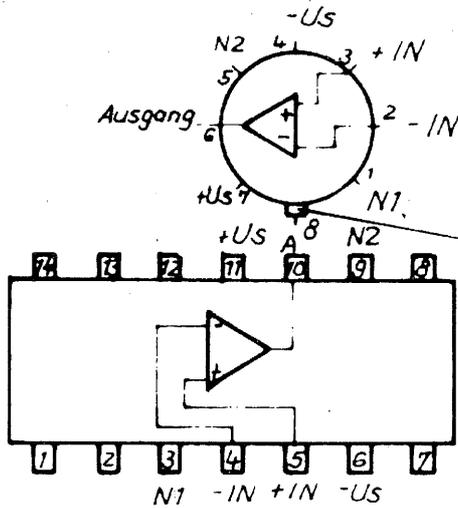
- 1 IRED - Anode
- 2 IRED - Katode
- 3 -
- 4 Fototrans. E
- 5 Fototrans. C
- 6 Fototrans. B

MAA 741C

Hochleistungsoperationsverstärker

Verwendet in zwei Ausführungsformen:

- TO - Gehäuse mit 8 Anschlüssen
- DIL-Gehäuse mit 14 Anschlüssen



Markierungsnase
(von unten gesehen)

- Kurzschlußfest
- Die Eingänge N1 und N2 bieten die Möglichkeit zur Kompensation der Offsetspannung
- Keine Frequenzkompensation notwendig

6.1. Einstellungen am Display (7221.20)

6.1.1. Einstellung der Spannung 5P

- Die Spannung 5P ist am Regler R17 der Verteilerplatte einzustellen. Dazu ist es erforderlich, daß bei eingeschaltetem Display zwischen den Meßpunkten X3:1 und X22 (Masse) eine Spannung von $10,7 \text{ V} \pm 0,3$ liegt. Die Einstellung der Spannung 5P kann am X1:2 kontrolliert werden. Sie muß $5 \text{ V} \pm 0,075 \text{ V}$ betragen.

6.1.2. Einstellung der Synchronisation

- Auf der letzten Zeichenposition einer Zeile ist das Zeichen H zu schreiben.
- Helligkeitsregler auf Rechtsanschlag drehen
- Mit dem Regler R1 auf der Verteilerplatte wird die Helligkeit weiter erhöht, bis das Grundraster sichtbar wird.
- Mit dem Regler R333 auf der Ablenkleiterplatte wird die Zeilensynchronisation so eingestellt, daß der senkrechte Strich des Zeichens H etwa 5 mm vom Grundraster (Bildmitte) entfernt ist.
- Bringt die Einstellung keinen Erfolg, so ist der R333 in die Mittelstellung zu drehen und mit der Spule Sp301 der 5 mm Abstand einzustellen.
- Der Regler R311 für die Bildsynchronisation wird so eingestellt, daß der Schleifer in der Mitte des Reglerbereiches steht, in dem das Bild noch synchronisiert wird.
- Die Bildhelligkeit ist danach neu einzustellen. (siehe Pkt.6.1.5.).

6.1.3. Einstellung des maximalen Strahlenstromes

- Die Hellstastverstärkerplatte wird über das Meßkabel 1.11.017154.0 am Stecker X3 mit dem Digitalvoltmeter verbunden.
- Der Bildschirm wird mit dem Testbild nach Abb. 6 (Punkt 4.3.4.1.) beschrieben.
- Der Helligkeitsregler des Monitors wird auf Rechtsanschlag gedreht.
- Mit dem Regler R1 der Verteilerplatte wird die Helligkeit so eingestellt, daß am Digitalvoltmeter $U = 3,6 \text{ mV}$ angezeigt werden.
- Ist das Grundraster noch sichtbar, wird mit R1 die Helligkeit weiter verringert, bis das Grundraster nicht mehr sichtbar ist.

6.1.4. Einstellung der Bildgeometrie

6.1.4.1. Vorbemerkung

Zur erfolgreichen Durchführung der Bildgeometrieeinstellung ist es erforderlich, ein Testbild zu erzeugen und dieses mit dem auf den Bildschirm projizierten Prüfdia oder einer aufgezeichneten (mit Faserstift) Testfigur entsprechend Abb. zu vergleichen.

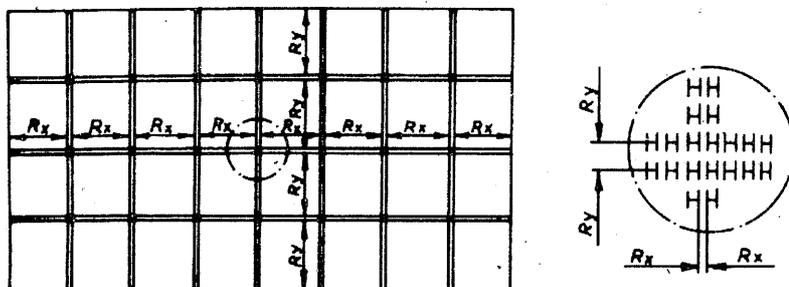


Abb. 1
Testbild

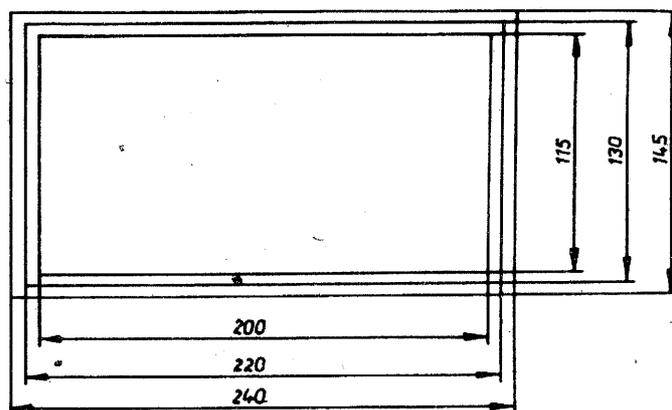


Abb. 2
Testfigur

Die im folgenden beschriebenen Einstellvorgänge beeinflussen sich gegenseitig. Darum ist es notwendig, die Einstellvorgänge solange zu wiederholen, bis die Kriterien Bildbreite, -höhe und -linearität erfüllt sind. Voraussetzung für alle folgenden Einstellschritte ist eine parallele Lage der Zeilen in der Mitte des Testbildes zu den waagerechten Linien der Testfigur. Das ist durch Verdrehen der Ablenkheit auf den Röhrenhals, nachdem die Spanschraube gelockert wurde, zu erreichen.

Alle Geometrieeinstellungen erfolgen bei maximaler Helligkeit.

6.1.4.2. Einstellung der Bildbreite und der horizontalen Linearität

- Mit Hilfe der Linearitätsspule Sp302 auf der Ablenkleiterplatte wird das Schirmbild so eingestellt, daß die horizontale Abmessung der durch das Gitterraster des Testbildes gebildeten Felder gleichgroß ist (Augenmaß).

- Mit der Spule L1 auf der Verteilerplatte wird die Breite des Schirmbildes auf 220 mm eingestellt.
- Durch gegenseitigen bzw. gemeinsames Verdrehen der Zentrier-
ringe an der Ablenkeinheit - Verschiebung des Schirmtildes
in die Bildschirmmitte.
- Ausmessung der horizontalen Teilungsabstände R_x mit einem
Stahlmaß (Abb.1). Als Ergebnis der Einstellung müssen
folgende Maße erreicht werden:

$$R_x = 24,5 \text{ mm} \dots 30 \text{ mm}$$

Anderenfalls müssen die o. g. Einstellungen wiederholt werden.

6.1.4.3. Einstellung der Bildröhre und der vertikalen Linearität

Zur Einstellung der Bildhöhe und der vertikalen Linearität stehen auf der Ablenkleiterplatte die Regler R317 (Bildhöhe), R319 (Bildlinearität im mittleren und unteren Bildschirmbereich) und R321 (Bildlinearität im oberen Bildschirmbereich - dieser Regler steht normalerweise in der Nähe des rechten Anschlages-) zur Verfügung. Die Lage der Regler ist den entsprechenden Stromlaufplänen bzw. Plattenbelegungen zu entnehmen. Sie beeinflussen sich gegenseitig, so daß die Einstellung der Bildhöhe (130 mm) und die Erfüllung der Linearität abwechselnd erfolgen muß.

Für die vertikalen Teilungsmaße müssen folgende Werte erreicht werden:

	bei 1 K Byte	bei 2 K Byte
R_y	22,5 mm ... 27,5 mm	25 mm ... 30 mm

6.1.4.4. Korrektur der Bildgeometrie

Liegen die äußeren Bildfeldebegrenzungen des Testbildes durch tonnen- oder kissenförmige Verzerrungen außerhalb des Toleranzrahmens der Testfigur, ist durch Verdrehen der entsprechenden Magnete auf der Ablenkeinheit eine Korrektur möglich. Abbildung 3 zeigt den Einfluß der Magnete auf das Schirmbild.

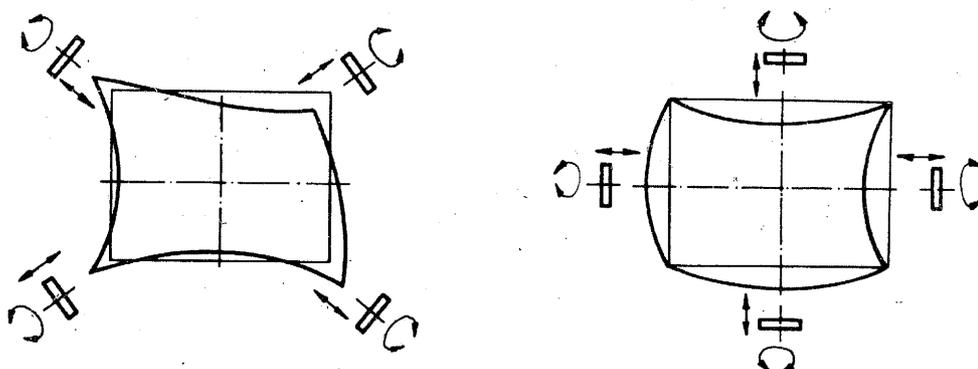


Abb.3

Einfluß der Korrekturmagnete auf die Bildgeometrie

Mitunter kann es sich als notwendig erweisen, bestimmte Korrekturmagnete durch stärkere bzw. schwächere zu ersetzen. Es ist deshalb erforderlich, zusätzliche Magnete (1.33.003465.0/00 bzw. 1.33.003466.0/00) bereitzuhalten.

6.1.5. Einstellung der Bildschärfe

Als Kriterium zur Beurteilung der Bildschärfe können folgende Zeichen verwendet werden:

- Zeichenraster 7 x 10: (kyrill. Zeichensatz)
- Zeichenraster 5 x 8: B, P, q, g

Diese Zeichen sind vorzugsweise in den Eckbereichen des Bildfeldes, aber auch im mittleren Bereich zu positionieren.

Bei maximaler Helligkeit wird mit dem Regler R16 auf der Verteilerplatte die Bildschärfe eingestellt. Die Schärfe ist ausreichend, wenn an alle Stellen des Bildschirms eine Fläche von 2 x 2 Bildpunkten innerhalb eines Zeichens noch als Helligkeitsunterschied wahrnehmbar ist.

6.2. Montage und Einstellung des K 5600.10

6.2.1. Montage

- 1x Anlagebolzen 083-2-130-108 in 1x Hülse 083-1-130-109 durch das Loch \varnothing 5 bis zum Anschlag eindrehen; auf vorstehenden Gewindeschafft 1x Sechskantmutter M3 002-0-518-101 aufschrauben.
- Hülse mit 2x Zylinderschraube M 2,5x8 002-0-511-159 an den Steg des 1x Chassis 083-4-130-098 anschrauben; auf rechter Seite 1x Scheibe 1,2x2,7x6 002-0-557-157 beilegen.
Die Anlagefläche des Anlagebolzens liegt innerhalb der Führung des Durchbruches im Steg.
- 1x Kabelklemme 083-3-130-092 von hinten in Steg des Chassis einschrauben; Schlitz muß waagrecht stehen.
- 1x Kabelklemme 083-3-130-092 auf Chassisboden zwischen Steg und Schrittmotorbefestigung einschrauben; Schlitz befindet sich in Längsrichtung.
- 1x Kabelklemme 083-3-130-092 in Turm einschrauben; Schlitz in Querrichtung.
- 1x Kugel \varnothing 4,0 000-0-582-005 mit Fett SWB 423 in die Zentrierung der Schnecke des 1x Schrittmotor 083-5-130-003 "einkleben". Schrittmotor durch entsprechendes Loch ins Chassis stecken, oben mit 2x Zylinderschraube M 2,5x10 002-0-511-158 und 2x Scheibe 0,5x2,7x5 002-0-556-149 und unten mit 1x Zylinderschraube M 2,5x14 002-0-511-197 und 1x Scheibe 002-0-556-149 anschrauben.

- Meßeinrichtung 470080836130000 auf den Chassis aufsetzen und Anlagebolzen an "eingeklebte" Kugel der Schnecke soweit herandrehen, bis das Axialspiel des Schrittmotors herausgedrückt ist. Danach Anlagebolzen soweit zurückdrehen, daß das Gesamtspiel halbiert wird. Mit Mutter kontern und verlacken.
- In 1x Kopfschlitten 083-4-130-031 1x Sechskantmutter M 2 002-0-518-124 einlegen und 1x Zylinderschraube M 2x10 002-0-511-143 an der Klemmstelle für den Magnetkopf in diese Sechskantmutter einschrauben.
- 1x Anschlag (Spur 0) 083-1-130-111 mit 1x Scheibe 0,5x2,7x5 002-0-556-149 und 1x Zylinderschraube M 2,5x4 002-0-511-161 an rechte Seite des Kopfschlittens anschrauben.

Beachte: Anschlag muß ganz nach vorn gestellt werden!

- Je 1x Gleitstück 010-3-060-326 auf die beiden Enden der 1x Feder 010-1-060-325 aufstecken; auf den Kopfschlitten 1x Beilage 010-1-060-327 auflegen und mit der Feder zusammen mit 2x Linsenschraube M 2x3 002-0-511-126 anschrauben.
- 1x Achse 083-2-130-032 durch die beiden geschlossenen Lager des Kopfschlittens stecken; sie muß beiderseits etwa gleich vorstehen und wird von der Feder geklemmt.
- 1x Achse 083-2-130-033 in offenes Lager des Kopfschlittens stecken und alles zusammen auf die Auflagefläche des Chassis auflegen. Beide Achsen an den Schrittmotor heranschieben und mit 1x Halterung 083-1-130-080 und 2x Zylinderschraube M 3x5 002-0-511-102 an den vorderen Steg des Chassis festschrauben.
- Beide Achsen mit je 1x Klemme 083-1-130-079 und je 1x Zylinderschraube M 3x5 002-0-511-102 an der hinteren Auflage festschrauben.

Beachte: Die Achsen müssen an beiden Flächen der entsprechenden Auflage anliegen. Der Kopfschlitten muß sich jetzt mit einer Kraft von 60 p - 120 p bewegen lassen.

Wird diese Kraft überschritten, dann 2x Scheibe 0,2x2,8x6 002-0-557-148 zwischen Gleitstück und Beilage als Ausgleich legen.

- 1x Spindel 083-5-130-001 mit 3x Senkschraube M 3x6 002-0-514-103 an Chassis anschrauben.
- 1x Antriebsmotor 083-5-130-011 mit 2x Zylinderschraube 002-0-511-169 und 2x Scheibe 002-0-556-003 am Chassis anschrauben. Die Anschlußleitungen des Motors zeigen nach hinten, links.
- Lehre 651080866130000 (zum Ausrichten des Kopfandruckhebels) in Kopfschlitten einsetzen.
- 1x Hebel für Kopfandruck 083-5-130-010 und 1x Blende 083-1-130-084 mit 2x Zylinderschraube M 2,5x4 002-0-511-161 an Kopfschlitten anschrauben und verlacken. (Blende liegt unter dem Lagerwinkel)

Beachte: Zentrierbutzen der Lehre muß im Loch des Kopfandruckhebels liegen.

Lehre ausbauen.

- 1x Aufnahme 083-4-130-123 von unten in Kopfdruckhebel eindrücken.

Vorsicht: Kopfdruckhebel dabei nicht verbiegen!

- Lehre (zur Einstellung der Kopfhöhe) in Kopfschlitten einsetzen.
Lehre (zur Einstellung der Kopfhöhe) auf Spindel auflegen.

Kopfschlitten auf Mitte (Spur 20) schieben und mittels Fühldraht Abstand zwischen beiden Lehren ausmessen.
Beide Lehren entfernen und das ausgeblockte Maß durch folgende Scheiben

- 083-1-130-115 (0,1x14x16,5)
- 083-1-130-116 (0,16x14x16,5)
- 083-1-130-127 (0,5x14x16,5)
- 083-1-130-117 (0,2x14x16,5) zusammensetzen und in Kopfschlitten einlegen.

Einstellung auf Maß 0,2 mm +0,05 mm laut Einstellvorschrift.

- 1x Magnetkopf 083-5-130-013 von oben in den Kopfschlitten einsetzen.

Beachte: Tunnel zeigt nach rechts und muß mittels Lehre rechtwinklig zur Chassisaußenkante ausgerichtet werden!

Magnetkopf festklemmen.

- 1x Abschirmkappe 083-4-130-119 von unten über Magnetkopf in Kopfschlitten schieben und Arretiernasen umbiegen.
- Zugentlastung in den Kopfschlitten eindrücken.
- 1x Flachriemen 083-3-130-055 auf Riemenscheibe und Spindel auflegen. Er muß nach beiden Seiten zum Durchbruch Luft haben und darf das Chassis an keiner Stelle berühren.
- Kopfkabel in die 3 Kabelklemmen eindrücken.

Beachte: Kopfkabel muß zwischen Zugentlastung und erster Kabelklemme in großer Schlaufe liegen und darf weder den Kopfschlitten, die Schnecke, noch den Flachriemen behindern!

- 1x Schalterbefestigung 083-5-130-014 zusammen mit 1x Kleinmikrotaster 000-0-505-193 mittels 2x Senkschraube M 2x10 002-0-514-164 an linke Seite des Chassis anschrauben.
- 1x Lagerwinkel 083-1-130-043 mit 2x Zylinderschraube M 2,5x6 002-0-511-160 an hinteren Steg des Chassis anschrauben.
- 1x Lötösenwinkel 000-0-505-535 mit 1x Zylinderschraube M 3x6 002-0-511-103 links neben Lagerwinkel anschrauben. Lötanschlüsse zeigen nach hinten und stehen rechtwinklig zur Mitte des Antriebsmotors.
- In 1x Andruckplatte 083-4-130-126 1x Zugfeder 000-0-562-021 einhängen. Andruckplatte in Führungsschlitze des Lagerwinkels einsetzen und zweites Ende der Zugfeder in Lagerwinkel einhängen.

- 1x Spule 083-5-130-002 auf 1x Joch 083-1-130-051 auflegen und beides zusammen mit 1x Senkschraube M 3x10 002-0-514-127 an Chassis anschrauben.

Beachte: Joch muß parallel zur Chassishinterkante stehen. Die Spulenanschlüsse zeigen zur Aussparung im Joch.

- 1x Magnetklappe 083-4-130-044 auf Joch auflegen und 1x Klappenhalter 083-1-130-046 mit 1x Ansatzschraube M 3 002-0-515-126 und Scheibe 0,2x4x8 002-0-557-104 an Joch anschrauben.
- 1x Lötösenwinkel 000-0-505-535 mit 1x Zylinderschraube M 3x12 002-0-511-106 an Chassis zwischen Antriebsmotor und Magnet anschrauben.

Beachte: Lötanschlüsse zeigen nach oben und stehen parallel zur Hinterkante des Chassis.

- 4x Sechskantmutter M 2,5 002-0-518-134 in 2x Spannleiste 083-3-130-091 einlegen.
4x Druckfeder 000-0-565-108 in 2x LP-Führung 083-3-130-090 stecken, die Spannleiste auf die LP-Führung legen und mittels Lehre (Klemmvorrichtung für Spannleiste/Führung) zusammenhalten.
4x Senkschraube M 2,5x18 002-0-514-189 von unten durch Chassis stecken und die mit der Lehre gehaltenen Teile am Chassis lose anschrauben, Lehre entfernen.
- 1x Isolierplatte 083-1-130-112 auf Chassis legen - Lage-sicherung an LP-Führung, 1x Antriebssteuerung 083-4-130-096 zwischen LP-Führung und Spannleisten bis zum Anschlag (Schraube von Hülse) schieben und die 4 Senkschrauben fest-schrauben.

- Einstellungen
Magnetklappe

- Schenkel des Klappenhalters nach den Einkerbungen so justieren, daß zwischen der Funktionskante des Klappenhalters und der gezogenen Magnetklappe (auf Hohlriet drücken) ein Zwischenraum von 0,9 mm - 0,1 mm vorhanden ist (Lehre 65105 0836130000).

Andruckplatte

- Schenkel der Magnetplatte an seiner schwächsten Stelle so justieren, daß bei gezogener Magnetklappe zwischen Andruckkissen und Auflage (Turm) ein Zwischenraum von 1,0 mm ± 0,2 mm vorhanden ist (Lehre 65114 0836130000).

Kopfandruckhebel

- Zwischen dem Aufstecker des Kopfandruckhebels und der Oberkante der Andruckplatte muß bei gezogener Magnetklappe mind. 0,8 mm (Lehre 65105 0836130000) und in der Grundstellung des Kopfandruckhebels zwischen ihm und

dem Magnetkopf mind. 2,5 mm Luft vorhanden sein (Lehre 65106 0836130000). Wird eines dieser Mindestmaße nicht erreicht, ist an dem hochgestellten Arm des Kopfandruckhebels zu justieren. Vorsicht, Bruchgefahr!

- 1x Indexerkennung 083-5-130-008 auf 1x Führung, links 083-2-130-087 und mit 2x Linsenschraube M 3x6 002-0-511-147 anschrauben.

Beachte: Lötanschlüsse zeigen nach unten, die Diode ist oben.

- Führung links und 1x Führung, rechts 083-2-130-036 auf Chassis aufsetzen und mit VWP-Spannvorrichtung festklemmen.
- Lehre 47001.0836130000 (für Zentrierung der Bolzen des Lagerwinkels) auf Spindel aufsetzen
- 1x Lagerwinkel 083-5-130-005 auf Führungen aufsetzen und mit 4x Zylinderschraube M 3x6 002-0-511-103 und 4x Scheibe 0,5x3x7 002-0-556-146 anschrauben und verlacken.

Beachte: Die Führungsbolzen des Lagerwinkels müssen in die Löcher der Lehre (Zentrierung). Die Vorderkante der Leiste muß mit der Vorderkante des Chassis annähernd parallel stehen. Es darf weder die Leiste noch die Abstützung seitlich über das Chassis vorstehen.

- Lehre Spannvorrichtung entfernen, Führungsleisten mit Lagerwinkel (ab jetzt als Spannvorrichtung bezeichnet) abnehmen und Lehre (Zentrierung) aus Spindel nehmen.
- 1x Zentrierung, kompl. 083-5-130-007 in Feder und Führungsbolzen des Lagerwinkels einsetzen (bei geschlossenen Klappen).
- 1x Formkabel 083-4-130-105 auflegen und an Antriebssteuerung x₁ ... x₁₅ anlöten.

Beachte: Erst die ungeraden - dann die geraden Ziffern.

- Formkabel der Chassiskontur (hinterer Steg) durch Biegen angleichen und an rechter Chassisseite mit 1x Kabelschelle 083-1-130-114 und 1x Zylinderschraube M 3x8 002-0-511-104 festschrauben.

Beachte: Verdrehsicherung der Kabelschelle muß im unteren Loch liegen!

- Kabelbaum nach links (von hinten betrachtet) wegbiegen und lagesichern.
- Schrittmotor anlöten (von unten beginnend).
- Anschlüsse der Magnetspule an innere Lötanschlüsse des hinteren Lötösenwinkels anlöten.
Anschlüsse des Antriebsmotors an innere Lötanschlüsse des Lötösenwinkels (vor Antriebsmotor) anlöten.
- 1x Fotosystem Spur 00 083-5-130-009 mit 1x Scheibe 0,5x3x7 002-0-556-146 und 1x Sechskantmutter M 3 002-0-518-101

an vorstehender Schraube, am Chassis hinten, von unten lose anschrauben. Lagesicherung für Formkabel wieder entfernen.

- Fototransistor (unten liegend) am Kabelbaum anlöten. Fotosystem einschwenken und mit 1x Zylinderschraube M 2,5x4 002-0-511-161 an Chassis anschrauben. Mutter festziehen.

Beachte: Am Schraubenkopf muß gegengehalten werden.

- Fotodiode am Kabelbaum anlöten
- Kabelbaum an Lötösenwinkel für Magnetspule anlöten.
- Kabelbaum an Lötösenwinkel für Antriebsmotor anlöten.
- 1x Scheibe 0,2x2,8x6 002-0-557-148 über das Anschraubloch für die Kugelführung legen.
1x Kugel \varnothing 3,175 000-0-582-118 in 1x Kugelführung 083-3-130-039 legen und mit einem Streifen Papier in Kugelführung halten. Jetzt Kugelführung drehen, damit Kugel nach unten zeigt und beides zusammen in Kopfschlitten einlegen. Papier vorsichtig entfernen.

Beachte: Beim Einsetzen der Kugelführung muß der Kopfschlitten etwa mittig stehen (entspricht der Spur 20) und die beiden Gewindestifte der Kupplungshülse des Schrittmotors müssen nach unten zeigen.

- 1x Zylinderschraube M 2,5x3 002-0-511-162 durch 1x Gegenfeder 083-1-130-029 und Kugelführung stecken und am Kopfschlitten anschrauben. Verlacken.

Beachte: Die Kugelführung darf nicht am Durchbruch des Kopfschlittens schleifen.

- Drähte für Schreibsperre durch Chassis führen und an Kleinmikrotaster an den Punkten 1 und 4 anlöten.
- Spannvorrichtung links neben das Chassis um 180° verdreht hinlegen und Zuleitung für Transistor der Indexerkennung anlöten.
- Spannvorrichtung auf Chassis aufsetzen und mit 5x Zylinderschraube M 3x14 002-0-511-149 anschrauben.
- 1x Magnetlager 083-5-130-012 mit je 2x Zylinderschraube M 3x5 002-0-511-102 und Scheibe 0,3x3,2x6 002-0-556-116 am Chassis anschrauben.
- 1x Auswerfer 083-1-130-061 und 1x Stellstange 083-4-130-070 mit 1x Zylinderschraube M 3x4 002-0-511-101 und 1x Paßscheibe 0,5x3x6 002-0-556-103 zusammenschrauben.

Beachte: Stellstange und Auswerfer auf größten Abstand einstellen! Butzen muß im Langloch liegen.

In Stellstange 1x Zugfeder 000-0-563-101 einhängen.

- Auswerfer mit seinem Langloch auf Bolzen des Magnetlagers stecken und mit 1x Sicherungsscheibe 000-0-583-014 sichern.

Bolzen der Stellstange in offenes Langloch des Hebels auf der Abstützung und Langloch der Stellstange über den Bolzen auf der Abstützung stecken.
Zweites Ende der Zugfeder im Auswerfer in Federloch der Abstützung einhängen.

- 1x Scheibe 0,8x3x6 002-0-556-195 auf Bolzen über die Stellstange legen.
- 1x Verbindungsstange 083-1-130-074 (mit Magnetkern) und 1x Zugstange 083-4-130-062 mit 1x Zylinderschraube M 2,5x3 002-0-511-162 zusammenschrauben.

Beachte: Butzen muß im Langloch liegen!

- 1x Übertragungshebel 083-1-130-064 auf Bolzen der Zugstange stecken, 1x Scheibe 0,5x3x6 002-0-556-103 auflegen und mit 1x Sicherungsscheibe 000-0-583-014 sichern.

Beachte: Wenn die Zugstange zum Körper zeigt, der Bolzen nach oben steht, muß die Kröpfung des Übertragungshebels nach links unten zeigen.

- Magnetkern in Spule des Magnetlagers stecken (Auswerfer in entspannter Stellung), den schmalen Schenkel des Übertragungshebels durch die Gabel des Sperrbügels im Lagerwinkel führen und das breite Teil mit dem Loch auf den Bolzen in der Abstützung stecken und mit 1x Sicherungsscheibe 000-0-583-014 sichern.

Beachte: Leichtgängigkeit des Gestänges überprüfen!
Max. 0,1 mm Spiel zwischen Übertragungshebel und rechter Sicherungsscheibe.
Im Bedarfsfall Spielausgleich durch Scheiben 002-0-556-439 (0,2 mm) und 002-0-556-103 (0,5 mm) zwischen Stellstange und Übertragungshebel.

- 1x Schalterträger 083-5-130-015 mit je 2x Scheibe 0,5x3,2x7 002-0-556-146 und Zylinderschraube M 3x6 002-0-511-103 an rechter Führungsleiste anschrauben.

Beachte: Schalterträger ganz nach vorn stellen.

- Anschlußleitungen für Zugmagneten (Verriegelung) an Lötösenwinkel anlöten.
- Isolierschlauchstück B 3x3,8x125 gn 004-0-131-063 über Anschlußleitung für Schalter "Motor an" schieben (bis zur Abbindung im Kabelbaum) und auf Magnetlager und Schalterträger in die Kabelklemmen drücken.
- Anschlußleitungen am Schalter "Motor an" an den Punkten 1 und 4 anlöten.
- Anschlußleitung an Diode der Indexerkennung anlöten und in hintere Kabelklemme drücken.
- Kopfkabel in vordere Kabelklemme auf Halblech der Indexerkennung drücken und 1x Stange 083-1-130-085 in den Sattel

des Haltebleches eindrücken.

- Einstellungen

Auswerfer

- Eine Diskette in Führungsleisten schieben und Klappe schließen. Zylinderschraube der Stellstange und des Auswerfers lockern und mittels Schraubendreher den Auswerfer bis an die Diskette heranbringen. Zwischenraum zwischen Diskette und Winkel des Auswerfers 0 mm - 0,2 mm. Schraube festziehen und verlacken.

Zugmagnet
(für Verriegelung)

- Zylinderschraube der Verbindungsstange und der Zugstange lockern. Zugstange nach hinten drücken, bis der Sperrbügel auf den Schiebern links und rechts aufliegt (bei geschlossener Klappe!). Mittels Schraubendreher die Verbindungsstange soweit nach hinten schieben, bis der Magnetkern auf Spulenkern aufliegt. Jetzt Verbindungsstange wieder soweit nach vorn schieben, daß der Magnetkern 0,2 mm - 0,5 mm Zwischenraum zum Grund des Spulenkernes hat. Zylinderschraube festschrauben und verlacken.

- Schalter "Motor an" - Die beiden Zylinderschrauben des Schalterträgers lockern und diesen so einstellen, daß zwischen Schaltergehäuse und Betätigungshebel 0,2 mm + 0,1 mm Spiel vorhanden ist. Zylinderschrauben festziehen und verlacken. (Einstellung bei geschlossener Klappe!) Anschlußleitung durch die Kabelklemme auf dem Schalterträger straffziehen. Diskette entnehmen.

- 1x LP Interface-Steuerung 083-4-130-097 mit Lötunkten nach oben mit 1x Zylinderschraube M 3x6 002-0-511-103 vorn und 1x Zylinderschraube M 3x30 002-0-511-146, 1x Scheibe 0,5x3,2x6 002-0-556-146 und 1x Abstandsrohr 083-2-130-095 hinten an Führungsleiste links anschrauben.

Beachte: LP zeigt nach links - Scheibe liegt auf LP auf.

- LP Interface-Steuerung, beginnend mit x₁ ... x₂₀, am Formkabel anlöten.
- Kopfkabel an x₂₁ ... x₂₄ der Interface-Steuerung anlöten.
- 2x Isolierschlauchstück B 1,5x2,3x12 bl 008-0-132-002 über Anschlußleitung für 1x LED-Anzeige VQA 13 000-0-177-001 schieben, LED-Anzeige (Anschlußbeine auf 7 mm Länge gekürzt) anlöten und Isolierschlauchstück über Lötstelle schieben, Fassung der Montageeinheit der LED-Anzeige in 1x Frontplatte

083-3-130-088 von vorn eindrücken.

Klemmring über angelötete LED-Anzeige schieben, diese in Fassung von hinten bis Anschlag eindrücken und mit Klemmring sichern.

- Frontplatte an Vorderfront des Laufwerkes ansetzen und mit 4x Senkschraube M 2,5x6 002-0-514-167 an Chassis bzw. Führungsleisten anschrauben.
- 1x Zylinderschraube M 3x6 002-0-511-103 vorn und 1x Zylinderschraube M 3x30 002-0-511-146, 1x Scheibe 0,5x3,2x6 002-0-556-146 und 1x Abstandsrohr 083-2-130-095 hinten in Führungsleiste rechts einschrauben.

6.2.2. Inbetriebnahmevorschrift

- Laufwerk an Prüfgerät anstecken (Inbetriebnahmegerät)
- Inbetriebnahmediskette einlegen
- Taste SE drücken - Selektodiode leuchtet
- Taste MO drücken - Diskette läuft im Uhrzeigersinn
- Taste HL drücken - Magnet-Kopfdruck zieht und Kopfdruckhebel legt sich auf Diskette auf
- Ausschalten und erneutes Einschalten MO - Anschwenken des Kopfdruckhebels erfolgt verzögert.
- Einstellen des 20 kHz-Taktes: 20 kHz \pm 200 Hz
Meßpunkt LÖ 27
Meßmittel: Inbetriebnahmegerät - R 24.1 (Interface-Steuerung)
- Überprüfung Positionierung
Taste SD drücken, Taste ST drücken - Kopfbewegung in Richtung Spindel
Taste SD ungedrückt, Taste ST drücken - Kopfbewegung in Richtung Schrittmotor
Bewegung des Kopfes in Richtung Spur 00 bis T 0 leuchtet, anschließend Positionierung in Spur 20.
- Einstellung der Dauer einer Diskettenumdrehung
Meßpunkt: IX am Prüfgerät
Meßmittel: Inbetriebnahmegerät - R 13.1 (Antriebssteuerung)
mit Kopfdruck (Spur 20): 200 ms \pm 1 ms
ohne Kopfdruck (Spur 20): ca. 197 ms
- Überprüfung Aufzeichnen und Wiedergabe
Meßpunkt: LÖ X 26 - Interface-Steuerung
Meßmittel: Oszillograph

Es werden Informationen in einer beliebigen Spur aufgezeichnet und diese wieder gelesen.

Aufzeichnen: WE drücken

Lesen: WE ungedrückt

- Einstellen Spaltschräglage
Kopfbefestigungsschraube lockern und Lehre für Kopfeinstellung anbringen.
Einstelldiskette einlegen, Spur 39 (79) lesen
Meßpunkt: LÖ X 26 (Lesesignal)
Meßmittel: Oszillograph/Inbetriebnahmegerät

Einstellung: siehe Einstellvorschrift

Nach erfolgter Einstellung Lehre entfernen und Kopfbefestigungsschraube anziehen. Nochmaliges Überprüfen der Impulse.

- Einstellen Spurlage (Katzenauge)
Meßpunkt: LÖ X 26
Meßmittel: Oszillograph/Inbetriebnahmegerät
Positionierung in Spur 16 (32)
Einstellung: siehe Einstellvorschrift
- Einstellung Spur 00
Positionierung in Spur 1. Mit der Hand wird die Schnecke eine halbe Spur in Richtung Spur 00 verdreht (Rotor schnappt eine Rotorstellung weiter). Es erfolgt ein weiteres Verdrehen in der gleichen Richtung, jedoch keine volle halbe Spur. Jetzt mit T0 leuchten. Beim Loslassen der Schnecke muß der Motor die Schnecke wieder in die alte Lage zurückziehen und T0 wieder verlöschen. Durch Verstellen des Fotosystems ist die oben beschriebene Einstellung zu gewährleisten.
- Einstellung Endanschlag Spur 00
Positionierung in Spur 00. Der Anschlag am Kopfschlitten wird so verstellt, daß zwischen ihm und der Schneckenlagerung ein Spiel von 0,05 mm vorhanden ist.
(Lehre 65110 0836130000)
- Überprüfung automatisches Positionieren
Durch Betätigung des Schalters "automatische Positionierung" positioniert der Kopf laufend zwischen Spur 00 und 39 hin und her.

6.2.3. Einstellvorschrift

6.2.3.1. Allgemeine Hinweise

Alle Einstellungen werden bei einer Raumtemperatur von $20^{\circ}\text{C} \pm 5^{\circ}\text{C}$ durchgeführt.

Einstellungen dürfen nur von Technikern vorgenommen werden, die eine entsprechende Befähigung besitzen. Zur Justage des Kopfdruckhebels und des Zentrier- und Spannmechanismus sind spezielle VWP zu verwenden. Alle anderen mechanischen Einstellungen sind mit herkömmlichen Arbeitsmitteln durchzuführen.

6.2.3.2. Einstellungen und Justagen am mechanischen Laufwerk

6.2.3.2.1. Magnetkopf

Bis zur Einführung einer festen Anordnung des Magnetkopfes am Schlitten im Rahmen einer 5-Montage erfolgt die Höheneinstellung des Kopfes durch Beilegen von Scheiben, 083-1-130-115, -116, -117.

Einstellmaß: $0,2\text{ mm} + 0,05\text{ mm}$ (Kopfspiegel über Spindeloberkante) ($0 - 0,2\text{ mm}$)

6.2.3.2.2. Magnetklappe (083-4-130-044)

Schenkel des Klappenhalters (083-1-130-046) so justieren, daß zwischen Funktionskante des Klappenhalters und der gezogenen Magnetklappe ein Spiel von 0,9 mm - 0,1 mm entsteht.
(VWP 65105 0836130000)

6.2.3.2.3. Andruckplatte (083-4-130-028)

Den Schenkel der Magnetklappe (083-4-130-044) an seiner schwächsten Stelle so justieren, daß bei gezogener Magnetklappe zwischen Andruckkissen und Auflage (Turm) ein Spiel von 1,0 mm \pm 0,2 mm vorhanden ist. (VWP 65114 0836130000)

6.2.3.2.4. Kopfandruckhebel (083-5-130-010)

Zwischen dem hochgekröpften Arm des Kopfandruckhebels und der Oberkante der Andruckplatte (083-4-130-028) muß bei gezogener Magnetklappe mind. 0,7 mm Luft vorhanden sein.
In Ruhestellung (bei abgefallenen Magnet) muß zwischen Magnetkopfspiegel und Andruckfilz 2,5 mm Spiel vorhanden sein.
(VWP 65105 0836130000 und 65106 0836130000)
Bei Nichterreichen dieser Mindestwerte ist am Arm des Kopfandruckhebels vorsichtig zu justieren.

6.2.3.2.5. Zentrier- und Spannmechanismus

Lagerwinkel (083-5-130-005) wird mit seinem Führungsbolzen mittig über die Spindel positioniert (VWP 47001 0836130000 verwenden).
Der Spanndruck wird mittels der Exzenter des Lagerwinkels so eingestellt, daß ein Mitnahmemoment zwischen Spindel (083-5-130-001) und der Zentrierung (083-5-130-007) von 0,05 Mn = 0,5 kpcm entsteht. (Hilfs-VWP mit Federwaage - Spannkraft muß 250 - 400 p betragen)
Die Exzenter sind wechselseitig zu justieren, so daß der Andruck symmetrisch erfolgt.
(Höhendifferenz der Zentrierung am Lagerflansch \pm 0,05 mm)

6.2.3.2.6. Schalter für Antriebsmotor (SMO)

Der Schalter ist so einzustellen, daß bei Arbeitsstellung des Spannmechanismus das Betätigungselement des Schalters sich mit 0,2 mm Luft vor dem Schaltergehäuse befindet.

6.2.3.2.7. Diskettenauswurf

Das Auswerfergestänge (083-1-130-061, -062) ist so einzustellen, daß zwischen der Funktionskante des Auswerfers und dem Mittelpunkt der Spindel (083-5-130-001) sich ein Parallelabstand von 66,7 mm \pm 0,2 mm ergibt (VWL-Diskette verwenden).

6.2.3.2.8. Diskettenverriegelung

Zugstange am Magnetkern und Magnet sind so einzustellen, daß bei eingelegter Diskette - Verriegelung in Arbeitsstellung - und sicherer Sperrung des Speichers der Magnetkern noch einen Weg von 0,2 mm ... 0,5 mm bis zum Anschlag zurücklegen kann.

6.2.3.2.9. Schalter für Schreibschutz (SWP)

Der Mikrotaster wird durch Lösen der Befestigungsschrauben so eingestellt, daß das Betätigungselement des Schalters in der oberen Aussparung der Führungsleiste anstößt, ohne den Schaltknopf des Tasters zu betätigen.

Die Freigängigkeit des Betätigungselementes in der Aussparung der Führungsleiste ist zu kontrollieren.

6.2.3.2.10. Riemenspannung

Federwaage 500 p mit Fadenschleife ist zwischen Antriebsmotor und Riemenscheibe an der Motorachse einzuhängen. Die Achslast mit 300 p - 50 p betragen, anschließend Zylinderschrauben des Antriebsmotors festziehen.

6.2.3.3. Elektronische Einstellungen

Die elektronischen Einstellungen müssen bei Raumtemperatur ($20^{\circ}\text{C} \pm 5^{\circ}\text{C}$) vorgenommen werden.

Das Inbetriebnahmegerät für MFS K 5600.10 dient hierbei als Simultananschluß zur Steuerung der Interface-Signale.

6.2.3.3.1. Vorbedingungen

- Funktionskontrolle Schalter SMO
- Funktionskontrolle Fotosystem für Indexsignal IX
- Funktionskontrolle Beruhigungskissen und Kopfandruck HL
- Funktionskontrolle Positionierung ST und SD

6.2.3.3.2. Drehzahleinstellung

Die Einstellung der Drehzahl erfolgt bei eingelegter Diskette und betätigtem Kopfandrucksystem im Bereich der Spur 15 bis Spur 25 mit dem veränderbaren Widerstand R 13.1 auf der Leiterplatte der Antriebssteuerung.

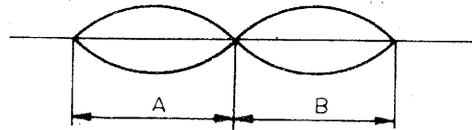
Einstellwert: Drehzahl $300 \text{ U/min}^{-1} \pm 1,5 \text{ U/min}^{-1}$ bzw.
Dauer einer Umdrehung $200 \text{ ms} \pm 1 \text{ ms}$

6.2.3.3.3. Spurlageeinstellung

(32)
Die Einstellung der Spurlage erfolgt auf der Spur 16 mit einer

speziellen Eichdiskette nach dem "Katzenaugenverfahren". Das Verhältnis der beiden "Augen" ist ein Maß für die Genauigkeit der Spurlage und muß nach der Einstellung durch Verdrehen der Positionierschnecke auf der Schrittmotorachse folgenden Bedingungen genügen.

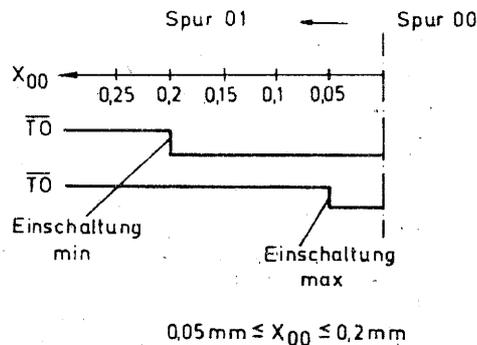
$$0,96 - \frac{A}{B} - 1,04$$



6.2.3.3.4. Einstellung Spur 00

(32)

Nach der Spurlageeinstellung wird der Kopfschlitten 16 Schritte vom Diskettenzentrum weg positioniert. Die dabei erreichte Spurlage 00 wird durch das Signal $\bar{T}0$ elektronisch angezeigt. Das zugehörige Fotosystem muß dabei so justiert werden, daß das Signal $\bar{T}0$ eine kurze Wegstrecke X_{00} vor der Spur 00 mit folgender Bedingung erscheint.



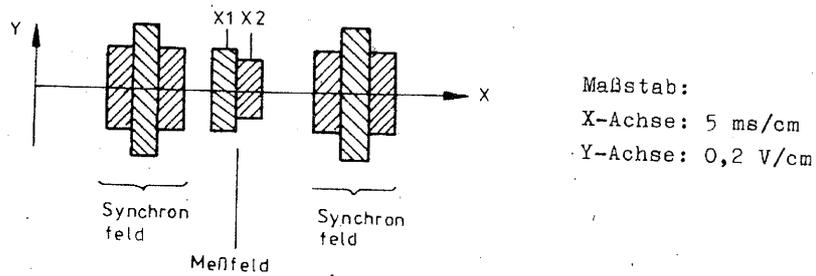
6.2.3.3.5. Kopfspalteinstellung

Der Winkel des A/W-Spaltes des Magnetkopfes muß bezüglich einer Geraden Spaltmitte - Diskettenmitte in folgendem Bereich liegen:

$$-18' \quad +18'$$

Bis zur Einführung einer festen Anordnung des Magnetkopfes im Schlitten erfolgt die Kopfspaltjustage mit Eichdiskette. Hierzu wird der Kopf in Spur 39 (19) positioniert und das analoge Wiedergabesignal (Interface-Steuerung X26) oszillografisch gemessen.

Zuvor muß die Regelzeitkonstante des Wiedergabeverstärkers auf der Interface-Steuerung durch Zuschalten eines Elektrolytkondensators 100 μ F parallel zu C5.3 geeignet verlängert werden. Folgendes Bild wird prinzipiell sichtbar:



Die Balkenhöhe im Meßfeld gibt dabei Auskunft über die Schräglage des Kopfspaltes. Zur Justage wird der Magnetkopf solange feinfühlig gedreht, bis das Balkenverhältnis in folgendem Bereich liegt:

$$0,9 < \frac{X1}{X2} < 1,1$$

Hinweis: Bei $X1/X2$ größer 1 ist der Kopf im Uhrzeigersinn (Sicht von oben auf Magnetkopf) zu drehen.

7.1. Wartung des Display

7.1.1. Allgemeine Hinweise und Sicherheitsmaßnahmen

Beim Eingreifen in den Display im Wartungs- bzw. Reparaturfall sind folgende Sicherheitsmaßnahmen zu beachten:

Sicherheitsmaßnahmen sind am Display in zweierlei Hinsicht zu beachten:

- gefährliche Hochspannung bis zu 10 kV im Gerät
- Implosionsgefahr der Bildröhre

Geschlossene Geräte werden gefahrlos betrieben, wobei allerdings Schläge mit harten Gegenständen sowie Kratzer auf der Frontscheibe der Bildröhre ausgeschlossen werden müssen. Die Bildröhre zählt zur Gruppe der implosionsgeschützten Röhren. Bei ordnungsgemäßer Handhabung des Sichtgerätes und der Bildröhre tritt keine Implosion auf.

Bei geöffnetem Gerät sind alle Schlag- und Stoßbelastungen des Bildröhrenhalses, der Ablenkeinheit und des Videoverstärkers auszuschließen.

Das Betreiben des geöffneten Gerätes durch technisches Personal hat unter Beachtung der vorhandenen Hochspannung zu erfolgen. Es ist zu gewährleisten, daß der Außenbelag der Bildröhre über das Masseband einwandfrei mit der allgemeinen Masse des Display verbunden ist. Messungen der Hochspannung sind nur mit ordnungsgemäßen Hochspannungsmeßgeräten, die einwandfrei geerdet sein müssen, auszuführen. Dabei sind die Bedienungsanleitungen dieser Meßgeräte einzuhalten. Das Abziehen des Anodenanschlusses der Bildröhre darf nur bei ausgeschaltetem Gerät erfolgen. Zwischen Ausschalten des Gerätes und Abziehen des Anodensteckers ist mind. 1 Minute zu warten. Bei Bildröhren, die ausgebaut werden sollen, ist die vollkommene Entladung der Bildröhrenanode herbeizuführen, indem die Anode über einen Widerstand von 1 k Ω m für mind. 10 s mit Masse zu verbinden ist.

Bei folgenden Erscheinungen ist der Monitor schnellstens auszuschalten, um Folgefehler zu vermeiden:

- knisternde oder knallartige Hochspannungsüberschläge im Inneren des Monitors
- Zusammenbrechen des Schirmbildes auf einen hellen waagerechten oder senkrechten Strich oder Punkt.

Entsprechend den konkreten Bedingungen am Einsatzort ist mindestens jährlich eine innere Reinigung des Display vorzunehmen.

Dabei sind besonders die Isolieroberfläche um den Anodenan-

schluß der Bildröhre und die Überschlagsfunkenstrecke auf der Hellastverstärkerplatte zu säubern.

7.2. Wartung der Floppy-Disk-Laufwerke

7.2.1. Allgemeine Hinweise

Die Wartung der FD-Laufwerke ist Bestandteil der vorbeugenden Instandhaltung. Durch planmäßige Überwachung der Einstellwerte und Gerätefunktionen werden Toleranzüberschreitungen, Drifterscheinungen und Funktionsstörungen frühzeitig erkannt und können behoben werden. Alle Wartungsarbeiten an den Laufwerken dürfen nur von Technikern ausgeführt werden, welche eine entsprechende Befähigung besitzen.

Die laufenden Wartungen sind nach dem vorgeschriebenen Wartungszyklus (Tabelle 1) durchzuführen.

Die erste Wartung erfolgt generell vorbeugend bei Aufstellung des Gerätes beim Kunden (Arbeitsgang 1, 2, 3).

Kontroll- und Funktionsmaße sind in Tabelle 2 zusammengefaßt. Alle Wartungsarbeiten am mechanischen Laufwerk erfolgen bei abgezogenem Stecker und aufgeklappter Interface-Leiterplatte (außer AG 14).

7.2.2. Reinigungs- und Schmierstoffe

Reinigungsmittel:

A Alkohol, 96%ig
oder Freon

Fi Fltwasser

Schmiermittel:

Schmierfett
SWB 423 TGL 14819/02
oder
SWB423 äquivalente Schmierstoffe
ausländischer Produktion

Ein Vermischen des Schmiermittels mit anderen äquivalenten Schmierstoffen hat zu unterbleiben. Beim Wechseln der Schmierstoffsorte muß eine gründliche Reinigung der Mechanischen Teile vorgenommen werden.

7.2.3. Wartung des mechanischen Laufwerkes

<u>AG</u>	<u>Symbol</u>	<u>durchzuführende Arbeit</u>	<u>Arbeitsmittel</u>
1	A	Reinigung des Magnetkopfes	Wattestäbchen

- Nach Abheben des Andruckhebels ist die Kopffläche mittels eines in Alkohol getauchten Wattestäbchens zu säubern. Anschließend wird die Kopffläche mit einem weichen, fusselfarmen Tuch trockengerieben und nochmals auf Sauberkeit überprüft. Danach ist der Andruckhebel vorsichtig herabzulassen.
- Achtung:**
Während der Reinigungsarbeiten darf der Magnetkopf weder mit der bloßen Hand noch mit harten Gegenständen berührt werden.
- | | | | |
|---|---|--|---|
| 2 | A | Reinigung der Spindel
Reinigung der Andruckfläche und der Zentrierfläche der Antriebs-
spindel mittels eines in Alkohol
getränkten Tuches. | weiches, fusself-
armes Tuch |
| 3 | | Reinigung des Andruckfilzes
Reinigung des Andruckfilzes
mittels eines trockenen wei-
chen Pinsels. | Pinsel |
| 4 | | Austausch des Filzes
Sollte der Filz stark abgenutzt
oder ungleichmäßig abgenutzt
sein, muß er ausgetauscht wer-
den. Dazu ist der Andruckhebel
anzuheben, die Aufnahme kompl.
083-4-130-123 aus dem Andruck-
hebel herauszudrücken und das
neue Teil ist einzudrücken.
Der Andruckhebel ist langsam
zurückzulassen. Nach diesem
Eingriff ist die Lesespannung
zu kontrollieren. | Pinzette
Pinsel
Klebstoff:
Technokol Rapid |
| 5 | | Reinigung der opt. Signalgeber
Beim Reinigen des "Index"- und
"Spur 0"-Signalgebers sind die
beiden Elemente (Diode, Tran-
sistor) mit welchem Pinsel zu
säubern bzw. auszublasen. | Pinsel |
| 6 | A | Wartung des Diskettenantriebes
Nach Abnehmen des Antriebsrie- | fusselfarmes Tuch,
Wattetupfer |

schluß der Bildröhre und die Überschlagsfunkenstrecke auf der Hellastverstärkerplatte zu säubern.

7.2. Wartung der Floppy-Disk-Laufwerke

7.2.1. Allgemeine Hinweise

Die Wartung der FD-Laufwerke ist Bestandteil der vorbeugenden Instandhaltung. Durch planmäßige Überwachung der Einstellwerte und Gerätefunktionen werden Toleranzüberschreitungen, Drifterscheinungen und Funktionsstörungen frühzeitig erkannt und können behoben werden. Alle Wartungsarbeiten an den Laufwerken dürfen nur von Technikern ausgeführt werden, welche eine entsprechende Befähigung besitzen.

Die laufenden Wartungen sind nach dem vorgeschriebenen Wartungszyklus (Tabelle 1) durchzuführen.

Die erste Wartung erfolgt generell vorbeugend bei Aufstellung des Gerätes beim Kunden (Arbeitsgang 1, 2, 3).

Kontroll- und Funktionsmaße sind in Tabelle 2 zusammengefaßt. Alle Wartungsarbeiten am mechanischen Laufwerk erfolgen bei abgezogenem Stecker und aufgeklappter Interface-Leiterplatte (außer AG 14).

7.2.2. Reinigungs- und Schmierstoffe

Reinigungsmittel:

A Alkohol, 96%ig
oder Freon

Fi Fltwasser

Schmiermittel:

Schmierfett
SWB 423 TGL 14819/02
oder
SWB423 äquivalente Schmierstoffe
ausländischer Produktion

Ein Vermischen des Schmiermittels mit anderen äquivalenten Schmierstoffen hat zu unterbleiben. Beim Wechseln der Schmierstoffsorte muß eine gründliche Reinigung der Mechanischen Teile vorgenommen werden.

7.2.3. Wartung des mechanischen Laufwerkes

<u>AG</u>	<u>Symbol</u>	<u>durchzuführende Arbeit</u>	<u>Arbeitsmittel</u>
1	A	Reinigung des Magnetkopfes	Wattestäbchen

AG	Symbol	durchzuführende Arbeit	Arbeitsmittel
		Nach Abheben des Andruckhebels ist die Kopffläche mittels eines in Alkohol getauchten Wattestäbchens zu säubern. Anschließend wird die Kopffläche mit einem weichen, fusselfarmen Tuch trockengerieben und nochmals auf Sauberkeit überprüft. Danach ist der Andruckhebel vorsichtig herabzulassen.	weiches, fusselfarmes Tuch
		<u>Achtung:</u> Während der Reinigungsarbeiten darf der Magnetkopf weder mit der bloßen Hand noch mit harten Gegenständen berührt werden.	
2	A	Reinigung der Spindel Reinigung der Andruckfläche und der Zentrierfläche der Antriebs- spindel mittels eines in Alkohol getränkten Tuches.	weiches, fusselfarmes Tuch
3		Reinigung des Andruckfilzes Reinigung des Andruckfilzes mittels eines trockenen weichen Pinsels.	Pinsel
4		Austausch des Filzes Sollte der Filz stark abgenutzt oder ungleichmäßig abgenutzt sein, muß er ausgetauscht werden. Dazu ist der Andruckhebel anzuheben, die Aufnahme kompl. 083-4-130-123 aus dem Andruckhebel herauszudrücken und das neue Teil ist einzudrücken. Der Andruckhebel ist langsam zurückzulassen. Nach diesem Eingriff ist die Lesespannung zu kontrollieren.	Pinzette Pinsel Klebstoff: Technokol Rapid
5		Reinigung der opt. Signalgeber Beim Reinigen des "Index"- und "Spur 0"-Signalgebers sind die beiden Elemente (Diode, Transistor) mit weichem Pinsel zu säubern bzw. auszublasen.	Pinsel
6	A	Wartung des Diskettenantriebes Nach Abnehmen des Antriebsrie-	fusselfarmes Tuch, Wattetupfer

- mens ist die Leichtgängigkeit der Spindel und des Antriebsmotors zu kontrollieren. Die treibende und die getriebene Scheibe des Antriebes sind mittels angefeuchtetem Tuch oder Tupper zu säubern. Nach Trocknung - Riemen wieder auflegen. Im Bedarfsfall ist auch der Riemen in der oben genannten Art zu reinigen.
- 7 Austausch des Riemens
Ein stark gedehnter oder beschädigter Riemen ist auszutauschen. Dazu ist das Magnetkopfkabel an dem Diskettenberuhigungsturm aus der Plathalterung zu nehmen.
- 8 A Diskettenblockierung weiches, fusselarmes Tuch
Der Kern des Zugmagneten ist mit Alkohol zu reinigen und anschließend zu trocknen.
- 9 A Diskettenführung weiches, fusselarmes Tuch
Die Diskettenführungen sind mit einem angefeuchteten Tuch und geeigneten nichtmetallischen Hilfsmitteln zu reinigen.
- 10 Zentrierung 083-5-130-007
Die Funktionsflächen sind auf Beschädigung zu kontrollieren.
- 11 Mikrotaster Federwaage
Fühllehre
Die Funktion des Mikrotasters ist von Hand zu kontrollieren. Bei Bedarf sind die Schalter auszutauschen.
- 12 Kontrolle der Funktionsmaße Federwaage
Fühllehre
Überprüfung aller in Tabelle 2 zusammengefaßten Maße. Im Bedarfsfalle Neujustage.
- 13 Fetten von Funktionsteilen Pinsel
fusselarmes Tuch
SWB423 Alle sich bewegenden mechanischen Teile sind in den Gelenk- und Lagerstellen mit einem Minimum an Fett zu schmieren.

AG	Symbol	durchzuführende Arbeiten	Arbeitsmittel
----	--------	--------------------------	---------------

A		Gleitstellen sind vor dem Schmie- ren zu reinigen. (Entfernen des alten Schmier- stoffes durch angefeuchtete Wattestäbchen oder Lappen).	z.B. Watta- stäbchen
---	--	--	-------------------------

Achtung:

Alle mechanischen Teile, die
beim Einlegen, Betrieb oder
Entnahme des Datenträgers von
diesem berührt werden können,
sind fettfrei zu halten!

14	F1	Reinigung der Verkleidung Verkleidungsblende und Griff- element sind mit angefeuchtetem Tuch zu reinigen.	weiches Tuch
----	----	--	--------------

Tabelle 1

Arbeitsgang	Wartungsabstände (Std.)			
	500	1000	2000	10 000
AG 1	x			
AG 2...9 AG 14, 16		x		
AG 10, 12, 13, 17			x	
AG 11				x

Tabelle 2

Kontrollmaße mechan. Funktionsteile

- Andruckkissen - Turm	1,0 + 0,2 mm
- Magnetklappe - Klappenhalter	0,9 - 0,1 mm
- Magnetkopf - Andruckfilz	mind. 2,5 mm
- Andruckplatte - Andruckhebel	mind. 0,7 mm
- Andruckhebel an Kopfspiegel	0,14 N ... 0,17 N

7.2.3. Wartung und Kontrolle der Elektronik

Die Kontrolle elektronischer Einstellwerte erfolgt zyklisch in vorgegebenen Zeitabständen bzw. nach bestimmten mechanischen Wartungsmaßnahmen. Die Wartungsabstände sind der Tabelle 1 zu entnehmen. Für die einzelnen Arbeitsgänge zur Wartung und Kontrolle der Elektronik werden folgende Arbeits- und Meßmittel benötigt.

Arbeits- und Meßmittel

- Einstell-Diskette
- Prüfprogramm

Aufstellung der Arbeitsgänge

AG	Symbol	durchzuführende Arbeit	Arbeits- und Meßmittel
16		Kontrolle Kopf-Schicht-Kontakt Aufzeichnungen von Flußwechseln mit 8 um Abstand auf Spur 39. Die differenzierte Wiedergabespannung (Meßpunkt x 25) muß dabei sichtbare Einsattelungen in den Maxima und Minima der Grundwelle aufweisen. Bemerkung: A 16 folgt nun auf A 4	Prüfprogramm
17		Kontrolle Motordrehzahl Kontrolle der Dauer einer Diskettenumdrehung durch Messen des Abstandes zweier Indexsignale (Buchse am Steuergerät). Gegebenenfalls mit Regler 13.1 (Steckeinheit Antriebssteuerung) auf Nennwert 300 ± 6 1/min nachstellen.	Prüfprogramm
18*		Kontrolle Schrittmotortakt Kontrolle der Taktfrequenz am Meßpunkt X 27. Gegebenenfalls mit Regler 24.1 (Steckeinheit Interface-Steuerung) auf Nennwert $20 \pm 0,2$ kHz nachstellen.	
19*		Überprüfung der Spurtreue Die Überprüfung der Spurtreue erfolgt mittels Einstelldiskette und Oszillograph.	Einstelldiskette Oszilloskop

* Überprüfungen nur in Werkstätten



1. Allgemeines

Die Steckereinheit 26-330-0202-5 dient der Ansteuerung von maximal vier Folienspeichern der Typen MF 3200, MF 6400, K 5602.10 und MFS K 5600.10. Dabei können 5 74"- und 8"-Disketten in den Aufzeichnungsverfahren FM und MFM bearbeitet werden. Eine gemischte Bestückung und damit Ansteuerung von Folienspeichern ist möglich. Auf der Steckereinheit befinden sich zwei Kabel mit 26poligen Steckverbindern, über die je ein geräteinternes Minifolienspeicherlaufwerk angeschlossen werden kann. Über einen weiteren 39poligen Steckverbinder können noch zwei externe Folienspeicher o. g. Typen angeschlossen werden. Entfallen die zwei internen Laufwerke, können über den 39poligen Steckverbinder maximal vier Folienspeicher gesteuert werden.

2. Schnittstellen

2.1. Schnittstelle zum Rechnerbus

Die Ansteuersteckereinheit für Folienspeicher ist mit der ZRE-STE über einen 50poligen Steckverbinder direkt verbunden. Über diese Verbindung wird der Datenbus, der Steuerbus (/M1, /IORQ, /RD, /RESET, /WAIT, /INT, IEI, IE0), der Adressbus, der Takt, die CS-Signale der PIO's und Register und die Stromversorgung geführt. Da sich die Adressdecodierung auf der ZRE befindet, genügt es, die CS-Signale und die Adressen A00 und A01 zur Adressierung der PIO's und Register zu verwenden.

CS-Signal	A01	A00	Tor	
/PIO CS0	0	0	Daten-PIO	Kanal A Daten
/PIO CS0	0	0	Daten-PIO	Kanal A Steuerwort
/PIO CS0	1	0	Daten-PIO	Kanal B Daten
/PIO CS0	1	1	Daten-PIO	Kanal B Steuerwort
/PIO CS1	0	0	Steuer-PIO	Kanal A Daten
/PIO CS1	0	1	Steuer-PIO	Kanal A Steuerwort
/PIO CS1	1	0	Steuer-PIO	Kanal B Daten
/PIO CS1	1	1	Steuer-PIO	Kanal B Steuerwort
/KRFD	X	X	SE-Register	

X = beliebige Belegung, Daten-PIO - A7:1, Steuer-PIO - A7:2

2.2. Belegung der PIO's und Register

Die Steuerung der Ansteuereinheit und der Laufwerke erfolgt durch den Steuer-PIO A7:2 sowie durch das Register A14. Der Daten-PIO A7:1 dient der Pufferung des Datenaustausches zwischen den Folienspeichern und dem Datenspeicher. Die beiden PIO's arbeiten in den Betriebsarten:

Steuer-PIO Kanal A - OUTPUT (Mode 0)
 Kanal B - Bit (Mode 3)
 Daten-PIO Kanal A - OUTPUT (Mode 0)
 Kanal B - INPUT (Mode 1)

Steuer-PIO

An- schluß	Signal- bezeichnung	Kurz- zeichen	Wirkrichtung	Bedeutung
A0	/WRITE ENABLE	/WE	zum Laufwerk zur internen Steuerung d. u. im Laufwerk frei STE	/WE=0 gibt Schreib- steuerung auf d. STE
A1	/MARK	MK	zur int. St.	Doppelbedeutung Lesen: (A8:2/23) /MK=0 Markenerken- nung FM u. Synchr.- Byte C2 bei MFM Schreiben: (A8:1/22) /MK=0 Markenschrei- ben FM u. Synchr.- Byte MFM
A2	/FAULT RESET	/FR	z. LW	/FR=0 Rücksetzen des Fehlerbit im Laufwerk
A3	/START	/STR	z. int. St.	/STR=0 gibt interne Steuerung d. STE frei
A4	MARK 1	MK 1	z. int. St.	Doppelbedeutung Lesen: (A1:6/2) /MK1=1 Information ins Schieberegister einlesen /MK1=0 ständig 1 ins Schieberegister einlesen Schreiben: (A8:1/20) /MK1=0 Schreiben Marken FM, Synchr.- Byte u. Daten MFM /MK1=1 Schreiben Daten FM
A5	STEP DIREK- TION o. MARK RESET	SD-MR	z. LW z. int. St.	Doppelbedeutung für Laufwerk: /SD=0 Schrittrich- tung nach höherer Spur-Nr. /SD=1 Schrittricht. nach niedrigerer Spur-Nr. für int. Steuerung: (A1:4/13)

<u>An-</u> <u>schluß</u>	<u>Signal-</u> <u>bezeichnung</u>	<u>Kurz-</u> <u>zeichen</u>	<u>Wirk-</u> <u>richtung</u>	<u>Bedeutung</u>
				/MR=0 Rücksetzen Marken-FF /MR=1 inaktiv
A6	HEAD LOAD	/HLU	z. LW	Kopfdruck, /HL=0 Diskette wird gegen Magnetkopf ge- drückt
A7	STEP	/ST	z. LW	Schrittimpuls, Kopfbewegung in die durch SD angegebene Richtung. Jeder Ist-Impuls entspricht einer Spur
/ASTB	INDEX	IX	vom LW	Auswertung d. Index- loches, L-H-Flanke meldet Beginn d. Indexloches.
B0	LAUFWERK BEREIT	/RDYLH	vom LW	/RDYLH=0 signalisiert Bereitschaft des LW zum Lesen oder Schrei- ben
B1	MARKE ERKANNT	MKE	v. int.St.	MKE=1 Marke erkannt
B2	MODIFIZIERTE FREQUENZMO- DULATION	MFM	z. int.St.	Aufzeichn.-verfahren MFM =0 FM-Verfahren MFM=1 MFM-Verfahren
B3	PRECOMPEN- SATION	PRE	z. int.St.	Präkompensation PRE=0 Schreiben ohne Pr. PRE=1 Schreiben mit Pr.
B4	FORMAT	FO	z. int.St.	Aufzeichnungsformat FO=0 5 1/4"-Diskette FO=1 8"-Diskette
B5	WRITE PROTECT	/WP	v. LW	/WP=0 Schreibschutz auf Diskette
B6	FAULT WRITE	/FW	v. LW	/FW=0 Schreibfehler
B7	TRACK 00	/TO	v. LW	/TO=0 Kopf befindet sich auf Spur 00

Daten-PIO (A7:1)

A0 - A7 Schreibdaten (Daten, die auf Diskette geschrieben werden sollen)

/ASTB Schiebekette hat Daten vom PIO übernommen
 ARDY PIO hat Schreibdaten vom Datenbus übernommen
 B0 - B7 Lesedaten
 /BSTB PIO wird zur Übernahme der Lesedaten aus der Schiebekette aufgefordert
 BROY PIO hält Lesedaten zur Übergabe an Datenbus bereit

Register A14

<u>Eingang</u>	<u>Ausgang</u>	<u>Bedeutung</u>
DB0	/LCK0	Türverriegelung LW0
DB1	/LCK1	Türverriegelung LW1
DB2	/LCK2	Türverriegelung LW2
DB3	/LCK3	Türverriegelung LW3
DB4	/SE0	Selektion LW0
DB5	/SE1	Selektion LW1
DB6	/SE2	Selektion LW2
DB7	/SE3	Selektion LW3

2.3. Schnittstelle zu den Laufwerken

Die Signaleingänge sind entsprechend den technischen Forderungen der anschließbaren Laufwerktypen mit folgender Widerstandskombination beschaltet: 220 Ohm nach Betriebsspannung 5P und 330 Ohm nach OV.

Als Leitungstreiber für die Ausgangssignale /WE, /WD, /SD, /ST, /HL und /FR wird der Schaltkreis 75 450 (A15) eingesetzt, der einen Ausgangsstrom von 300 mA ermöglicht. Die Signaleingänge der Laufwerke sind ebenfalls mit der o.g. Widerstandsbeschaltung versehen und benötigen einen LOW-Eingangstrom von je 24 mA. Da maximal 4 Laufwerke parallel angeschlossen sein können, muß der Leitungstreiber 96 mA liefern können.

Für die Signale /SE und /LCK wird als Treiber der Schaltkreis DS 8282 D eingesetzt, der 32 mA liefern kann. Dies ist ausreichend, weil jede dieser Leitungen nur ein Laufwerk ansteuert.

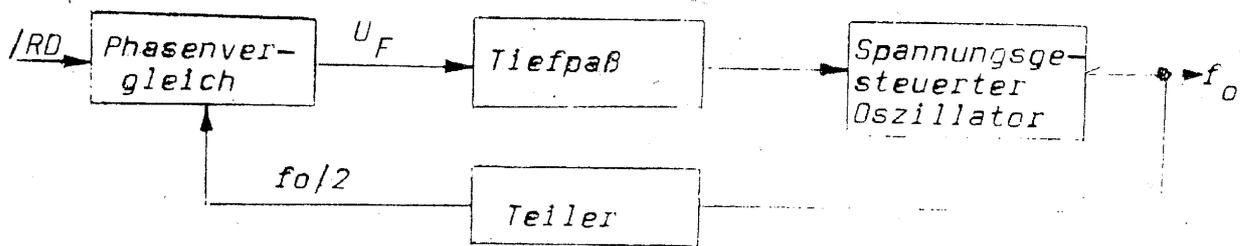
Die Signale /MO liefern je ein Schmitt-Trigger-Schaltkreis A 320 D, dessen Open-Kollektor-Ausgang mit 60 mA belastbar ist.

3. Beschreibung der Funktionsgruppen (s. Blockschaltbild)

3.1. Der Phasenregelkreis (PLL)

Der Phasenregelkreis hat die Aufgabe, einen Oszillator in Frequenz und Phase mit einem Eingangssignal zu synchronisieren. Er erzeugt Taktimpulse, die in fester Relation zu den Lesedaten /RD stehen. Damit können Langzeitschwankungen der Bitabstände infolge von Gleichlaufschwankungen bzw.

geringfügige Drehzahlabweichungen von Laufwerken ausgeglichen werden.



Der Phasenregelkreis besteht aus Phasenvergleich (A3:5/08 und 06), nachgeschaltetem Tiefpaß, einem spannungsgesteuerten Oszillator (A20, V2, A18 und A17/08) und einem Teiler (A1:6/09).

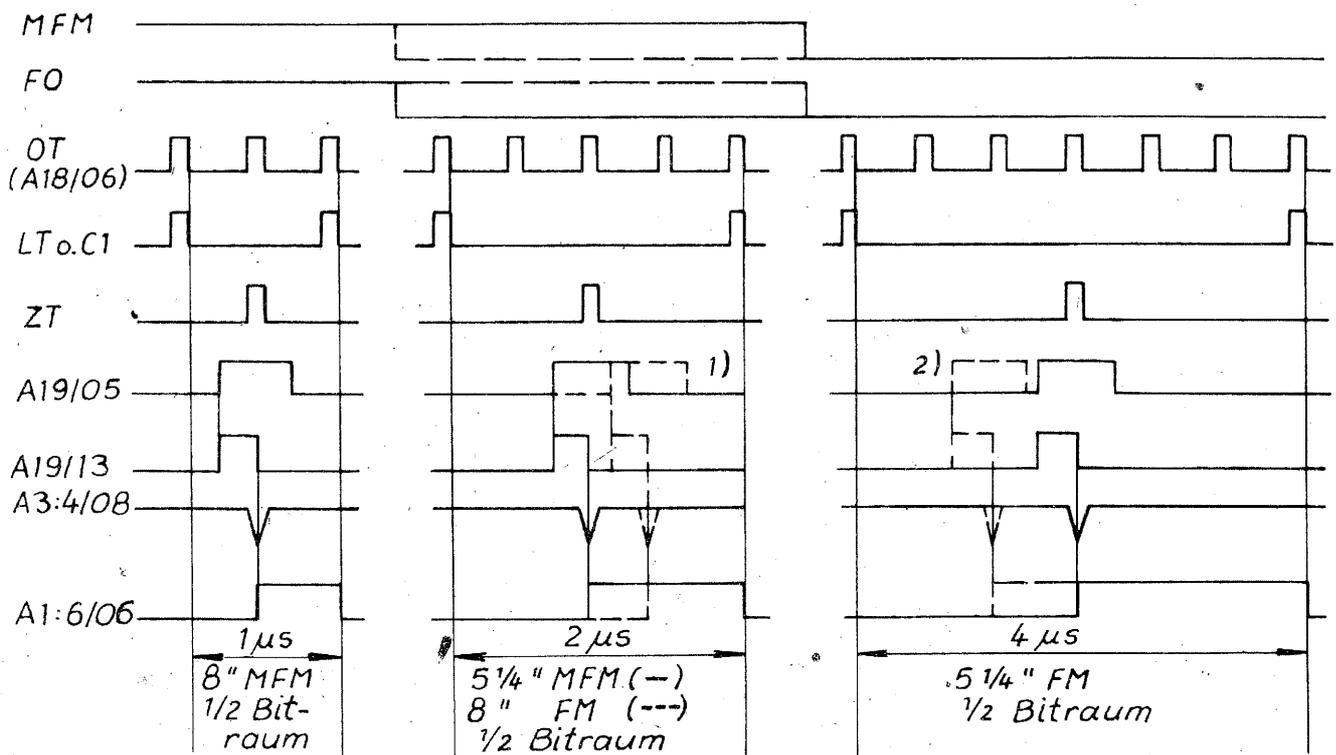
Zwei weitere Teiler (A1:5/09 und A1:5/05) können je nach Wahl von Aufzeichnungsverfahren und -format eingeschaltet werden. Die geteilte Oszillatorfrequenz wird gemeinsam mit dem /RD-Signal, welches mit UV A19/05 auf 500 ns gebracht wurde, dem Phasenvergleich zugeführt. Je nach Frequenz- und Phasenabweichung entsteht eine impulsförmige Fehlerspannung am Phasenvergleich, die durch V1 begrenzt, durch Tiefpaß R15, R20 und C8 geglättet und den Operationsverstärker A20 steuert, dessen Ausgang die steuerbare Konstantstromquelle V2 beeinflusst. Über V2 wird C7 aufgeladen. Die Eingänge des Schaltkreises A19 wirken als Schmitt-Trigger. Erreicht die Ladespannung des C7 die Einschaltchwelle, ändert A18/06 von 0 nach 1 und entlädt über A17/08 den Kondensator C7 wieder. In diesem Moment wird A18 wieder umgesteuert und C7 kann erneut aufgeladen werden. In bestimmten Grenzen ist diese Schaltungsanordnung damit in der Lage, eine mit dem READ-Signal phasenstarr verkoppelte Impulsfolge einer bestimmten Frequenz zu liefern. Liegen keine Lesedaten an, so schwingt der Oszillator auf der durch R18 eingestellten Freilauffrequenz von 2 MHz.

3.2. Lesedatenaufbereitung

Die Ansteuersteckeinheit kann unterschiedliche Aufzeichnungsformate bearbeiten, d. h. sie muß Lesedaten unterschiedlicher Frequenz verarbeiten können. Die Oszillatorfrequenz wird über die FF A1:5/09 und A1:5/05 durch die Steuersignale /MFM und /FO auf $\frac{1}{4}$, $\frac{1}{2}$ oder gar nicht geteilt, je nach ausgewähltem Aufzeichnungsverfahren. Der dritte Teiler A1:6/09 dient zur Teilung der Oszillatorfrequenz für den Phasenregelkreis. Der Teiler wird mit /WE gesperrt. Vom Ausgang des Teilers werden die Signale Lesetakt LT und Zwischentakt ZT abgeleitet. Der Lesetakt kann somit eine Frequenz von 250 kHz, 500 kHz oder 1 MHz besitzen und kennzeichnet immer den Beginn eines halben Bitraums. Der Zwischentakt entspricht einem um 180° verschobenen Lesetakt und markiert die Mitte eines halben Bitraumes (Bitraum = Platz für Daten- plus Taktbit; $\frac{1}{2}$ Bitraum = Platz für Daten- oder Taktbit). Die

durch den Phasenregelkreis (PLL) bewirkten Phasenverhältnisse sind dergestalt, daß der Zwischentakt ZT und das mit UV A19/05 auf 500 ns Impulsbreite gebrachte Lesesignal in Phase sind und jeweils symmetrisch von den Lesetakten bzw. Schiebetakten C1 eingeschlossen sind. Parallel zum UV A 19/05 wird UV A19/13 angesteuert. Dieser hat eine Haltezeit von 250 ns. Aufgrund der o. g. Phasenverhältnisse markiert also seine Rück-(H-L)-Flanke genau die Mitte eines $\frac{1}{2}$ -Bitraumes, der ein Daten- oder Taktbit enthalten kann. Aus dieser Rückflanke wird mit R9, C6 und A3:4/08 ein ca. 50 ns langer Low-Impuls erzeugt (Voraussetzung: Takt- oder Datenbit vorhanden). Dieser Impuls setzt FF A1:6/06 auf 1 und erzeugt damit ein 1-Signal als Eingang für die Schiebekette A9:2/01. Mit dieser Biterkennungsschaltung ist es möglich, Einzelbits auch mit eventuellen Positionsabweichungen sicher zu erfassen, solange sie sich noch im für sie bestimmten $\frac{1}{2}$ -Bitraum befinden, d. h. diese Schaltung besitzt eine hohe Lesesicherheit. Der folgende Lese- bzw. Schiebetakt setzt über den Takteingang das FF A1:6 zurück und ermöglicht damit die Erkennung des nächstfolgenden Bits.

Falls die Steuerleitung /MK1=0 ist, kann ES nicht abgeschaltet werden und damit wird ständig 1 ins Schieberegister eingelesen.



- 1.) Lesevorgang eines um ca. 400 ns nach der Sollposition einlaufenden Bits (gestrichelt dargestellt).
- 2.) Lesevorgang eines um ca. 550 ns vor der Sollposition einlaufenden Bits (gestrichelt dargestellt).

Lesevorgang bei den einzelnen Aufzeichnungsverfahren mit Behandlung von Einzelbitpositionsabweichungen!

3.3. Seriell-Parallel-Wandlung und Markenerkennung

Die Seriell-Parallel-Wandlung wird in einem 24-Bit-Schieberegister A9:1 bis A9:6 durchgeführt. Beim Lesevorgang werden die aufbereiteten Lesedaten zum seriellen Eingang A9:2/01 der Schiebekette geführt und mit der HL-Flanke von C1 durchgeschoben. Die Schieberegister sind während des Lesevorgangs über die Steuereingänge auf seriellen Betrieb geschaltet. Die Ausgänge der Schieberegister sind erstens mit einem rückgekoppelten Festwertspeicher A8:2 verbunden, der zur Markenerkennung dient und zweitens mit dem Kanal B des Daten-PIO A7:1. Die Notwendigkeit einer Markenerkennung ergibt sich aus der Verwendung der Aufzeichnungsformate nach ISO (TC-97) SC-11 Nr. 149 und 347 bzw. KROS 5108 und 5110. Im Kanal B des Daten-PIO werden die Lesedaten zwischengespeichert. Die zeitliche Differenz von vier C1-Takten zwischen der Datenbereitstellung am Lese-ROM A8:2 und am Daten-PIO gibt dem Betriebssystem zusätzliche Zeit zur Markenerkennung. Der C1-Takt ist eine ODER-Funktion aus Lese- und Schreibtakt (LT, SHT). Beim Lesen laufen demzufolge in jedem Bitraum zwei Schiebetakte ab, einer für die Taktinformation und einer für die Dateninformation der Lesedaten des Folienspeichers. Da nur jeder zweite Ausgang der Schiebekette auf die Adreßleitungen des Lese-ROM geschaltet ist, liegt entweder das Taktbyte oder das Datenbyte der geschachtelten Takt-Daten-Information als Adresse am ROM an. Die Taktinformation kommt dabei einen C1-Takt früher. Entspricht die ROM-Adresse 0-7 dem Taktteil einer Marke, wird Ausgang 8 mit 1 belegt. Dieses Signal wird als Rückkopplung an den D-Eingang des FF A1:4/02 geführt. Mit dem nächsten C1-Takt wird der Datenteil der Marke an die Eingänge des ROM gelegt. Gleichzeitig erfolgt die Durchschaltung des FF A1:4/05 und dieser Ausgang liegt als weiterer Eingang am ROM. Damit wird die Speicherzelle angesprochen, deren Inhalt bei Vorliegen der Marke ein 1-Signal auf Ausgang 7 ausgibt. Dieses Signal wird anschließend noch mit dem Zwischentakt verknüpft. Der entstandene Impuls setzt das Marken-FF A1:4/09 und zum PIO A7:2/28 kommt die Quittung MKE - Marke erkannt. Die Verknüpfung mit ZT ist notwendig, um Verzögerungszeiten und Einschwingvorgänge an den ROM-Ausgängen auszuschließen. Die Rückführung des Signals /MKE an das Rückkoppel-FF A1:4/01 bewirkt, daß keine weitere Marke erkannt werden kann, solange MKE=1 ist. Welche Marke erkannt wurde, entnimmt das Betriebssystem aus dem Datenbyte, das in dem PIO A7:1 Kanal B eingelesen wurde.

Speicherbelegung des Lese-ROM A8:2

A9	A8	A7-A0	Speicherinh.	Bedeutung
0	0	14	80	Taktteil Synchr. C2 - MFM
0	0	C7	80	Taktteil IO-Marke, Datenmarke, gelöschte Datenmarke
0	0	D7	80	Taktteil Indexmarke
0	1	0A	80	Taktteil Synchr. A1 - MFM
1	0	C2	40	Datenteil Synchr. C2 - MFM
1	0	F8	40	Datenteil gelöschte Datenmarke
1	0	FB	40	Datenteil Datenmarke
1	0	FC	40	Datenteil Indexmarke
1	0	FE	40	Datenteil IO-Marke
1	1	A1	40	Datenteil Synchr. A1 - MFM
		alle anderen	00	keine Marke

3.4. Parallel-Seriell-Wandlung

Für die eigentliche Parallel-Seriell-Wandlung werden 16 Bit benötigt. Die Bits 17 bis 22 werden für die Schreibpräkompensation und die Auswahl der Taktinformation beim MFM-Verfahren bei Bytewechsel gebraucht. Der Daten-PIO A7:1 stellt ein Byte zur Übernahme ins Schieberegister bereit. Diese Dateninformation liegt gleichfalls am Schreib-ROM A8:1 an. Entsprechend dieser Information stellt der ROM an seinen Ausgängen die dazugehörigen Taktinformationen zur Übernahme ins Schieberegister bereit. Durch die Art der Zusammenschaltung von PIO- und ROM-Ausgängen mit den Paralleleingängen der Schiebekette erfolgt eine Verschachtelung der Daten- mit der Taktinformation. Der ROM-Eingang A8 schaltet in Abhängigkeit des letzten Bits des vorangegangenen Bytes die Taktinformation um, da beim MFM-Verfahren dieses Bit bestimmt, wie das erste Bit des nachfolgenden Bytes aufzuzeichnen ist. Während einer FM-Datenaufzeichnung wird der ROM nicht selektiert, damit hochohmig und ins Schieberegister werden Einsen als Taktbyte übernommen. Die Adreßbelegung des Schreib-ROM ist folgende:

- A0-A7 - zu schreibendes Datenbyte
- A8 - letztes Bit des vorherigen Datenbytes
- A9 - steuert beim MFM-Aufzeichnungsverfahren, ob die Taktinformation für Daten oder für Marken bzw. Synchronisationsbytes an den Ausgängen anliegt.
0 $\hat{=}$ Marken/Synchronbytes. 1 $\hat{=}$ Daten

Die parallele Übernahme der Takt-Dateninformation in das Schieberegister wird durch die Schreibsteuerung realisiert.

3.5. Schreibsteuerung

Es besteht die Forderung, daß die Toleranz der Aufzeichnungsfrequenz 0,5 bzw. 1 % nicht übersteigen darf. Deshalb wird ein quartzgesteuerter Taktgenerator (A4) verwendet.

Seine Frequenz beträgt 10 MHz $\pm 0,1$ % und wird über zwei FF (A1:2/09 und 05) und einen Dezimalzähler A6 für die unterschiedlichen Aufzeichnungsverfahren geteilt. Gesteuert werden die FF über die Signale /FO und /MFM, die das Aufzeichnungsverfahren bestimmen. Der Dezimalzähler wird mit WE=1 freigegeben. Bei Aufzeichnung von Informationen auf magnetische Datenträger entsteht bei hohen Aufzeichnungsdichten der Effekt der Spitzenverschiebung, der zu Fehlern bei der Wiedergabe der Daten führen kann. Die Größe der Spitzenverschiebung ist von der Bitdichte der jeweiligen Spur und der Bitfolge abhängig. Aus diesen Gründen wird beim Aufzeichnungsverfahren MFM eine gegenläufige Verschiebung (Präkompensation) der Schreibimpulse durchgeführt, um die Spitzenverschiebung in gewissen Grenzen auszugleichen. Die auf der Steckeinheit eingesetzte Präkompensationsschaltung führt eine Verschiebung an den Übergängen von max. Bitdichte auf größere Bitabstände und umgekehrt durch.

Aufzeichnungsverfahren	max. Bitdichte min. Bitabstand	min. Bitdichte max. Bitabstand	Präkompensation um
5 1/4" MFM	4 us	6/8 us	400 ns
8" MFM	2 us	3/4 us	200 ns

Das Einschalten der Präkompensation erfolgt bei 8"-Laufwerken (MF 6400) ab Spur 43 und bei 5 1/4"-Laufwerken (MFS K 5600) ab Spur 25. Dabei wird über das Signal PRE der Dekoder A5 aktiviert, welcher die Schreibdaten mit Vorgänger und Nachfolger auswertet. Wird Ausgang 3 aktiv, muß der Schreibimpuls verzögert und bei Ausgang 5=0 vorgezogen werden. Die Schreibtaktte SCHK werden im Multiplexer A12 generiert. Die Adreßeingänge A0-A2 werden vom Dezimalzähler A6 bereitgestellt, und stellen eine Taktierung der Dateneingänge 0 bis 7 dar. Die Dateneingänge sind mit den Ausgängen des Präkompensationsdekoders verbunden, wobei Eingang 2=1 keine Verschiebung bedeutet. Mit der LH-Flanke des Schreibtaktes /SCHK (A12/06) wird das FF A1:3/05 gekippt und dadurch der Multiplexer gesperrt.

Damit wird die Bildung eines weiteren Schreibimpulses innerhalb eines Zyklus des Zählers A6 verhindert. Sein Ausgang P1=0 (A6/12) hebt die Sperre wieder auf. Der Schreibtakt SCHK wird mit dem Ausgang der Schiebekette konjunktiv verknüpft (A3:2/08) und der Ausgang über den Leitungstreiber A15:1 als Schreibdaten /WD auf das LW-Interface gelegt (siehe dazu auch Taktdiagramm "Schreiben mit Präkompensation").

3.6. Synchronisation der Datenübertragung

Der gleiche Impuls, der das FF-MKE einschaltet, setzt den Bitzähler A16 auf den Wert "11". Mit dem vierten C1-Impuls wird der Übertrag A16/12 des Zählers 0. Zum gleichen Zeit-

punkt liegt das Markenbyte am Daten-PIO B0-B7 an. Am Ausgang A3:3/11 entsteht /BSTB, das die Übernahme des Markenbytes veranlaßt. Der Zähler und das Schieberegister wird mit C1 weitergeschaltet. Nach 16 Takten entsteht erneut /BSTB und das nächste Datenbyte wird übernommen usw. Während des Schreibvorganges wird C1 durch den Schreibtakt erzeugt. Alle 16 Takte wird analog dem Lesen ein Übertrag erzeugt, zum Zeichen dafür, daß ein Byte auf die Diskette geschrieben wurde. Eine extra Synchronisation des Bitzählers für das Schreiben ist nicht notwendig, da dem Schreibvorgang immer das Lesen eines ID-Feldes vorausgeht. Der Bitzählerübertrag bildet, durch einen Takt des A6 gesteuert, im FF A1:3/09 die Signale /ASTB und V. Das FF wird mit der nächsten Flanke des Schreibtaktes rückgesetzt.

Während des Lesens ist es gesperrt. Mit V=1 und V1=1 schaltet die Schiebekette auf parallele Übernahme und zwischen zwei Schreibtakten /SCHT werden die PIO-Daten durch /SCHT=1 an C2 in die Schieberegister übernommen. Das Betriebssystem und der unmittelbare Datenaustausch mit den Folienspeichern arbeiten in unterschiedlichen Zeitabläufen. Deshalb ist eine Synchronisation zwischen beiden nötig. Hier wird dies über die WAIT-Leitung realisiert. Sie soll aktiviert werden, wenn folgende Bedingungen vorliegen:

1. Durch das Betriebssystem erfolgt ein OUT-Befehl, obwohl seit dem letzten IN-Befehl kein Byte von der Schiebekette in den PIO übernommen wurde.
2. Durch das Betriebssystem erfolgt ein IN-Befehl, obwohl seit dem letzten IN-Befehl kein Byte von der Schiebekette in den PIO übernommen wurde.

Die Signale ARDY und BRDY werden durch das Betriebssystem vor Arbeitsbeginn auf High gestellt. Erfolgt ein IN- oder OUT-Befehl (PIO CS0=1, /AB1=1) mit den Voraussetzungen STR=1 und /PS=1, schaltet der Ausgang A2/08 auf 0. Damit wird über den Rücksetzeingang das FF A1:1/06=1 und /WAIT wird über A3:1/03, A10:4/02 und A17/02 aktiv. Erfolgt eine Übernahme der Schreibdaten oder eine Übergabe der Lesedaten aus bzw. in den PIO, d. h. der /ASTB bzw. /BSTB-Impuls lag an, wird ARDY bzw. BRDY=0, der Ausgang A2/08 damit =1. Mit der nächsten steigenden Flanke des Systemtaktes wird FF A1:1/09 =1. Das hat zur Folge, daß der PIO-Eingang für /IORQ aktiviert. Damit beginnt für den PIO der OUT- bzw. IN-Zyklus. Die nächste LH-Flanke des Systemtaktes schaltet FF A1:1/06 auf Low und inaktiviert somit /WAIT. Der OUT- bzw. IN-Zyklus des PIO wird von der CPU-Steuerung durch /IORQ =1 beendet. Diese Steuerung gewährleistet durch zusätzliche WAIT-Zyklen, daß dem PIO die für eine ordnungsgemäße Durchschaltung der Daten notwendige /IORQ-Zeit wie bei normalen, ohne zusätzliches WAIT durchgeführten, OUT- und IN-Operationen zur Verfügung steht.

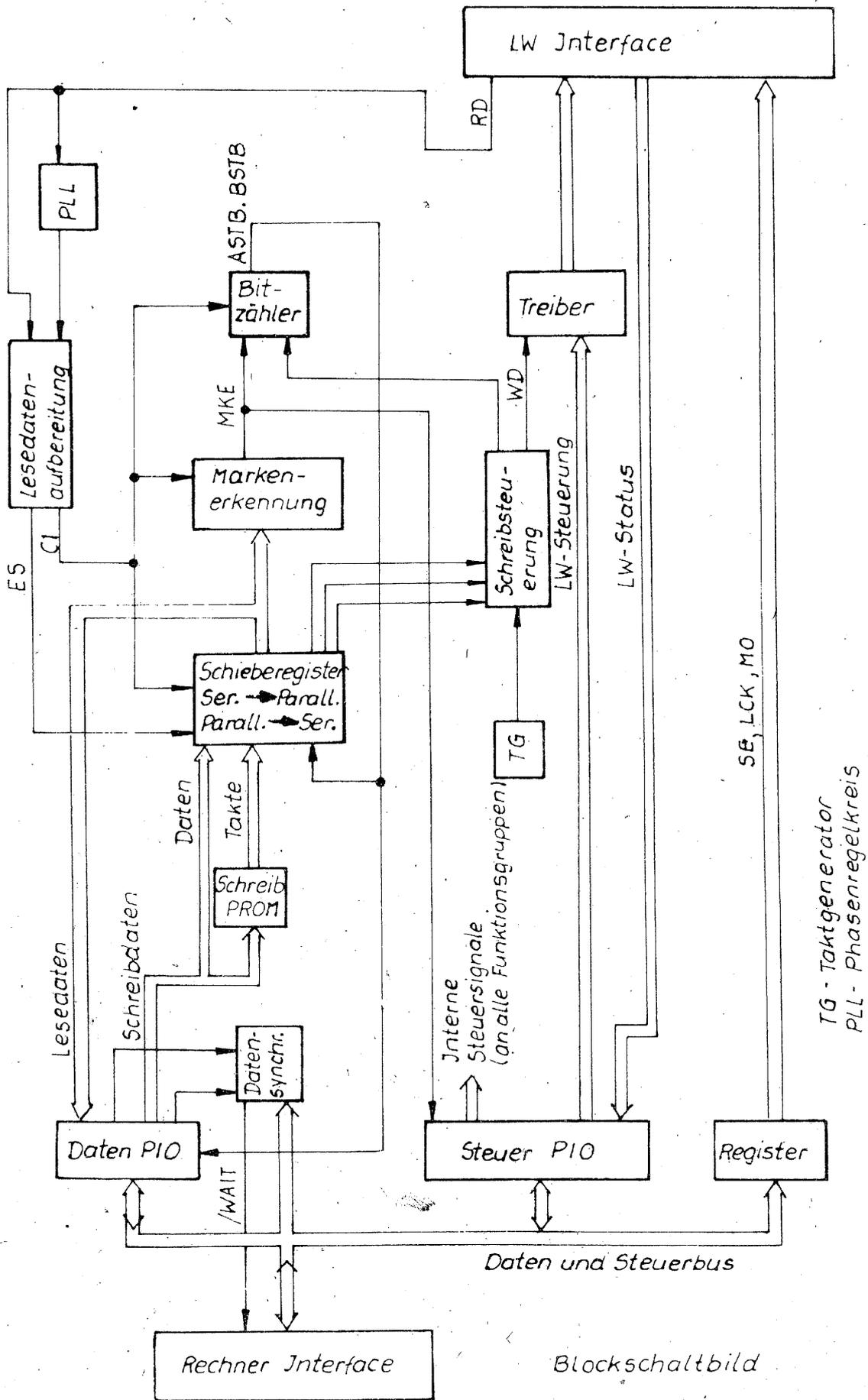
3.7. Motorsteuerung und Kopfdrucksteuerung

Zur Verminderung des Verschleißes der Antriebsmotoren von 5 1/4"-Laufwerken wird eine automatische Steuerung der Motoreinschaltung vorgenommen. Dies geschieht mit den Schmitt-Trigger-Schaltkreisen A13:2 bis A13:5 und ihrer zugehörigen Beschaltung. Wird ein Laufwerk nicht durch A14 selektiert, d. h. /SE=1, ist der zugehörige Kondensator C5:n über R7:n aufgeladen, der nichtnegierende A13:n liefert an seinem Ausgang /MO=1. Wird /SE=0, wird C5:n über V1:n und R6:n entladen und damit /MO=0. Folgt nun eine Deselektion (/SE=1), muß die Zeit vergehen, die erforderlich ist, C5:n über R7:n aufzuladen. Sie beträgt ca. 20 s. Wird ein Laufwerk selektiert, läuft also der Motor sofort an, wird es deselektiert läuft der Motor noch ca. 20 s nach. Hiermit bewirkt man, daß der Laufwerksmotor nur bei Betriebspausen 20 s abgeschaltet wird und damit bei hintereinanderfolgenden Zugriffen in Betrieb bleibt. Unnötige AUS- und EIN-Schaltungen werden vermieden, bei denen jeweils während der Motorhochlaufzeiten von ca. 1 s der LW-Zugriff gesperrt ist.

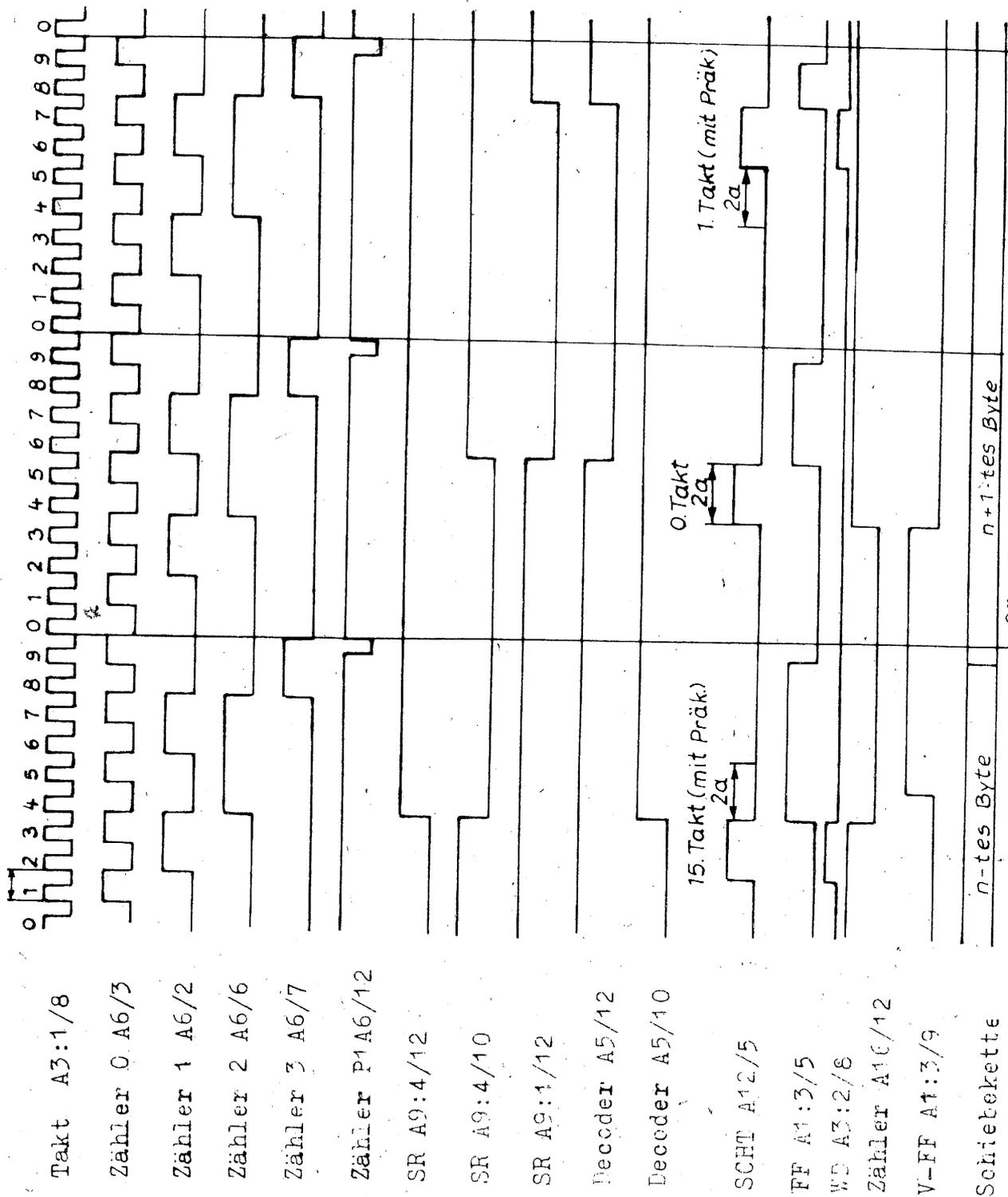
Ähnliche Überlegungen liegen der Kopfdrucksteuerung zugrunde. Auch hier werden kurzzeitige Lese- oder Schreibpausen mit einer gleichartigen Schaltung mit A13:1 überbrückt. Die Schaltung realisiert eine Kopfabfallverzögerung von ca. 2 s. Mit dem Gatter A11:2/11 wird ein verzögerungsfreier Kopfandruck erreicht. Damit das Betriebssystem eine Information über die jeweilige Stellung des Kopfdruckmagneten erhält, ist im Gatter A3:4/06 /RDYL vom Laufwerk mit HL verknüpft. Eine Deselektion eines Laufwerkes beendet laufwerksintern den Kopfandruck. Aus diesem Grund wird das Kopfdrucksignal HL über A3/4/03 am Selekt-Register A14/09 wirksam und schaltet dieses erst nach beendetem Kopfandruck ab. Dies erfordert aber, daß einem Zugriff auf A14 (OUT-Befehl) ein Kopfladen vorausgehen muß. Die Einführung des Signals /MFM in den Signalweg für /RDYLH im Gatter A3:4/11 dient zur Identifikation der Steuereinheit durch das Betriebssystem.

3.8. Prüfschaltung

Über den Schalter S1:1 kann /PS=0 geschaltet werden, womit alle Signalrückführungen auf der STE aufgetrennt werden. Dies ist für eine Prüfung mit Signaturanalyse erforderlich. Über die Meßpunkte 1 und 2 bzw. 4 und 6 ist eine externe Taktierung des Quarzgenerators und des PLL-Oszillators möglich. Die Rückkopplung zwischen FF A1:4/05 und dem Lese-ROM ist über den Schalter S1:2 auftrennbar. Damit kann auch im Prüffall eine Marke erkannt und das Lesen eingeleitet werden. Im normalen Betriebsfall muß S1:1 geöffnet und S1:2 geschlossen sein.



Blockschaltbild



Schreiben mit Präkompensation

n-tes Byte
n+1-tes Byte

8" MFM a=100ns
8" FM u. 5" MFM a=200ns
5" FM a=400ns

robotron

VEB Robotron
Büromaschinenwerk Sömmerda

DDR - 523 Sömmerda
Weißenseer Straße 52

robotron

Robotron Export-Import

Volkseigener
Außenhandelsbetrieb der
Deutschen Demokratischen
Republik
DDR - 108 Berlin
Friedrichstraße 61

AG 25

RI 101-86 3. IV-27-1 0-1058

robotron
1715

Ergänzung zum

**Service-
handbuch**

Inhaltsverzeichnis

- 1. Allgemeines**
- 2. Schnittstellen**
 - 2.1. Schnittstelle zum Rechnerbus**
 - 2.2. Belegung der PIO und Register**
 - 2.3. Schnittstelle zu den Laufwerken**
- 3. Beschreibung der Funktionsgruppen**
 - 3.1. Der Phasenregelkreis**
 - 3.2. Lesedatenaufbereitung**
 - 3.3. Seriell-Parallel-Wandlung und Markenerkennung**
 - 3.4. Parallel-Seriell-Wandlung**
 - 3.5. Schreibsteuerung**
 - 3.6. Synchronisation der Datenübertragung**
 - 3.7. Motorsteuerung und Kopfandrucksteuerung**
 - 3.8. Prüfschaltung**

1. Allgemeines

Die Steckeinheit 28-930-0202-5 dient der Ansteuerung von maximal vier Folienspeichern der Typen MF 3200, MF 6400, K 5602.10 und MFS K 5600.10. Dabei können 5 74"- und 8"-Disketten in den Aufzeichnungsverfahren FM und MFM bearbeitet werden. Eine gemischte Bestückung und damit Ansteuerung von Folienspeichern ist möglich. Auf der Steckeinheit befinden sich zwei Kabel mit 26poligen Steckverbindern, über die je ein geräteinternes Minifolienspeicherlaufwerk angeschlossen werden kann. Über einen weiteren 39poligen Steckverbinder können noch zwei externe Folienspeicher o. g. Typen angeschlossen werden. Entfallen die zwei internen Laufwerke, können über den 39poligen Steckverbinder maximal vier Folienspeicher gesteuert werden.

2. Schnittstellen

2.1. Schnittstelle zum Rechnerbus

Die Ansteuersteckeinheit für Folienspeicher ist mit der ZRE-STE über einen 58poligen Steckverbinder direkt verbunden. Über diese Verbindung wird der Datenbus, der Steuerbus (/M1, /IORQ, /RD, /RESET, /WAIT, /INT, IEI, IEO), der Adressbus, der Takt, die CS-Signale der PIO's und Register und die Stromversorgung geführt. Da sich die Adressdecodierung auf der ZRE befindet, genügt es, die CS-Signale und die Adressen A00 und A01 zur Adressierung der PIO's und Register zu verwenden.

CS-Signal	A01	A00	Tor	
/PIO CS0	0	0	Daten-PIO	Kanal A Daten
/PIO CS0	0	0	Daten-PIO	Kanal A Steuerwort
/PIO CS0	1	0	Daten-PIO	Kanal B Daten
/PIO CS0	1	1	Daten-PIO	Kanal B Steuerwort
/PIO CS1	0	0	Steuer-PIO	Kanal A Daten
/PIO CS1	0	1	Steuer-PIO	Kanal A Steuerwort
/PIO CS1	1	0	Steuer-PIO	Kanal B Daten
/PIO CS1	1	1	Steuer-PIO	Kanal B Steuerwort
/KRFD	X	X	SE-Register	

X = beliebige Belegung, Daten-PIO - A7:1, Steuer-PIO - A7:2

2.2. Belegung der PIO's und Register

Die Steuerung der Ansteuereinheit und der Laufwerke erfolgt durch den Steuer-PIO A7:2 sowie durch das Register A14. Der Daten-PIO A7:1 dient der Pufferung des Datenaustausches zwischen den Folienspeichern und dem Datenspeicher. Die beiden PIO's arbeiten in den Betriebsarten:

Steuer-PIO Kanal A - OUTPUT (Mode 0)
 Kanal B - Bit (Mode 3)

Daten-PIO Kanal A - OUTPUT (Mode 0)
 Kanal B - INPUT (Mode 1)

Steuer-PIO

An- schluß	Signal- bezeichnung	Kurz- zeichen	Wirkrichtung	Bedeutung
A0	/WRITE ENABLE	/WE	zum Laufwerk zur internen Steuerung d. u. im Laufwerk frei	/WE=0 gibt Schreib- steuerung auf d. STE STE
A1	/MARK	MK	zur int. St.	Doppelbedeutung Lesen: (A8:2/23) /MK=0 Markenerken- nung FM u. Synchr.- Byte C2 bei MFM Schreiben: (A8:1/22) /MK=0 Markenschrei- ben FM u. Synchr.- Byte MFM
A2	/FAULT RESET	/FR	z. LW	/FR=0 Rücksetzen des Fehlerbit im Laufwerk
A3	/START	/STR	z. int. St.	/STR=0 gibt interne Steuerung d. STE frei
A4	MARK 1	MK 1	z. int. St.	Doppelbedeutung Lesen: (A1:6/2) /MK1=1 Information ins Schieberegister einlesen /MK1=0 ständig 1 ins Schieberegister einlesen Schreiben: (A8:1/20) /MK1=0 Schreiben Marken FM, Synchr.- Byte u. Daten MFM /MK1=1 Schreiben Daten FM
A5	STEP DIREK- TION o. MARK RESET	SD-MR	z. LW z. int. St.	Doppelbedeutung für Laufwerk: /SD=0 Schrittrich- tung nach höherer Spur-Nr. /SD=1 Schrittricht. nach niedrigerer Spur-Nr. für int. Steuerung: (A1:4/13)

An- schluß	Signal- bezeichnung	Kurz- zeichen	Wirk- richtung	Bedeutung
				/MR=0 Rücksetzen Marken-FF /MR=1 inaktiv
A6	HEAD LOAD	/HLU	z. LW	Kopfandruck, /HL=0 Diskette wird gegen Magnetkopf ge- drückt
A7	STEP	/ST	z. LW	Schrittimpuls, Kopfbewegung in die durch SD angegebene Richtung. Jeder Ist-Impuls entspricht einer Spur
/ASTB	INDEX	IX	vom LW	Auswertung d. Index- loches, L-H-Flanke meldet Beginn d. Indexloches.
B0	LAUFWERK BEREIT	/RDYLH	vom LW	/RDYLH=0 signalisiert Bereitschaft des LW zum Lesen oder Schrei- ben
B1	MARKE ERKANNT	MKE	v. int.St.	MKE=1 Marke erkannt
B2	MODIFIZIERTE FREQUENZMO- DULATION	MFM	z. int.St.	Aufzeichn.-verfahren MFM=0 FM-Verfahren MFM=1 MFM-Verfahren
B3	PRECOMPEN- SATION	PRE	z. int.St.	Präkompensation PRE=0 Schreiben ohne Pr. PRE=1 Schreiben mit Pr.
B4	FORMAT	FO	z. int.St.	Aufzeichnungsformat FO=0 5 1/4"-Diskette FO=1 8"-Diskette
B5	WRITE PROTECT	/WP	v. LW	/WP=0 Schreibschutz auf Diskette
B6	FAULT WRITE	/FW	v. LW	/FW=0 Schreibfehler
B7	TRACK 00	/TO	v. LW	/TO=0 Kopf befindet sich auf Spur 00

Daten-PIO (A7:1)

A0 - A7 Schreibdaten (Daten, die auf Diskette geschrieben werden sollen)

/ASTB Schiebekette hat Daten vom PIO übernommen
 ARDY PIO hat Schreibdaten vom Datenbus übernommen
 B0 - B7 Lesedaten
 /BSTB PIO wird zur Übernahme der Lesedaten aus der Schiebekette aufgefordert
 BROY PIO hält Lesedaten zur Übergabe an Datenbus bereit

Register A14

<u>Eingang</u>	<u>Ausgang</u>	<u>Bedeutung</u>
DB0	/LCK0	Türverriegelung LW0
DB1	/LCK1	Türverriegelung LW1
DB2	/LCK2	Türverriegelung LW2
DB3	/LCK3	Türverriegelung LW3
DB4	/SE0	Selektion LW0
DB5	/SE1	Selektion LW1
DB6	/SE2	Selektion LW2
DB7	/SE3	Selektion LW3

2.3. Schnittstelle zu den Laufwerken

Die Signaleingänge sind entsprechend den technischen Forderungen der anschließbaren Laufwerktypen mit folgender Widerstandskombination beschaltet: 220 Ohm nach Betriebsspannung 5P und 330 Ohm nach OV.

Als Leitungstreiber für die Ausgangssignale /WE, /WD, /SD, /ST, /HL und /FR wird der Schaltkreis 75 450 (A15) eingesetzt, der einen Ausgangsstrom von 300 mA ermöglicht. Die Signaleingänge der Laufwerke sind ebenfalls mit der o.g. Widerstandsbeschaltung versehen und benötigen einen LOW-Eingangsstrom von je 24 mA. Da maximal 4 Laufwerke parallel angeschlossen sein können, muß der Leitungstreiber 96 mA liefern können.

Für die Signale /SE und /LCK wird als Treiber der Schaltkreis DS 8282 D eingesetzt, der 32 mA liefern kann. Dies ist ausreichend, weil jede dieser Leitungen nur ein Laufwerk ansteuert.

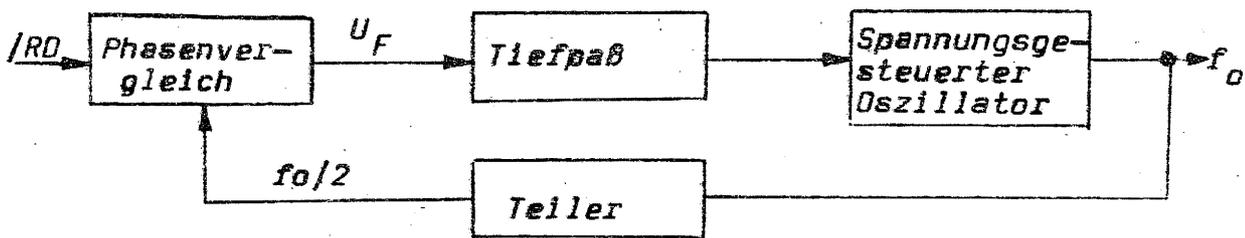
Die Signale /MO liefern je ein Schmitt-Trigger-Schaltkreis A 320 D, dessen Open-Kollektor-Ausgang mit 60 mA belastbar ist.

3. Beschreibung der Funktionsgruppen (s. Blockschaltbild)

3.1. Der Phasenregelkreis (PLL)

Der Phasenregelkreis hat die Aufgabe, einen Oszillator in Frequenz und Phase mit einem Eingangssignal zu synchronisieren. Er erzeugt Taktimpulse, die in fester Relation zu den Lesedaten /RD stehen. Damit können Langzeitschwankungen der Bitabstände infolge von Gleichlaufschwankungen bzw.

geringfügige Drehzahlabweichungen von Laufwerken ausgeglichen werden.



Der Phasenregelkreis besteht aus Phasenvergleich (A3:5/08 und O6), nachgeschaltetem Tiefpaß, einem spannungsgesteuerten Oszillator (A20, V2, A18 und A17/08) und einem Teiler (A1:6/09).

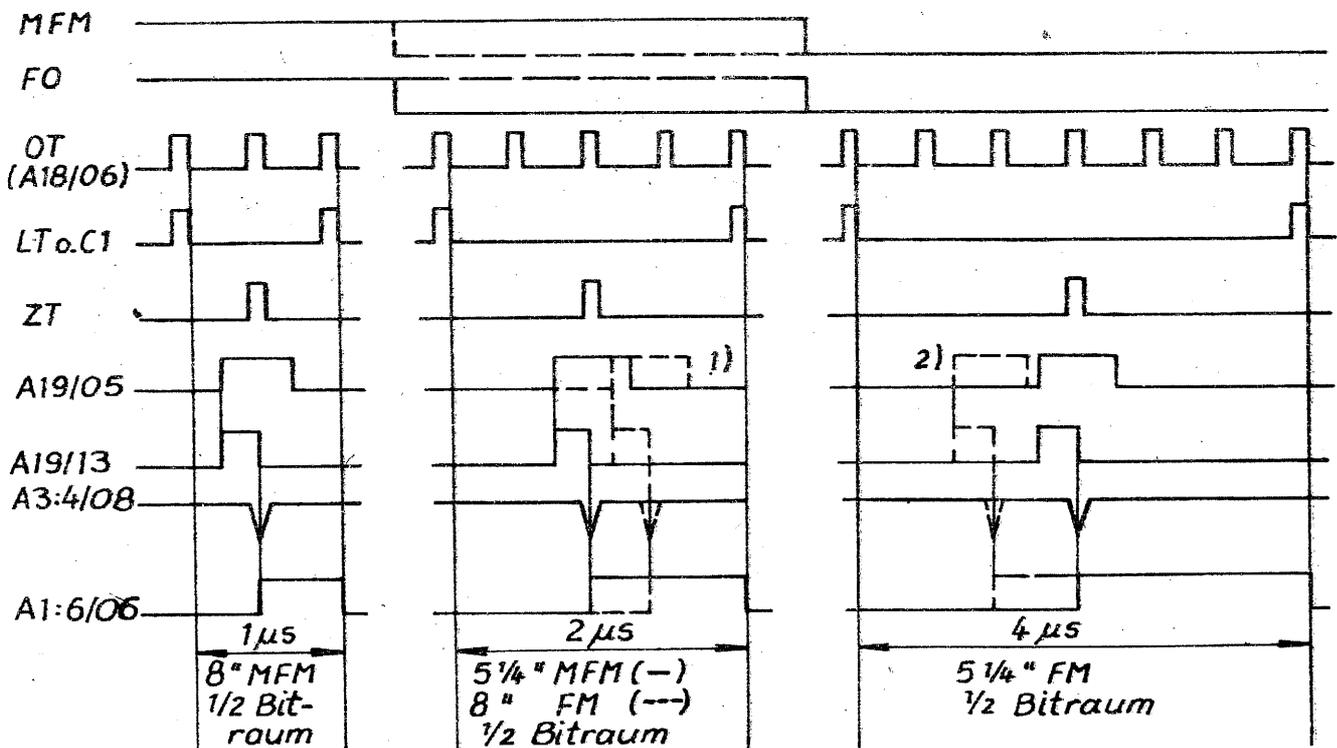
Zwei weitere Teiler (A1:5/09 und A1:5/05) können je nach Wahl von Aufzeichnungsverfahren und -format eingeschaltet werden. Die geteilte Oszillatorfrequenz wird gemeinsam mit dem /RD-Signal, welches mit UV A19/05 auf 500 ns gebracht wurde, dem Phasenvergleich zugeführt. Je nach Frequenz- und Phasenabweichung entsteht eine impulsförmige Fehlerspannung am Phasenvergleich, die durch V1 begrenzt, durch Tiefpaß R15, R20 und C8 geglättet und den Operationsverstärker A20 steuert, dessen Ausgang die steuerbare Konstantstromquelle V2 beeinflusst. Über V2 wird C7 aufgeladen. Die Eingänge des Schaltkreises A19 wirken als Schmitt-Trigger. Erreicht die Ladespannung des C7 die Einschaltsschwelle, ändert A18/O6 von 0 nach 1 und entlädt über A17/08 den Kondensator C7 wieder. In diesem Moment wird A18 wieder umgesteuert und C7 kann erneut aufgeladen werden. In bestimmten Grenzen ist diese Schaltungsanordnung damit in der Lage, eine mit dem READ-Signal phasenstarr verkoppelte Impulsfolge einer bestimmten Frequenz zu liefern. Liegen keine Lesedaten an, so schwingt der Oszillator auf der durch R18 eingestellten Freilauffrequenz von 2 MHz.

3.2. Lesedatenaufbereitung

Die Ansteuersteckeinheit kann unterschiedliche Aufzeichnungsformate bearbeiten, d. h. sie muß Lesedaten unterschiedlicher Frequenz verarbeiten können. Die Oszillatorfrequenz wird über die FF A1:5/09 und A1:5/05 durch die Steuersignale /MFM und /FO auf 1/4, 1/2 oder gar nicht geteilt, je nach ausgewähltem Aufzeichnungsverfahren. Der dritte Teiler A1:6/09 dient zur Teilung der Oszillatorfrequenz für den Phasenregelkreis. Der Teiler wird mit /WE gesperrt. Vom Ausgang des Tellers werden die Signale Lesetakt LT und Zwischentakt ZT abgeleitet. Der Lesetakt kann somit eine Frequenz von 250 kHz, 500 kHz oder 1 MHz besitzen und kennzeichnet immer den Beginn eines halben Bitraums. Der Zwischentakt entspricht einem um 180° verschobenen Lesetakt und markiert die Mitte eines halben Bitraumes (Bitraum = Platz für Daten- plus Taktbit; 1/2 Bitraum = Platz für Daten- oder Taktbit). Die

durch den Phasenregelkreis (PLL) bewirkten Phasenverhältnisse sind dergestalt, daß der Zwischentakt ZT und das mit UV A19/05 auf 500 ns Impulsbreite gebrachte Lesesignal in Phase sind und jeweils symmetrisch von den Lesetakten bzw. Schiebetakten C1 eingeschlossen sind. Parallel zum UV A 19/05 wird UV A19/13 angesteuert. Dieser hat eine Haltezeit von 250 ns. Aufgrund der o. g. Phasenverhältnisse markiert also seine Rück-(H-L)-Flanke genau die Mitte eines 1/2-Bitraumes, der ein Daten- oder Taktbit enthalten kann. Aus dieser Rückflanke wird mit R9, C6 und A3:4/08 ein ca. 50 ns langer Low-Impuls erzeugt (Voraussetzung: Takt- oder Datenbit vorhanden). Dieser Impuls setzt FF A1:6/06 auf 1 und erzeugt damit ein 1-Signal als Eingang für die Schiebekette A9:2/01. Mit dieser Biterkennungsschaltung ist es möglich, Einzelbits auch mit eventuellen Positionsabweichungen sicher zu erfassen, solange sie sich noch im für sie bestimmten 1/2-Bitraum befinden, d. h. diese Schaltung besitzt eine hohe Lesesicherheit. Der folgende Lese- bzw. Schiebetaktschalt setzt über den Takteingang das FF A1:6 zurück und ermöglicht damit die Erkennung des nächstfolgenden Bits.

Falls die Steuerleitung /AK1=0 ist, kann ES nicht abgeschaltet werden und damit wird ständig 1 ins Schieberegister eingelesen.



- 1.) Lesevorgang eines um ca. 400 ns nach der Sollposition einlaufenden Bits (gestrichelt dargestellt).
- 2.) Lesevorgang eines um ca. 550 ns vor der Sollposition einlaufenden Bits (gestrichelt dargestellt).

Lesevorgang bei den einzelnen Aufzeichnungsverfahren mit Behandlung von Einzelbitpositionsabweichungen!

3.3. Seriell-Parallel-Wandlung und Markenerkennung

Die Seriell-Parallel-Wandlung wird in einem 24-Bit-Schieberegister A9:1 bis A9:6 durchgeführt. Beim Lesevorgang werden die aufbereiteten Lesedaten zum seriellen Eingang A9:2/01 der Schiebekette geführt und mit der HL-Flanke von C1 durchgeschoben. Die Schieberegister sind während des Lesevorgangs über die Steuereingänge auf seriellen Betrieb geschaltet. Die Ausgänge der Schieberegister sind erstens mit einem rückgekoppelten Festwertspeicher A8:2 verbunden, der zur Markenerkennung dient und zweitens mit dem Kanal B des Daten-PIO A7:1. Die Notwendigkeit einer Markenerkennung ergibt sich aus der Verwendung der Aufzeichnungsformate nach ISO (TC-97) SC-11 Nr. 149 und 347 bzw. KROS 5108 und 5110. Im Kanal B des Daten-PIO werden die Lesedaten zwischengespeichert. Die zeitliche Differenz von vier C1-Takten zwischen der Datenbereitstellung am Lese-ROM A8:2 und am Daten-PIO gibt dem Betriebssystem zusätzliche Zeit zur Markenerkennung. Der C1-Takt ist eine ODER-Funktion aus Lese- und Schreibtakt (LT, SCHR). Beim Lesen laufen demzufolge in jedem Bitraum zwei Schiebetakte ab, einer für die Taktinformation und einer für die Dateninformation der Lesedaten des Folienspeichers. Da nur jeder zweite Ausgang der Schiebekette auf die Adreßleitungen des Lese-ROM geschaltet ist, liegt entweder das Taktbyte oder das Datenbyte der geschachtelten Takt-Daten-Information als Adresse am ROM an. Die Taktinformation kommt dabei einen C1-Takt früher. Entspricht die ROM-Adresse 0-7 dem Taktteil einer Marke, wird Ausgang 8 mit 1 belegt. Dieses Signal wird als Rückkopplung an den D-Eingang des FF A1:4/02 geführt. Mit dem nächsten C1-Takt wird der Datenteil der Marke an die Eingänge des ROM gelegt. Gleichzeitig erfolgt die Durchschaltung des FF A1:4/05 und dieser Ausgang liegt als weiterer Eingang am ROM. Damit wird die Speicherzelle angesprochen, deren Inhalt bei Vorliegen der Marke ein 1-Signal auf Ausgang 7 ausgibt. Dieses Signal wird anschließend noch mit dem Zwischentakt verknüpft. Der entstandene Impuls setzt das Marken-FF A1:4/09 und zum PIO A7:2/28 kommt die Quittung MKE - Marke erkannt. Die Verknüpfung mit ZT ist notwendig, um Verzögerungszeiten und Einschwingvorgänge an den ROM-Ausgängen auszuschließen. Die Rückführung des Signals /MKE an das Rückkoppel-FF A1:4/01 bewirkt, daß keine weitere Marke erkannt werden kann, solange MKE=1 ist. Welche Marke erkannt wurde, entnimmt das Betriebssystem aus dem Datenbyte, das in dem PIO A7:1 Kanal B eingelesen wurde.

Speicherbelegung des Lese-ROM A8:2

A9	A8	A7-A0	Speicherinh.	Bedeutung
0	0	14	80	Taktteil Synchr. C2 - MFM
0	0	C7	80	Taktteil IO-Marke, Datenmarke, gelöschte Datenmarke
0	0	D7	80	Taktteil Indexmarke
0	1	0A	80	Taktteil Synchr. A1 - MFM
1	0	C2	40	Datenteil Synchr. C2 - MFM
1	0	F8	40	Datenteil gelöschte Datenmarke
1	0	F8	40	Datenteil Datenmarke
1	0	FC	40	Datenteil Indexmarke
1	0	FE	40	Datenteil IO-Marke
1	1	A1	40	Datenteil Synchr. A1 - MFM
		alle anderen	00	keine Marke

3.4. Parallel-Seriell-Wandlung

Für die eigentliche Parallel-Seriell-Wandlung werden 16 Bit benötigt. Die Bits 17 bis 22 werden für die Schreibpräkompensation und die Auswahl der Taktinformation beim MFM-Verfahren bei Bytewechsel gebraucht. Der Daten-PIO A7:1 stellt ein Byte zur Übernahme ins Schieberegister bereit. Diese Dateninformation liegt gleichfalls am Schreib-ROM A8:1 an. Entsprechend dieser Information stellt der ROM an seinen Ausgängen die dazugehörigen Taktinformationen zur Übernahme ins Schieberegister bereit. Durch die Art der Zusammenschaltung von PIO- und ROM-Ausgängen mit den Paralleleingängen der Schiebekette erfolgt eine Verschachtelung der Daten- mit der Taktinformation. Der ROM-Eingang A8 schaltet in Abhängigkeit des letzten Bits des vorangegangenen Bytes die Taktinformation um, da beim MFM-Verfahren dieses Bit bestimmt, wie das erste Bit des nachfolgenden Bytes aufzuzeichnen ist. Während einer FM-Datenaufzeichnung wird der ROM nicht selektiert, damit hochohmig und ins Schieberegister werden Einsen als Taktbyte übernommen. Die Adreßbelegung des Schreib-ROM ist folgende:

- A0-A7 - zu schreibendes Datenbyte
 - A8 - letztes Bit des vorherigen Datenbytes
 - A9 - steuert beim MFM-Aufzeichnungsverfahren, ob die Taktinformation für Daten oder für Marken bzw. Synchronisationsbytes an den Ausgängen anliegt.
- 0 $\hat{=}$ Marken/Synchronbytes 1 $\hat{=}$ Daten

Die parallele Übernahme der Takt-Dateninformation in das Schieberegister wird durch die Schreibsteuerung realisiert.

3.5. Schreibsteuerung

Es besteht die Forderung, daß die Toleranz der Aufzeichnungsfrequenz 0,5 bzw. 1 % nicht übersteigen darf. Deshalb wird ein quartzgesteuerter Taktgenerator (A4) verwendet.

Seine Frequenz beträgt 10 MHz $\pm 0,1$ % und wird über zwei FF (A1:2:09 und 05) und einen Dezimalzähler A6 für die unterschiedlichen Aufzeichnungsverfahren geteilt. Gesteuert werden die FF über die Signale /FO und /MFM, die das Aufzeichnungsverfahren bestimmen. Der Dezimalzähler wird mit WE=1 freigegeben. Bei Aufzeichnung von Informationen auf magnetische Datenträger entsteht bei hohen Aufzeichnungsdichten der Effekt der Spitzenverschiebung, der zu Fehlern bei der Wiedergabe der Daten führen kann. Die Größe der Spitzenverschiebung ist von der Bitdichte der jeweiligen Spur und der Bitfolge abhängig. Aus diesen Gründen wird beim Aufzeichnungsverfahren MFM eine gegenläufige Verschiebung (Präkompensation) der Schreibimpulse durchgeführt, um die Spitzenverschiebung in gewissen Grenzen auszugleichen. Die auf der Steckeneinheit eingesetzte Präkompensationsschaltung führt eine Verschiebung an den Übergängen von max. Bitdichte auf größere Bitabstände und umgekehrt durch.

Aufzeichnungsverfahren	max. Bitdichte min. Bitabstand	min. Bitdichte max. Bitabstand	Präkompensation um
5 1/4" MFM	4 us	6/8 us	400 ns
8" MFM	2 us	3/4 us	200 ns

Das Einschalten der Präkompensation erfolgt bei 8"-Laufwerken (MF 6400) ab Spur 43 und bei 5 1/4"-Laufwerken (MFS K 5600) ab Spur 25. Dabei wird über das Signal PRE der Dekoder A5 aktiviert, welcher die Schreibdaten mit Vorgänger und Nachfolger auswertet. Wird Ausgang 3 aktiv, muß der Schreibimpuls verzögert und bei Ausgang 5=0 vorgezogen werden. Die Schreibtaktte SCHK werden im Multiplexer A12 generiert. Die Adreßeingänge A0-A2 werden vom Dezimalzähler A6 bereitgestellt, und stellen eine Taktierung der Dateneingänge 0 bis 7 dar. Die Dateneingänge sind mit den Ausgängen des Präkompensationsdekoders verbunden, wobei Eingang 2=1 keine Verschiebung bedeutet. Mit der LH-Flanke des Schreibtaktes /SCHK (A12/06) wird das FF A1:3/05 gekippt und dadurch der Multiplexer gesperrt.

Damit wird die Bildung eines weiteren Schreibimpulses innerhalb eines Zyklus des Zählers A6 verhindert. Sein Ausgang P1=0 (A6/12) hebt die Sperre wieder auf. Der Schreibtakt SCHK wird mit dem Ausgang der Schiebekette konjunktiv verknüpft (A3:2/08) und der Ausgang über den Leitungstreiber A15:1 als Schreibdaten /WD auf das LW-Interface gelegt (siehe dazu auch Taktdiagramm "Schreiben mit Präkompensation").

3.6. Synchronisation der Datenübertragung

Der gleiche Impuls, der das FF-MKE einschaltet, setzt den Bitzähler A16 auf den Wert "11". Mit dem vierten C1-Impuls wird der Übertrag A16/12 des Zählers 0. Zum gleichen Zeit-

punkt liegt das Markenbyte am Daten-PIO B0-B7 an. Am Ausgang A3:3/11 entsteht /BSTB, das die Übernahme des Markenbytes veranlaßt. Der Zähler und das Schieberegister wird mit C1 weitergeschaltet. Nach 16 Takten entsteht erneut /BSTB und das nächste Datenbyte wird übernommen usw. Während des Schreibvorganges wird C1 durch den Schreibtakt erzeugt. Alle 16 Takte wird analog dem Lesen ein Übertrag erzeugt, zum Zeichen dafür, daß ein Byte auf die Diskette geschrieben wurde. Eine extra Synchronisation des Bitzählers für das Schreiben ist nicht notwendig, da dem Schreibvorgang immer das Lesen eines ID-Feldes vorausgeht. Der Bitzählerübertrag bildet, durch einen Takt des A6 gesteuert, im FF A1:3/09 die Signale /ASTB und V. Das FF wird mit der nächsten Flanke des Schreibtaktes rückgesetzt.

Während des Lesens ist es gesperrt. Mit V=1 und V1=1 schaltet die Schiebekette auf parallele Übernahme und zwischen zwei Schreibtaktten /SCHT werden die PIO-Daten durch /SCHT=1 an C2 in die Schieberegister übernommen. Das Betriebssystem und der unmittelbare Datenaustausch mit den Folienspeichern arbeiten in unterschiedlichen Zeitabläufen. Deshalb ist eine Synchronisation zwischen beiden nötig. Hier wird dies über die WAIT-Leitung realisiert. Sie soll aktiviert werden, wenn folgende Bedingungen vorliegen:

1. Durch das Betriebssystem erfolgt ein OUT-Befehl, obwohl seit dem letzten IN-Befehl kein Byte von der Schiebekette in den PIO übernommen wurde.
2. Durch das Betriebssystem erfolgt ein IN-Befehl, obwohl seit dem letzten IN-Befehl kein Byte von der Schiebekette in den PIO übernommen wurde.

Die Signale ARDY und BRDY werden durch das Betriebssystem vor Arbeitsbeginn auf High gestellt. Erfolgt ein IN- oder OUT-Befehl (PIO CS0=1, /AB1=1) mit den Voraussetzungen STR=1 und /PS=1, schaltet der Ausgang A2/08 auf 0. Damit wird über den Rücksetzeingang das FF A1:1/06=1 und /WAIT wird über A3:1/03, A10:4/02 und A17/02 aktiv. Erfolgt eine Übernahme der Schreibdaten oder eine Übergabe der Lesedaten aus bzw. in den PIO, d. h. der /ASTB bzw. /BSTB-Impuls lag an, wird ARDY bzw. BRDY=0, der Ausgang A2/08 damit =1. Mit der nächsten steigenden Flanke des Systemtaktes wird FF A1:1/09 =1. Das hat zur Folge, daß der PIO-Eingang für /IORQ aktiviert. Damit beginnt für den PIO der OUT- bzw. IN-Zyklus. Die nächste LH-Flanke des Systemtaktes schaltet FF A1:1/06 auf Low und inaktiviert somit /WAIT. Der OUT- bzw. IN-Zyklus des PIO wird von der CPU-Steuerung durch /IORQ =1 beendet. Diese Steuerung gewährleistet durch zusätzliche WAIT-Zyklen, daß dem PIO die für eine ordnungsgemäße Durchschaltung der Daten notwendige /IORQ-Zeit wie bei normalen, ohne zusätzliches WAIT durchgeführten, OUT- und IN-Operationen zur Verfügung steht.

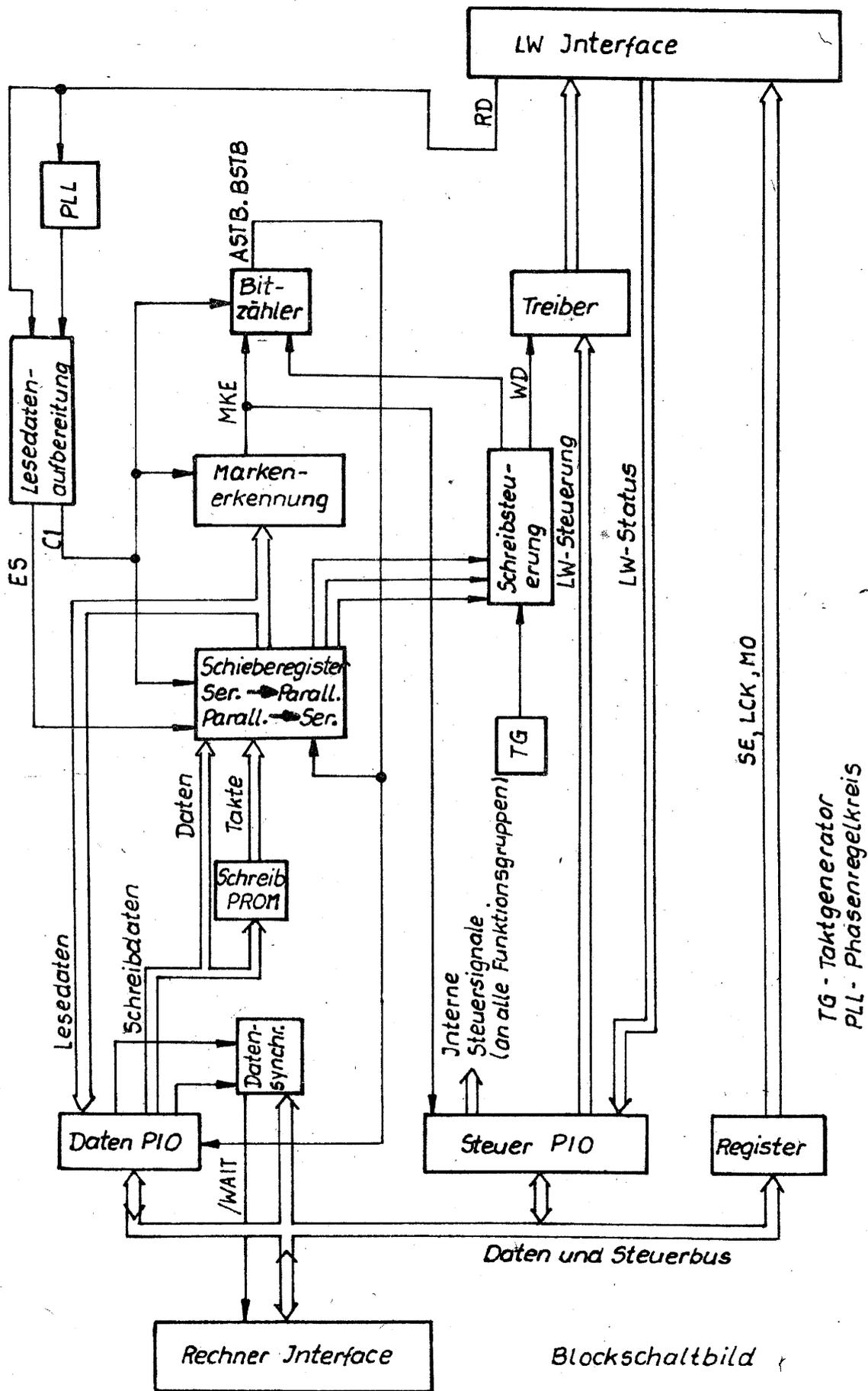
3.7. Motorsteuerung und Kopfdrucksteuerung

Zur Verminderung des Verschleißes der Antriebsmotoren von 5 1/4"-Laufwerken wird eine automatische Steuerung der Motoreinschaltung vorgenommen. Dies geschieht mit den Schmitt-Trigger-Schaltkreisen A13:2 bis A13:5 und ihrer zugehörigen Beschaltung. Wird ein Laufwerk nicht durch A14 selektiert, d. h. /SE=1, ist der zugehörige Kondensator C5:n über R7:n aufgeladen, der nichtnegierende A13:n liefert an seinem Ausgang /MO=1. Wird /SE=0, wird C5:n über V1:n und R6:n entladen und damit /MO=0. Folgt nun eine Deselektion (/SE=1), muß die Zeit vergehen, die erforderlich ist, C5:n über R7:n aufzuladen. Sie beträgt ca. 20 s. Wird ein Laufwerk selektiert läuft also der Motor sofort an, wird es deselektiert läuft der Motor noch ca. 20 s nach. Hiermit bewirkt man, daß der Laufwerksmotor nur bei Betriebspausen 20 s abgeschaltet wird und damit bei hintereinanderfolgenden Zugriffen in Betrieb bleibt. Unnötige AUS- und EIN-Schaltungen werden vermieden, bei denen jeweils während der Motorhochlaufzeiten von ca. 1 s der LW-Zugriff gesperrt ist.

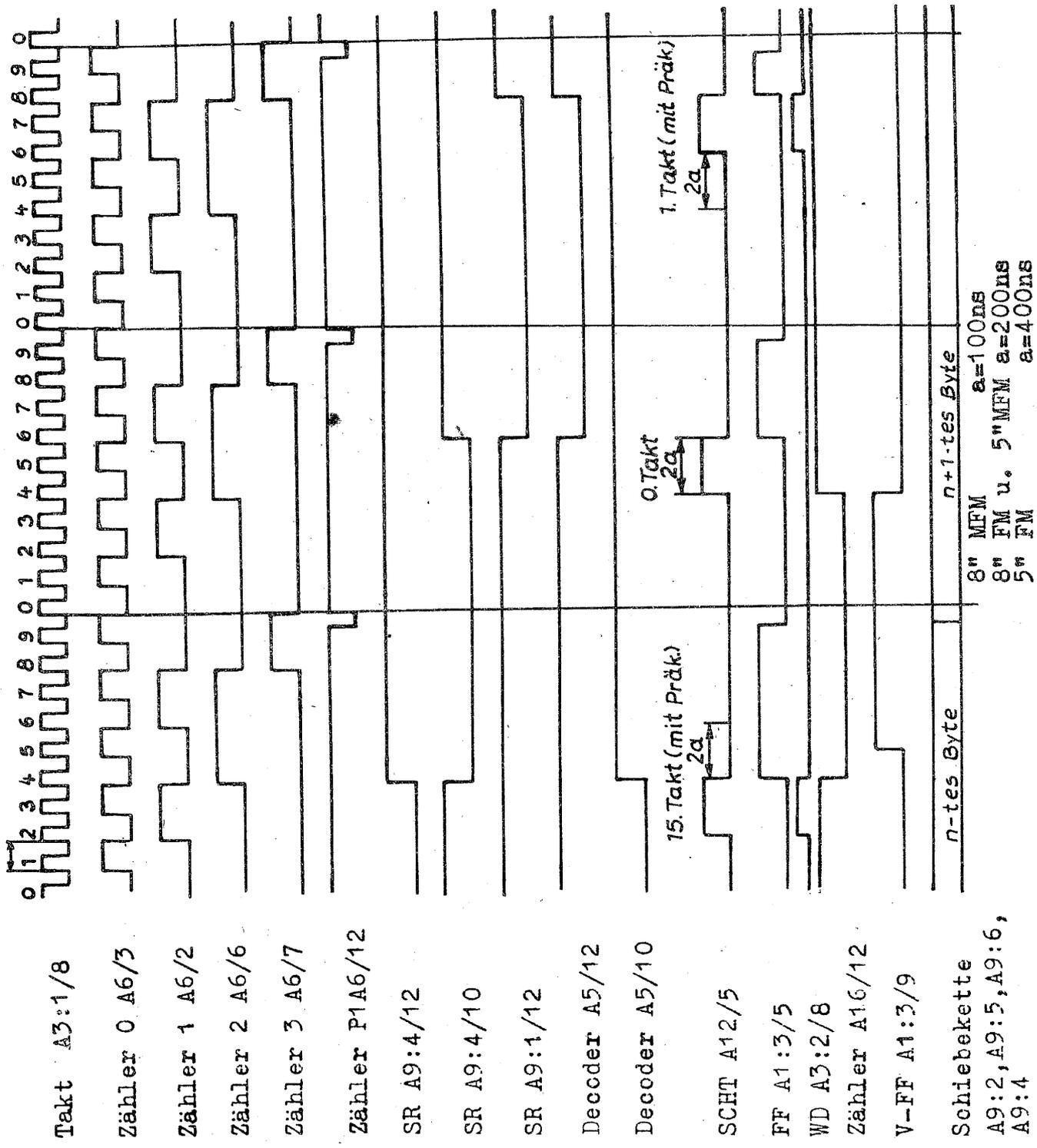
Ähnliche Überlegungen liegen der Kopfdrucksteuerung zugrunde. Auch hier werden kurzzeitige Lese- oder Schreibpausen mit einer gleichartigen Schaltung mit A13:1 überbrückt. Die Schaltung realisiert eine Kopfabfallverzögerung von ca. 2 s. Mit dem Gatter A11:2/11 wird ein verzögerungsfreier Kopfdruck erreicht. Damit das Betriebssystem eine Information über die jeweilige Stellung des Kopfdruckmagneten erhält, ist im Gatter A3:4/06 /RDYL vom Laufwerk mit HL verknüpft. Eine Deselektion eines Laufwerkes beendet laufwerksintern den Kopfdruck. Aus diesem Grund wird das Kopfdrucksignal HL über A3/4/03 am Selekt-Register A14/09 wirksam und schaltet dieses erst nach beendetem Kopfdruck ab. Dies erfordert aber, daß einem Zugriff auf A14 (OUT-Befehl) ein Kopfladen vorausgehen muß. Die Einführung des Signals /MFM in den Signalweg für /RDYLH im Gatter A3:4/11 dient zur Identifikation der Steuereinheit durch das Betriebssystem.

3.8. Prüfschaltung

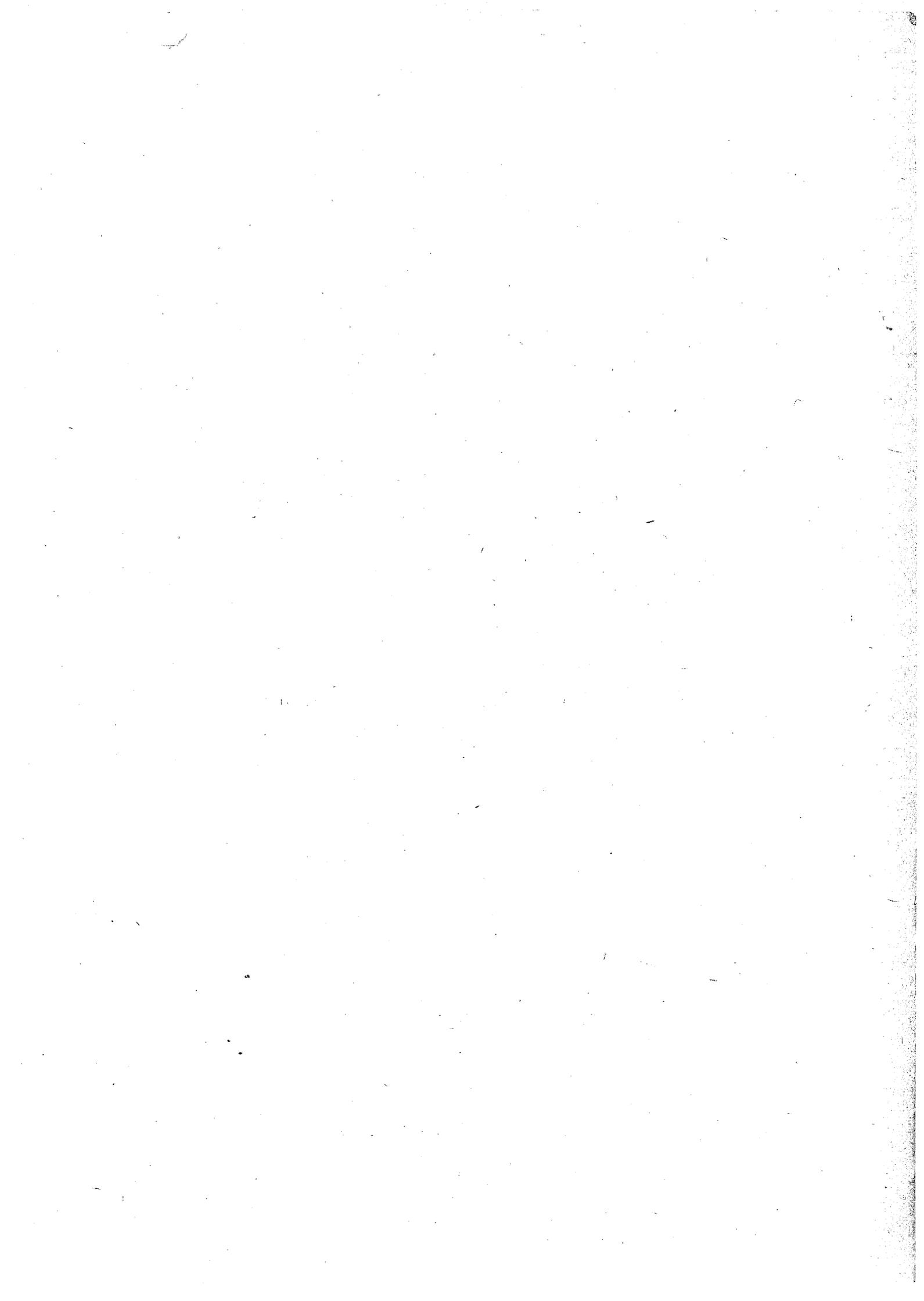
Über den Schalter S1:1 kann /PS=0 geschaltet werden, womit alle Signalarückführungen auf der STE aufgetrennt werden. Dies ist für eine Prüfung mit Signaturanalyse erforderlich. Über die Meßpunkte 1 und 2 bzw. 4 und 6 ist eine externe Taktierung des Quarzgenerators und des PLL-Oszillators möglich. Die Rückkopplung zwischen FF A1:4/05 und dem Lese-ROM ist über den Schalter S1:2 auftrennbar. Damit kann auch im Prüffall eine Marke erkannt und das Lesen eingeleitet werden. Im normalen Betriebsfall muß S1:1 geöffnet und S1:2 geschlossen sein.



Blockschaltbild



Schreiben mit Prækompensation



robotron

VEB Robotron
Büromaschinenwerk Sömmerda

DDR - 523 Sömmerda
Weißenseer Straße 52

robotron

Robotron Export-Import

Volkseigener
Außenhandelsbetrieb der
Deutschen Demokratischen
Republik
DDR - 108 Berlin
Friedrichstraße 61